

## 第4章 Si 基板上への GaAs 成長

### 4.1 はじめに

本章では Si 基板を用いた GaAs 薄膜の成長について述べる。序論で述べたように物理特性の著しく異なる材料同士のヘテロ成長は多大な技術的困難を伴うが、それだけにメリットの大きい魅力的な分野といえる。ここでは GaAs/Si の成長に関する問題点を明らかにしたうえで、CBE を用いて作製した GaAs 薄膜の各種評価を行い、どのような条件下で良質な結晶が得られるかについて議論する。

### 4.2 GaAs/Si の高品質化技術

高品質な GaAs 結晶を Si 基板上に成長させる上で最も問題となるのは GaAs と Si の物理定数の差による構造的な不一致である。具体的には GaAs と Si とでは格子定数と熱膨張係数の値が大きく異なり、その違いは前者で 4.2%，後者では 240% にもなる。この両者の構造的な不一致からヘテロ界面に生じる歪みは成長の進行や環境温度の変化とともに結晶内部に蓄積され、最終的に  $10^8$ – $10^9$  cm<sup>-3</sup> もの高密度転位を発生させる。そのため GaAs/Si の研究では転位密度を減らすための技術の開発に多大な労力が払われてきた。以下にそのうちのいくつかについて記す。

Akiyama らによって提案された二段階成長法はいわば GaAs/Si の研究の火付け役ともなった重要な技術である<sup>1)</sup>。これは始めに結晶性が完全には損なわれない程度の低温で薄い GaAs 層を成長させ、成長初期段階における三次元成長の抑制と GaAs–Si 界面付近に形成されるミスフィット転位による格子不整合歪みの緩和を期待したものである。この技術の導入により表面モロロジーは著しく改善され鏡面が得られるようになった。しかし実際にはこの方法だけで転位を大幅に低減することは難しく、ほとんどの場合他の転位抑制技術との組み合わせによって用いられる。

歪み超格子は結晶内部に InGaAs/GaAsP や InGaAs/GaAs 等の組み合わせによる超格子を導入する方法である<sup>2,3)</sup>。これらの超格子は表面に向かう貫通転位を格子歪みによって湾曲させる働きを持ち、湾曲した転位は他の転位と遭遇し閉ループを形成する。その結果歪み超格子を越えて表面に伝播する転位の数が低減され

ることになる。この方法の問題点は場合によっては歪み超格子そのものが転位の発生源となってしまうことである。たとえばバルク結晶の成長では特に問題が無くても、実際に歪み超格子を用いてデバイスを作製すると逆に特性が悪化することもある。一般に歪み超格子を用いた場合の転位密度は二段階成長のみの場合に比べて  $1/2$ – $1/3$  程度と言われており<sup>4)</sup>、低減化技術としては突出したものではない。そのため歪み超格子の導入はメリットとデメリットを把握した上で慎重に行う必要がある。

その場熱処理は比較的簡単な手法で転位を低減することのできる技術である。これは成長途中あるいは直後の結晶に成長室内でアニールを加えるもので、大抵の場合 TCA (thermal cycle annealing) 法が用いられる。TCA による格子の凝縮と伸張の繰り返しは結晶内部での転位の上昇を促進し、最終的に転位は表面から掃き出される形で消滅する。転位密度の低減効果は一般に温度が高いほど、また TCA の回数が多いほど効果的で、最大で二段階成長のみの場合に比べて 40 倍ほどの低減効果があることが報告されている<sup>5)</sup>。またこれとは別に成長室から取り出した後でアニールを施す方法もあり、こちらでは RTA (rapid thermal annealing) 法が用いられることが多い。ただし何れの方法にしてもあまり過度に行うと熱膨張係数差に起因する歪みが大きくなるため、逆に結晶性が悪化する可能性があることに注意する必要がある。

さて、Tachikawa らによれば成長室から取り出した後に観測される転位のほとんどは、実際には成長後の冷却過程において発生したものであるという<sup>6)</sup>。つまり格子不整合による転位を成長時にいくら取り除いたとしても、試料を成長室から取り出す前に GaAs と Si の熱膨張係数の差のために再び転位が増殖してしまう。これを避けるためには成長温度を下げて室温との差をできるだけ小さくするしか方法は無い。GaAs の低温成長の試みは主に MBE を用いて行われ、その改良型である MEE (migration enhanced epitaxy) を用いて  $300^{\circ}\text{C}$  の低温で作製された GaAs/Si において  $10^4\text{ cm}^{-3}$  台の転位密度が得られている<sup>7)</sup>。しかし試料を取り出した後で成長温度以上の熱を加えると低温成長の意味が無くなってしまう。そのため成長の低温化は結晶の作製時のみならずデバイス作製プロセスやその後の使用環境をも含めて考える必要がある。

ここに挙げた以外にも多くの転位低減化技術が報告されている。しかし先の低温成長の実験以降、転位が大幅に低減されたという報告は残念ながらされていない。結局のところ GaAs/Si エピタキシーを難しくしている大きな原因は、格子不整合によるひずみの緩和には高い成長温度が有効であるのに対して、成長後の熱収縮より発生する転位の抑制には低い成長温度が有効であるという矛盾を抱えているところにあると思われる。現在の技術ではこの矛盾を完全に解消することは難しい。今後の GaAs/Si の実用化に向けての展開の一つとしては欠陥に強い構造

の開発が考えられる。水素による欠陥のパシベーションや活性領域のドット化などもその一例といえよう。また他の材料系に目を向けると近年研究が盛んな窒化物半導体では  $10^{10} \text{ cm}^{-3}$  という高密度の欠陥が存在しているにもかかわらず非常に良い特性を示す<sup>8)</sup>。もちろん材料系が異なるのでこれがそのまま GaAs/Si に応用できるわけではないが、その機構の解明が HM エピタキシー全体にとって大きな手助けとなることが期待される。

なお、本論文では基本的に低温成長を推し進める方向で研究を行った。これは現時点においては低温成長がデバイス開発の大きな鍵を握ることが間違いないと考えられるためであり、次節以降でその内容について述べていくものとする。

## 4.3 実験

本実験で使用した基板は直径 2 インチ、厚さ  $350 \mu\text{m}$  で  $\langle 110 \rangle$  方向に  $4^\circ$  オフセットさせた (001) 面をもつ n 型 Si 基板である。GaAs ホモ成長のときとは異なり劈開せずにそのままの形で成長に用いた。基板の前処理は GaAs 基板のときと同様の有機洗浄を行った後、一度  $\text{HF}(50\%):\text{H}_2\text{O} = 1:10$  の水溶液に浸して表面の自然酸化膜を取り除いた。次に基板表面に付着している重金属等の汚染物質を除去するために  $90^\circ\text{C}$  に加熱した  $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2 = 4:1$  の溶液中に 10 分間浸した。その後、脱イオン化された超純水による流水の中に基板を置き、表面に残った溶液を十分に洗い流した。そして導入室に入れる直前に再び先ほどの HF 水溶液に 30 秒ほど浸し、取り出した後は  $\text{N}_2$  ブローなどの処置は行わずに速やかに導入室にセットし排気を行った。

GaAs の成長にはコンベンショナルな二段階成長法を用いた。まず成長を開始する前に真空中で基板のプリベーキングを 5 分間行った。このときの成長室の圧力はおおよそ  $10^{-7}$ – $10^{-6}$  Torr である。プリベーキング終了後、 $400^\circ\text{C}$  以下の温度でバッファ層を成長させ、それから目的の温度まで昇温してメインとなる GaAs 層の成長を行った。使用した原料の種類やガスインジェクターの温度等については前章の GaAs ホモ成長の場合と同じである。なお成長時のシーケンスについては fig. 4.1 に示したとおりである。

## 4.4 GaAs/Si の評価と考察

### 4.4.1 低温プリベーキングの効果

GaAs/Si の作製において成長前にプリベーキングを行う目的は二つある。一つは成長の妨げとなる  $\text{SiO}_2$  膜を基板表面から完全に除去すること。そしてもう一つ

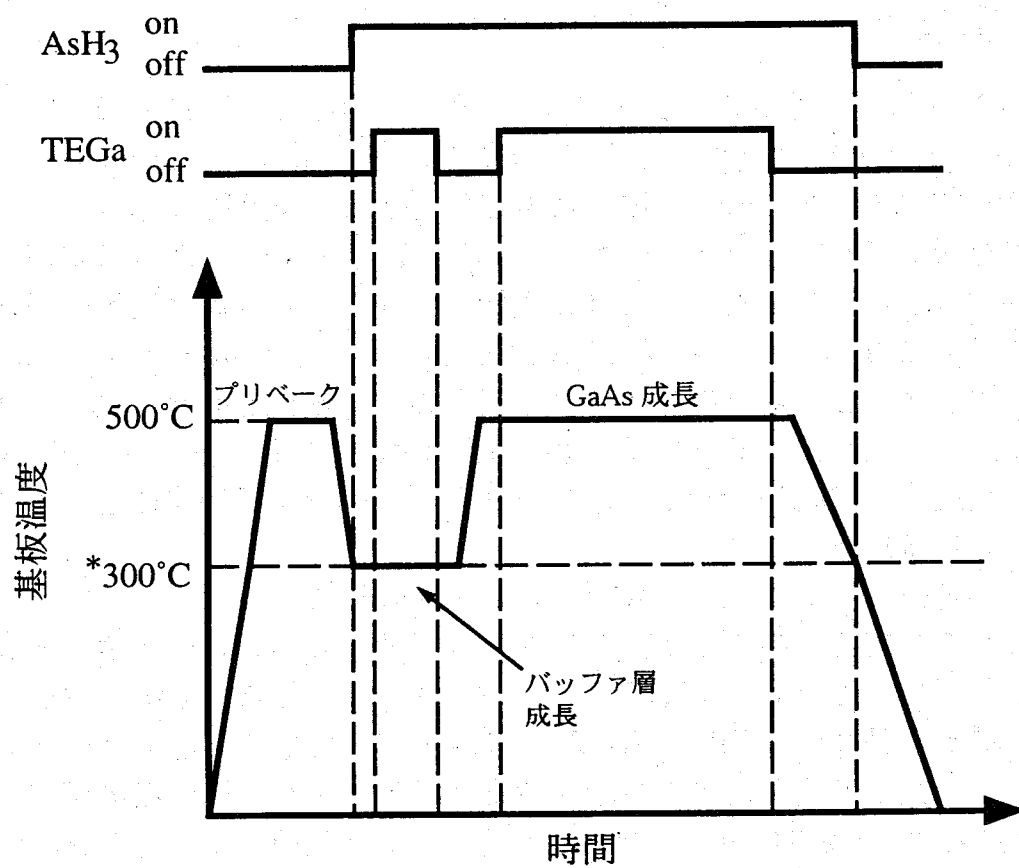
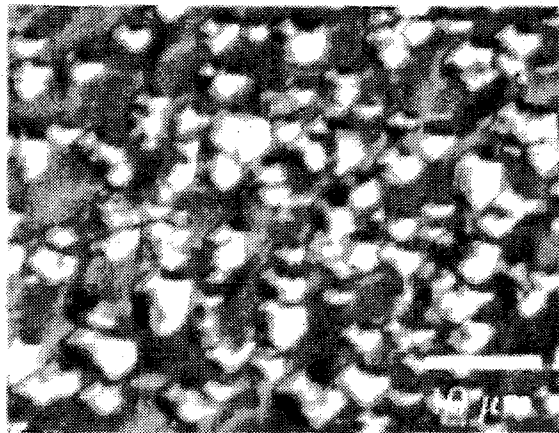
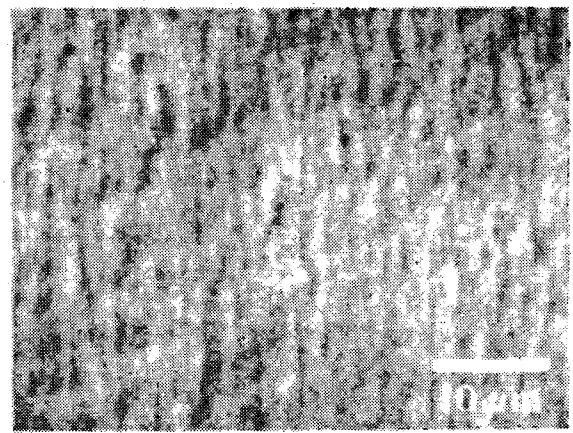


Figure 4.1: GaAs/Si 成長シーケンス (図中の \*300°C は熱電対指示値)

は APD (anti-phase domain) の発生を抑制するためのダブルステップ構造を表面に形成することである。これらの目的のためには一般に 1000°C 程度の高温が必要とされる<sup>9)</sup>。Figure 5.8 は実際に MOVPE を用いてプリベーク温度のみを変えて作製された 2 つの GaAs/Si の表面状態を示したものである。プリベーク温度が 1000°C のものでは鏡面が得られているのに対し、800°C のものでは表面が完全に曇ってしまっているのが分かる。この結果だけを見ると、GaAs/Si の作製において高温でのプリベークは必須であるように思われる。



(a)



(b)

Figure 4.2: MOVPE で作製した GaAs/Si の表面モロロジー。成長前のプリベーク温度はそれぞれ (a)800°C, (b)1000°C。

しかしながら我々がターゲットとしているタンデム型太陽電池や OEIC への応用を考えた場合、1000°C もの高温でプリベークを行うことには問題がある。これらの構造ではあらかじめ Si 基板にデバイス構造を作製しておく必要があるが、高温プロセスによりこれらの構造が深刻なダメージを受ける可能性があるからである。またもう一つ別の問題もある。CBE のように超高真空を必要とする装置ではマニピュレータの構造的な制約から MOVPE に比べて基板温度をあまり高くできないことが多い。また仮にできたとしても高熱が引き起こすマニピュレータやチャンバー内壁からのデガスによって、逆に基板表面が汚染される心配もある。そこで今回の実験では一つの試みとして 600°C 以下の低温でプリベークを行いその効果について調べてみた。低温でのプリベークについては過去に Tachikawa らによって行われた例がある<sup>10)</sup>。しかし彼らの場合は ESS (epitaxial Si surface) 基板と呼ばれる特別な基板を用いており、今回のように通常用いられるような基板を使用した例というのはない。もし CBE と低温プリベークの

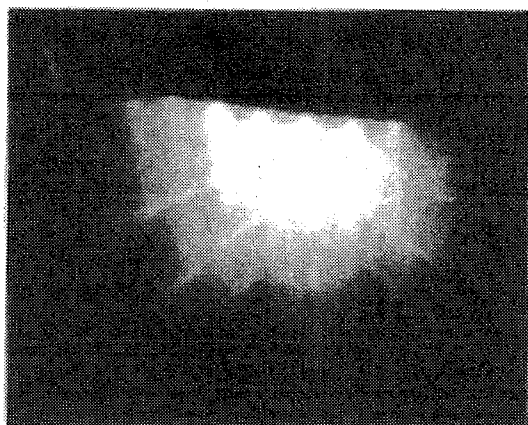
組み合わせで高品質な GaAs/Si の成長が可能であるならば、それは CBE の他の成長法に対する大きなアドバンテージになるはずである。

今回低温でのプリベークを行うにあたり注意した点は、空気中の酸素による基板表面の自然酸化の影響を極力減らすことである。そのために HF による表面の水素終端化処理の後、できるだけ速やかに導入室に入れ排気するように努めた。通常の場合だと HF 処理を行った後に純水による洗浄と N<sub>2</sub> ブローを行うが、今回これらの行程を省いたのはこのような理由があったからである。なお、排気をするまでに大気中に基板をさらしていた時間はおよそ 30 秒程度である。

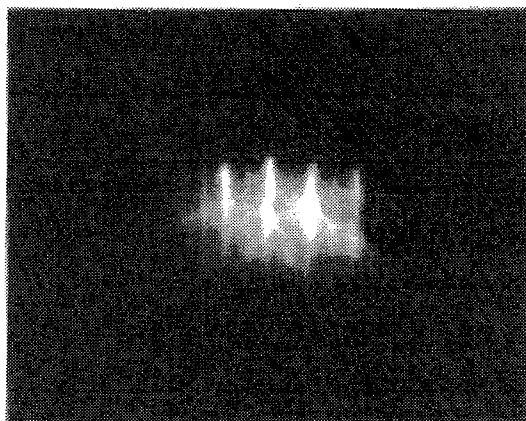
始めに基板を成長室に搬入した直後の RHEED 観察像を fig. 4.3(a) に示す。このとき観察像は 1×1 パターンを示した。これは基板が搬入された時点ではまだ基板表面が水素で終端化されたままであることを示している。この結果から基板表面を終端化している水素は少なくとも短時間の間であれば、大気中の酸素による自然酸化を抑制する働きのあることが分かる。同図 (b), (c), (d) はプリベークをそれぞれ 400°C, 500°C, 600°C で 5 分間行った後の RHEED 観察像を示したものである。プリベーク終了時の観察像はいずれにおいても 2×2 パターンを示した。この状態では表面を終端化していた水素は切り離され、表面再構成によってダイマーが形成されている。しかし 2×2 パターンを示しているということはダイマーの配列が 90° 異なるテラスが混在しているということであり、つまりは表面はシングルドメインとはなっていないことを表している。これは温度が低いために表面の原子層ステップの移動が起こらなかったことが原因であろう。

実際にこれらの基板上に基板温度 500°C で約 3 μm の GaAs 層を成長させてみた。その結果、プリベーク温度を 400°C とした場合には表面が曇り、その他の場合では鏡面が得られた。これらの試料のうち 400°C と 500°C のものについて Nomarski 顕微鏡で観察した表面の様子を fig. 4.4 に示す。600°C の試料については 500°C のものと差が無かったため省略した。この結果から成長前のプリベーク温度は 400°C では不十分であるが、500°C 以上であれば十分に平坦性の良い膜を成長できることが分かった。しかしながら RHEED での違いが認められないのに実際に成長を行うとこのような差が出る理由については現状では分かっていない。なおプリベーク温度を 800°C とした場合についても今回実験を行っているが、この場合表面状態は著しく悪化することが分かった。これは今回用いた CBE 装置のヒーターがグラファイト製であるため、ヒーターからのカーボンが Si と反応し表面に薄い SiC の膜を形成しているためではないかと思われる。

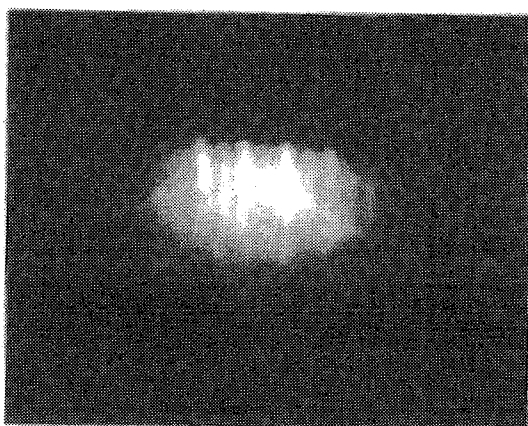
以上の結果から成長前のプリベークの温度は 500°C で十分であることが分かったため、以下の実験はすべて 500°C の条件で 5 分間のプリベークを実施した。



(a)



(b)



(c)



(d)

Figure 4.3: Si 基板の RHEED 観察像。(a) 基板導入直後, (b), (c), (d) プリベーキング終了後 (プリベーク温度はそれぞれ 400°C, 500°C, 600°C)。

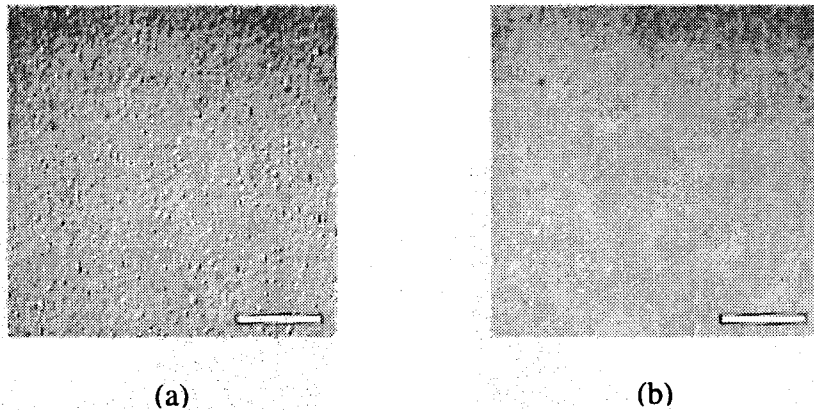


Figure 4.4: プリベーク温度の異なる基板上に作製した GaAs/Si の表面写真。プリベーク温度はそれぞれ (a) 400°C, (b) 500°C で図中のマーカーは 10  $\mu\text{m}$  を示している。

#### 4.4.2 低温バッファ層の最適化

今回のような低温成長では熱による格子歪みの緩和が十分には起こらないため、バッファ層の役割というのは特に重要となる。具体的には格子歪みを緩和するためのミスフィット転位が均一に導入されており、なおかつできるだけ平坦な膜であることが望ましい。ここではこのような膜を作製する条件について考える前に、まずはバッファ層の性質に大きな影響を与える初期成長のメカニズムについて確認しておこう。Si 基板上への化合物半導体の成長初期過程では、多くの場合 Volmer-Weber 型、もしくは Stranski-Krastanov 型のような 3 次元的な成長モードを取る。そして成長の進行にともない 3 次元島同士の合体が起こり、最終的に 2 次元的な成長モードへと移行する。しかしながら、3 次元成長の段階で生じたラフネスは 2 次元成長に移行した後も残り、最終的な表面モロロジーを悪化させる一因となる。また 3 次元核が結合した部分に応力が集中し転位の発生源となる。ゆえに高品質なヘテロエピタキシャル層を得るためには、成長の初期段階から Frank-van der Merwe 型のような 2 次元成長をすることが望ましい。成長初期過程の成長モードがどのように決定されるかについては、系の Gibbs 自由エネルギーの立場から論じることができる。エピタキシャル層の表面被覆率が増すと、基板の表面自由エネルギーは減少するが、反対にエピタキシャル層の表面自由エネルギーと基板との界面自由エネルギーは増加する。成長は系の自由エネルギーが最小となるように進行するため、成長モードはそれぞれの自由エネルギーの相関関係により決定される。これらの関係についてより具体的に議論するために、fig. 4.5 に示すような cap shape モデルを例にとって考察してみる。なお、以下は一部 Tachikawa ら



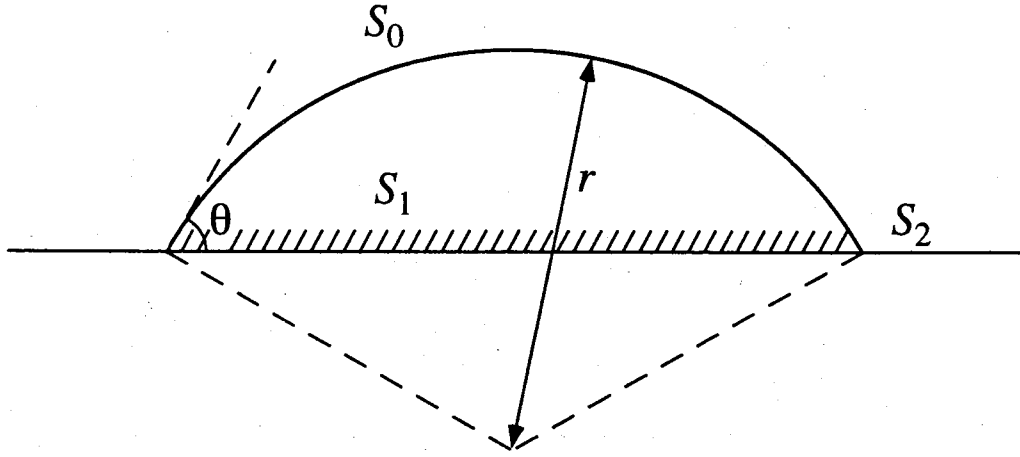


Figure 4.5: Cap-shape モデルによる 3 次元核

による考察を参考にした<sup>10)</sup>。

この擬似 3 次元核の体積  $V$  は接触角  $\theta$  と曲率半径  $r$  を用いて次式で表される。

$$V = \frac{\pi r^3}{3}(2 - 3 \cos \theta + \cos^3 \theta). \quad (4.1)$$

同様に 3 次元核の表面積  $S_0$  と基板との接触面積  $S_1$  はそれぞれ

$$S_0 = 2\pi r^2(1 - \cos \theta), \quad (4.2)$$

$$S_1 = \pi r^2 \sin^2 \theta \quad (4.3)$$

となる。いま、体積一定の条件の下で  $\theta$  を  $d\theta$  だけ微小変化させた場合を考える。このとき生じる 3 次元核の表面積と接触面積の変化分  $dS_0/d\theta$ ,  $dS_1/d\theta$  は、(4.2), (4.3) 式に (4.1) 式を代入して微分することで得られる。

$$\frac{dS_0}{d\theta} = -2\pi \left( \frac{3V}{\pi} \right)^{2/3} \sin \theta \cos \theta (1 - \cos \theta)^2 (2 - 3 \cos \theta + \cos^3 \theta)^{-5/3}, \quad (4.4)$$

$$\frac{dS_1}{d\theta} = -2\pi \left( \frac{3V}{\pi} \right)^{2/3} \sin \theta (1 - \cos \theta)^2 (2 - 3 \cos \theta + \cos^3 \theta)^{-5/3}. \quad (4.5)$$

また、このときの基板の露出表面積の変化分は  $-dS_1/d\theta$  に等しい。したがって、系全体の Gibbs エネルギーの変化分は次のようになる。

$$\begin{aligned} \frac{dG}{d\theta} &= \sigma_0 \frac{dS_0}{d\theta} + (\sigma_1 - \sigma_2) \frac{dS_1}{d\theta} \\ &= -Af(\theta)(\sigma_0 \cos \theta + \sigma_1 - \sigma_2). \end{aligned} \quad (4.6)$$

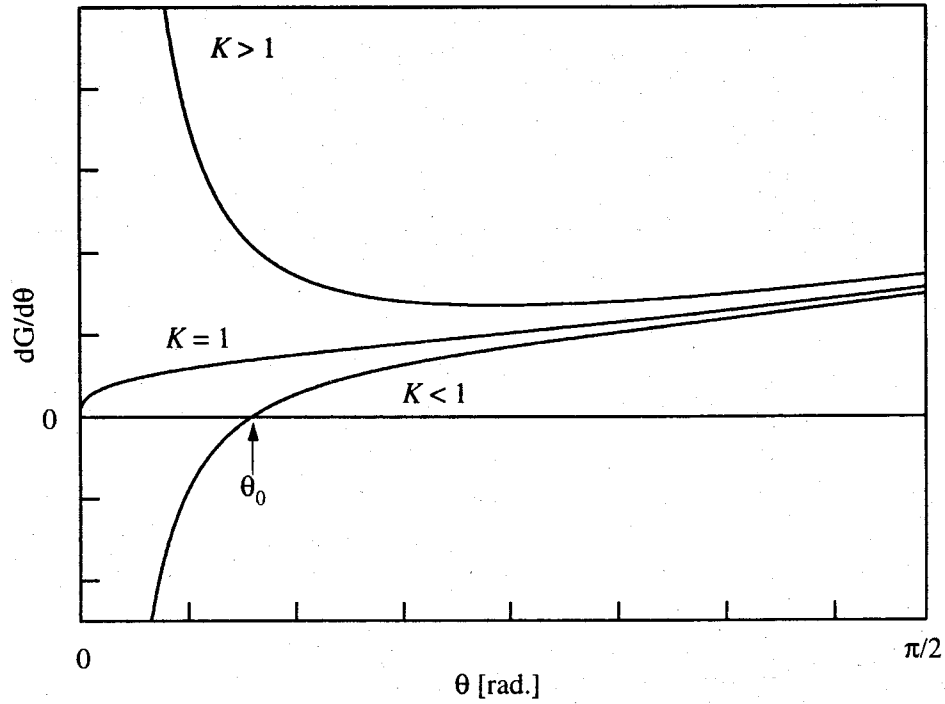


Figure 4.6: Cap-shape 3次元核の接触角と Gibbs 自由エネルギー変化量の関係

ただし,

$$A = 2\pi \left( \frac{3V}{\pi} \right)^{2/3}, f(\theta) = \sin \theta (1 - \cos \theta)^2 (2 - 3 \cos \theta + \cos^3 \theta)^{-5/3}$$

ここで  $\sigma_0$ ,  $\sigma_1$ ,  $\sigma_2$  はそれぞれ 3 次元核の表面エネルギー密度, 3 次元核と基板の間の界面エネルギー密度, および基板の表面エネルギー密度である。  $dG/d\theta = 0$  と置き  $f(\theta)$  が  $0 < \theta < \pi$  の範囲で常に正となることを考えると, 平衡状態における 3 次元核の接触角  $\theta_0$  は

$$\cos \theta_0 = \frac{\sigma_2 - \sigma_1}{\sigma_0} \quad (4.7)$$

の関係で決まる。この式は Young の関係式として知られているもので, 右辺が 1 より大きいときは 2 次元成長となり, そうでなければ 3 次元成長となることを示している。右辺の値を  $k$  と置きその大きさを変えたときに, (4.6) 式がどのように変化するかを示したグラフを fig. 4.6 に示す。

ホモ成長の場合,  $\sigma_1$  はバルクの内部エネルギーに等しく, また  $\sigma_0 = \sigma_2$  である。そのためバルクの内部エネルギーを基準にとると  $k = 1$  となり層状に成長が進行することがわかる。ヘテロ成長の場合, エピタキシャル層の表面エネルギーが基板のそれに対して十分に小さければ層状成長になりうる。しかし成長核の内部歪みの

影響が強い場合は事情が異なる。内部歪みは基板との界面に応力を集中させるため、これを疑似的な界面エネルギーの増大とみなせば上式における  $k < 1$  の条件になり 3 次元成長モードとなる。Stranski-Krastanov 型の成長は、はじめは  $k > 1$  の状態であったものが膜厚の増加による歪みの蓄積とともに  $\sigma_1$  の値が増し  $k < 1$  の状態、すなわち 3 次元成長に転向したものと考えることができる。GaAs/Si の場合、4.2% もの格子不整合があるためこの歪みの影響を完全に無くすることは難しい。そのため単独の核で考える限り 3 次元状態のほうがエネルギー的に安定であるといえる。しかし実際には基板上には多数の核が存在している。そして成長の進行と共に核同士の合体が起こり、最終的には 2 次元成長のモードに移行する。一度形成された連続膜がふたたび 3 次元核に分離するためには、成長膜表面のたわみによって生じる表面エネルギーの増加というバリアを乗り越える必要がある。そのため  $\theta$  の値が 0 でなくても十分に小さければ、たとえ 3 次元状態がエネルギー的に最も安定な系であっても同時に 2 次元状態も準安定な状態として存在する可能性はある。この議論は歪みの導入が不完全であることや結晶の異方性を考慮していない等の問題もあるが、これを参考に初期層の成長に適した条件について考えてみよう。先に低温成長がバッファ層の成長に有効であることを述べたがこれには二つの効果がある。一つは不完全な結合手を含む結晶を成長させることで歪みの緩和を図り 3 次元成長モードへの移行を抑制すること。そしてもう一つは基板表面での原料原子のマイグレーションを抑制し核密度の増加を図ることである。特に後者は歪みの蓄積が少ない成長の早い段階での核の結合を促進するためにも重要である。しかし V/III 比や成長速度など温度以外の成長パラメータが核の密度やその形態などに及ぼす影響というのは良く分かっていない。そこで今回の実験ではバッファ層の成長温度を可能な限り下げ、さらに原料の V/III 比と成長レートを変化させてバッファ層にどのような影響を及ぼすかについて調査を行った。

さて低温成長についてであるが MBE 等では 200°C という結晶成長の常識から見ると極低温ともいえる温度での成長が可能である<sup>14)</sup>。しかし表面での原料分子の分解反応を伴う CBE 成長では、分解に必要な活性化エネルギーの供給を基板の熱エネルギーに頼っているためある程度の温度が必要となる。一般的には TEGa の分解温度は 350°C 程度といわれておりこれ以下の温度では成長が起こらない可能性がある。そこでまずは GaAs の堆積温度の下限について調べることから行った。Figure 4.7 に示すのは GaAs 低温バッファ層の堆積温度を (a)150°C, (b)250°C, (c)300°C, (d)350°C と変化させたときの、RHEED パターンの変化を示したものである。150°C では RHEED パターンは体積前と同じストリークを示したままであり、成長はまだ始まっていないことが分かる。基板温度が 250°C になるとストリーク成分に加えてスポッティな成分も若干出てくるようになる。さらに 300°C

では完全にスポットパターンを示すようになり、350°C ではさらにその傾向が強くなった。従って III 族原料に TEGa を用いた場合、GaAs は 250°C 以上の基板温度であれば堆積が可能であることが分かった。また RHEED パターンを見る限り基板温度 300°C 以上では、表面の 3 次元構造化がかなり進行してしまっていることが伺える。この結果から CBE 成長における GaAs の低温成長の温度は 250°C が最も適しているとの結論を得た。

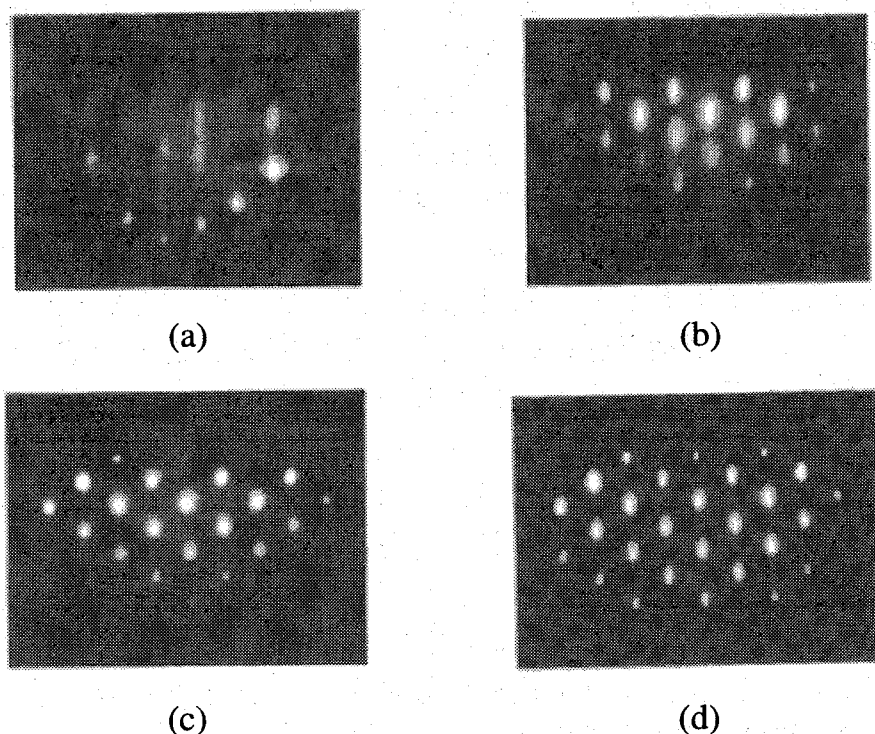


Figure 4.7: GaAs/Si 成長初期の RHEED パターンの基板温度に対する変化。堆積温度はそれぞれ (a)150°C, (b)250°C, (c)300°C, (d)350°C。

次に fig 4.8(a)-(c) は V/III 比を 10 に固定して成長レートをそれぞれ 5, 15, 25 Å/min としたときのバッファ層の様子の変化を AFM (原子間力顕微鏡, atomic force microscope) を用いて観測したものである。ただしバッファ層堆積時の基板温度はすべて 300°C とした。これは 250°C での堆積では表面状態は良いものの十分な堆積速度が得られなかったためである (以下の実験もすべて 300°C で行っている)。それぞれの試料の 3 次元アイランドの平均高さは 8 nm である。Figure 4.8(a) に示すように GaAs アイランドは成長レートが 5 Å/min のとき, [011] 方位に対して直角, あるいは平行に強く配向する傾向を見せた。この傾向は成長レートの増加とともに薄れ, 25 Å/min の条件では完全に消失した。次にアイランドのサイズについてみると成長レートが増えるに従いサイズが小さくなる傾向を見せた。ただアイランドの大きさのばらつきという点では各試料の間で大きな変化はみら

れなかった。

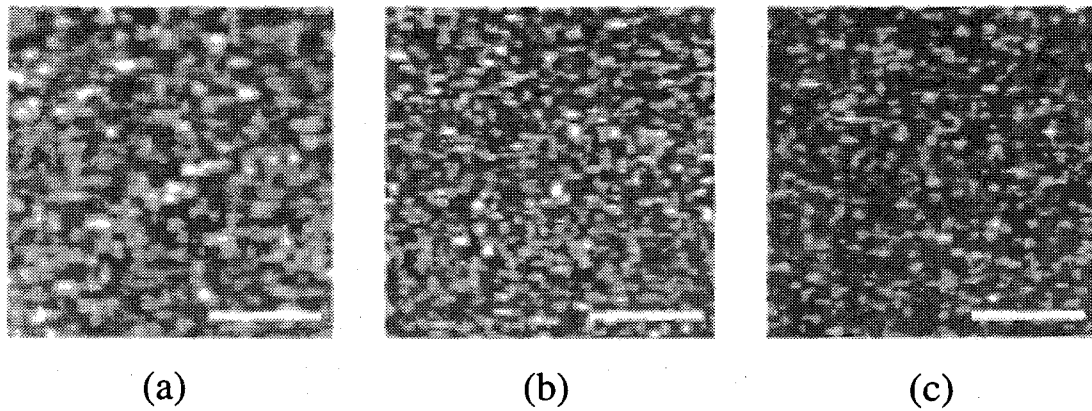


Figure 4.8: 成長速度を変えたときの低温バッファ層の変化。成長速度はそれぞれ (a) 5 Å/min, (b) 15 Å/min, (c) 25 Å/min で、図中のマーカーは 200 nm。

次に今度は成長レートを 5 Å/min に固定して V/III 比のほうをそれぞれ 2, 10, 50 と変化させたときのバッファ層の変化の様子を fig. 4.9(a)–(c) に示す。V/III 比が 50 の条件においてアイランドのサイズのばらつきは最も少なくなった。またアイランドの配向性についても V/III 比が 50 の条件のものが最も強く現れた。逆に V/III 比が 2 の場合はアイランドの大きさも不均一で配向性もまったく見ることができなかった。そして V/III 比が 10 のものについては、これらのちょうど中間的な傾向を示した。

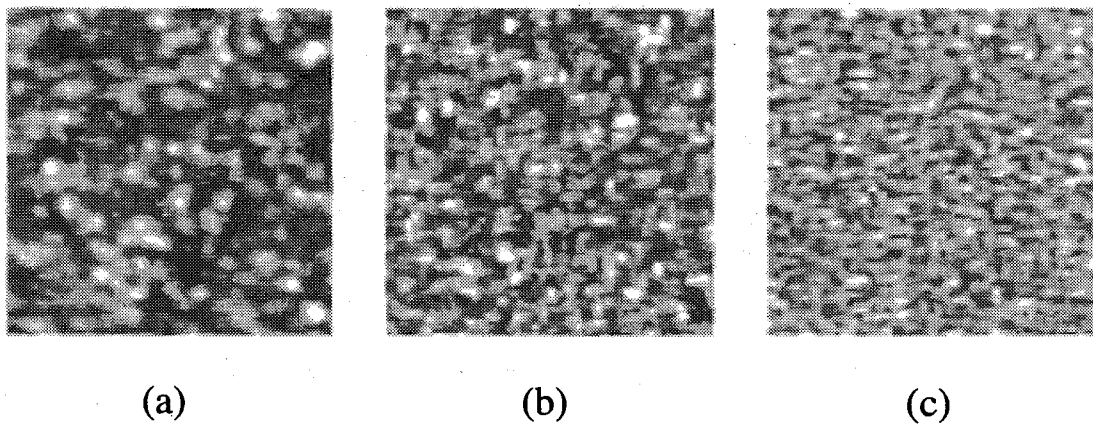


Figure 4.9: V/III 比を変えたときの低温バッファ層の変化。V/III 比はそれぞれ (a) 2, (b) 10, (c) 50 で、図中のマーカーは 200 nm。

これらの結果から、核成長段階における成長速度の違いはアイランドのサイズ

に対して影響があり、成長速度が大きいほどアイランドのサイズは逆に小さくなることが分かった。また V/III 比の違いはアイランドの大きさの均一性に影響があり、V/III 比が大きいほど均一性が増すことがわかった。配向性については成長速度が遅いほど、また V/III 比が大きいほど強く現れることが見出された。

バッファ層の違いがその上のメインとなる層に実際にどのような影響を及ぼすかを確認するために、基板温度 500°C、成長速度 1.5  $\mu\text{m}/\text{hour}$  の条件で約 3  $\mu\text{m}$  の GaAs の成長を行った。その結果何れの条件のバッファ層においても鏡面サンプルが得られた。Figure 4.10 に示すのはメイン層成長後の表面の状態を AFM で観察したものである。バッファ層堆積時に見られたような細かなアイランド形状は完全に消失しており、逆に大きな周期での凹凸が見られるようになっていることがわかる。この凹凸の高さの差は現状でおおよそ 40 nm あり決して良いものとはいえないが、バッファ層の膜厚などの調整によって今後改善される可能性は大いにあると思われる。

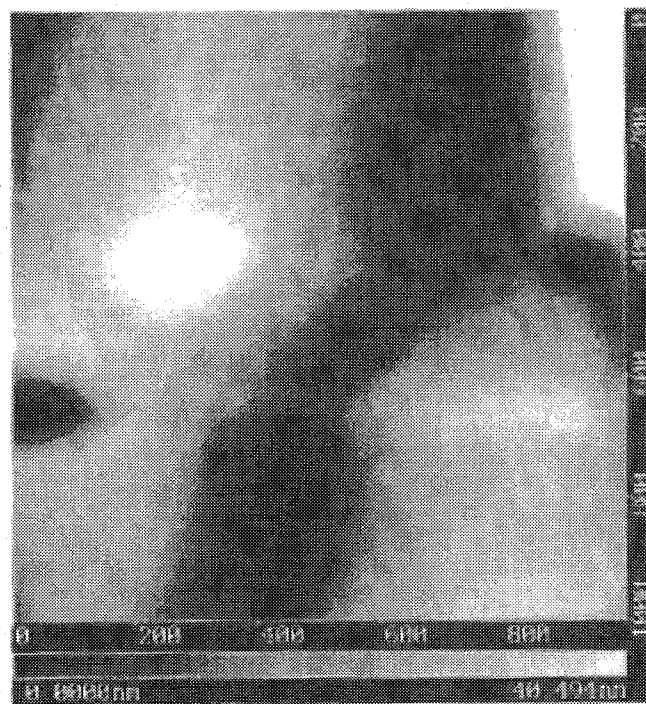


Figure 4.10: GaAs/Si の表面の AFM 観察像

これらの試料に対し二結晶X線回折法を用いて構造的な評価を行った。Figure 4.11 に示したグラフはバッファ層の成長速度の変化に対する GaAs ロッキングカーブの半値幅の変化を表したものである。半値幅はバッファ層作製時の成長速度が大きくなるほど狭くなる傾向を示し、成長速度が 25  $\text{\AA}/\text{min}$  の条件では 304 arcsec を示した。また fig. 4.12 に示したバッファ層作製時の V/III 比との関係では V/III

比の増加と共に半値幅が狭くなる傾向を見せた。半値幅の減少の割合は V/III 比を変化させたときのほうが大きく、半値幅はもっとも小さいもので 283 arcsec の値が得られた。これは as-grown サンプルとしては MOVPE や MBE など他の成長法と高温プリベキングを用いて作製されたものと同等の値であり<sup>11,12)</sup>、低温クリーニングを用いた場合でも十分に結晶性の高いサンプルが得られることを示している。

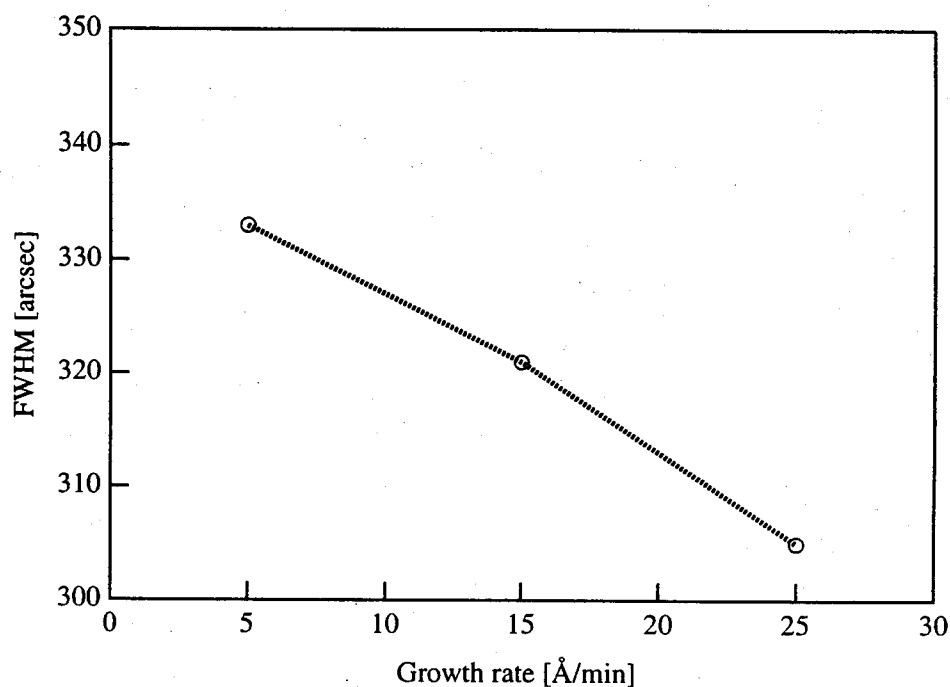


Figure 4.11: バッファ層成長時の成長速度と X 線ロッキングカーブの半値幅の関係。

最後に fig. 4.13 に GaAs/Si の 77K におけるフォトルミネッセンススペクトルの一例を示す。無歪みの GaAs のバンドエッジは 812 nm であるが、これらの試料では二軸性の引っ張り歪みのためピークが赤外方向にシフトしていることが分かる。また同時に一本であったピークが二本に分離した。これは歪みの影響により価電子帯のライトホールとヘビーホールの縮退が解けたためで、それぞれの準位に対応したピークが現れているものであると考えられる。ピークの半値幅に注目するとほとんどの試料で 7-8 meV であった。この値は MOVPE で作製された GaAs/Si に比べて非常に小さいもので、また前章で示したホモ成長の GaAs と比べても遜色ないものである。なお V/III 比が 2 の試料のみピークがブロードとなりまた発光強度も弱くなった。

以上の結果をまとめるとバッファ層成長時の条件については V/III 比は高いほ

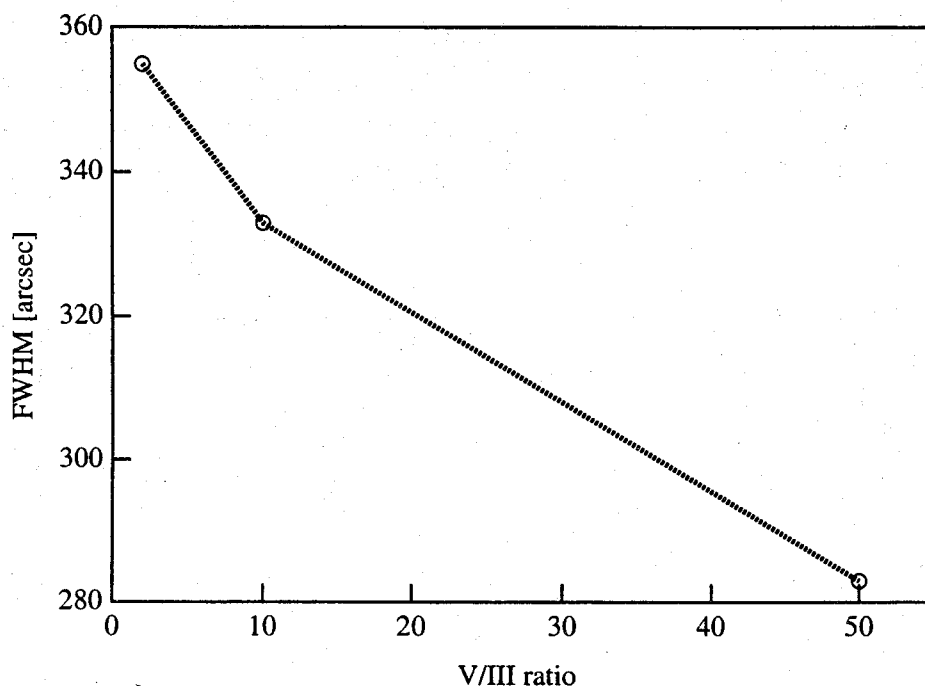


Figure 4.12: バッファ層成長時の V/III 比と X 線ロックングカーブの半値幅の関係。

うがよく、また成長速度についても大きいほうがその後続く成長にとって良い結果を与えることがわかった。AFM の観測結果と照らし合わせるならば成長初期のアイランドの形状が小さくなおかつ均一であるほどバッファ層としては好ましいといえる。ただしアイランドの配向性の影響については今回の結果だけでは判断することはできない。

#### 4.4.3 In ドープによる残留歪みの低減

In には LEC 法で作られた III-V 族 バルク結晶中の欠陥密度を減らす効果があることが知られている<sup>15)</sup>。そしてこの手法は LEP, VPE, MOVPE そして MBE 等によるエピタキシャル成長の場合にも取り入れられ、転位密度や深い準位によるトラップの低減などに効果があることが報告されている<sup>16-19)</sup>。GaAs の場合では MBE を用いて GaAs 基板上的ホモ成長と Si 基板上的ヘテロ成長の双方について研究が行われた例がある<sup>20,21)</sup>。そしてこれらの報告でも電気的あるいは構造的な改善がされたことが示されている。そこで今回の実験では CBE 成長による GaAs/Si に微量の In をドーピングし、主に残留応力と結晶構造がどのような影響を受けるかについて調べた。



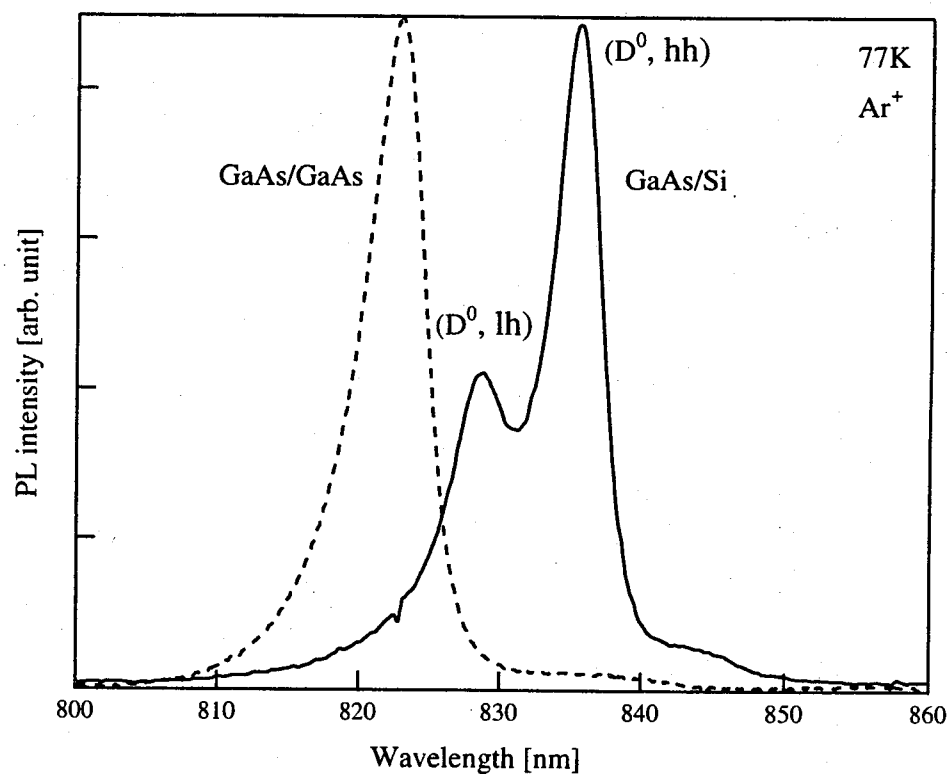


Figure 4.13: CBE 成長による GaAs/Si の典型的なフォトルミネッセンススペクトル。

In 源には TMIn を用い、メイン層の成長時に TMIn を同時に供給することでドーピングを行った。その結果、In 含有率が 0.04–0.59% の GaAs/Si を得た。なお、メイン層成長時の基板温度は上と同じ 500°C である。In の含有量の測定には二結晶 X 線回折法を用い、基板とエピ層とのピーク差から導出した。

Figure 4.14 は アンドープと In 含有率 0.29% の GaAs/Si の 77 K におけるフォトルミネッセンススペクトルを示したものである。アンドープの場合のスペクトルと比べると発光強度は 5 倍以上になっており、結晶中の非発光再結合中心が大幅に減少していることを示唆している。また発光ピークについて見るとアンドープでは 825.0 nm (1.5028 eV) と 833.0 nm (1.4884 eV) の 2 つのピークを見せており、両者の差は 14.4 meV である。ここで短波長側のピークは Si ドナー準位と価電子帯のライトホールとの間の遷移に起因するピークであり、長波長側のピークは Si ドナー準位と価電子帯のヘビーホールに起因するピークである。このピークの分離は GaAs にかかる 2 軸性の引っ張り応力によって起こる。さてこの 2 つのピークシフトから膜中の歪みの量を簡単に算出することができる。歪み量とピークシフトの関係は次の式で表すことができる。

$$\delta(E_c - E_{lh}) = 2a(S_{11} + 2S_{12})X - b(S_{11} - 2S_{12})X, \quad (4.8)$$

$$\delta(E_c - E_{hh}) = 2a(S_{11} + 2S_{12})X + b(S_{11} - 2S_{12})X. \quad (4.9)$$

ここで  $S_{11}$  と  $S_{12}$  は弾性コンプライアンス係数であり、 $a, b$  は変形ポテンシャルである。そして  $X$  は歪み量を表している。2 つのピークの差を利用するならば上の式はさらに簡単になり、

$$\delta(E_c - E_{hh}) - \delta(E_c - E_{lh}) = 2b(S_{11} - 2S_{12})X \quad (4.10)$$

で表される。ここで GaAs の場合のパラメータである  $S_{11} = 12.6 \times 10^{-4} \text{ kbar}^{-1}$ ,  $S_{12} = -4.23 \times 10^{-4} \text{ kbar}^{-1}$ ,  $a = -8.3 \text{ eV}$ ,  $b = -1.7 \text{ eV}$  をそれぞれ代入すると、アンドープ時の歪みの量は 2.49 kbar であることが分かる。一方 In 含有率が 0.29% の試料の場合、ピーク位置はそれぞれ 828.4 nm (1.4966 eV) と 833.6 nm (1.4873 eV) であり、その差は 9.3 meV である。これを先ほどの式に当てはめると歪みの量は 1.6 kbar となる。従って In のドーピングによって GaAs/Si の内在歪みが緩和されていることが分かる。Figure 4.15 は In 含有量の異なる試料について歪み量を同様に求め、In 含有量と歪み量の関係としてプロットしたものである。In が 0.05% 入ると歪み量は急激に減少し、その後 0.3% 付近まで減少の一途をたどる。それ以上になると今度は歪み量が増大する方向に転じる。これは In が増えることにより Si 基板との不整合がさらに増大していくことと、不純物としてよりも InGaAs 混晶としての影響が強くなっていくためではないかと考えられる。

Figure 4.16 に示すのはアンドープと In 含有率 0.29% の場合の GaAs/Si の表面状態を AFM で観察したものである。一目見て明らかなように In を添加するこ

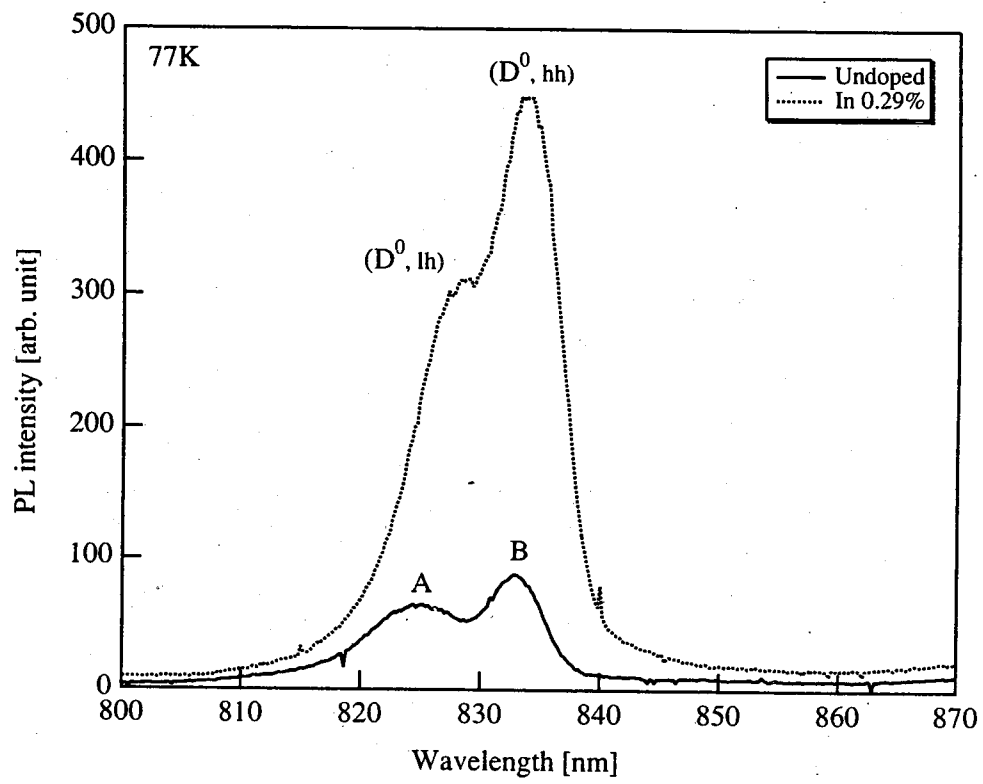


Figure 4.14: アンドープと In を 0.29% 含む GaAs/Si の 77 K におけるフォトルミネッセンススペクトル。

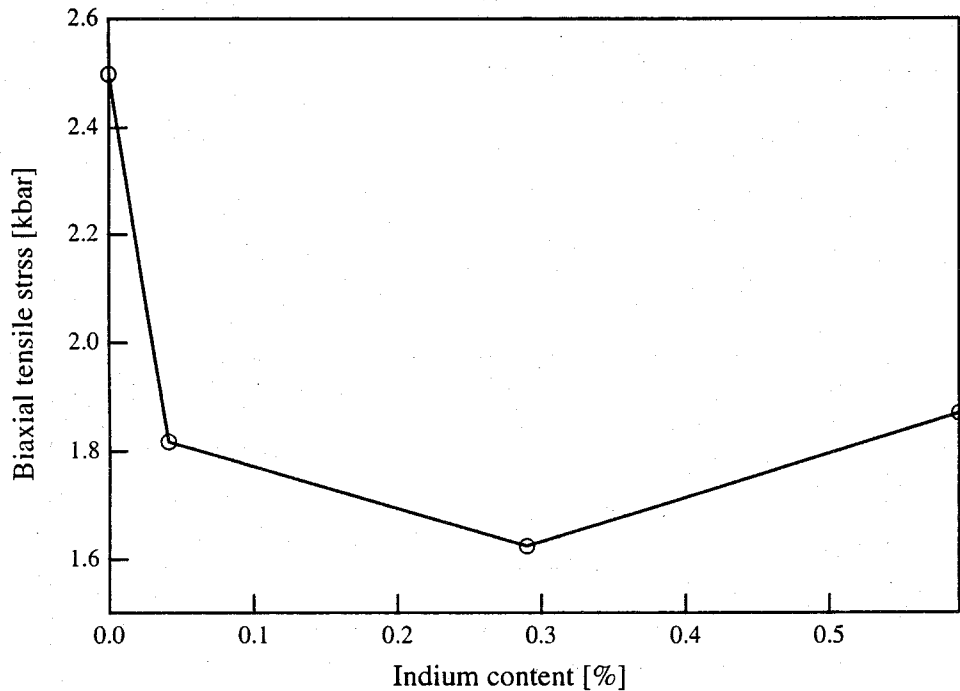


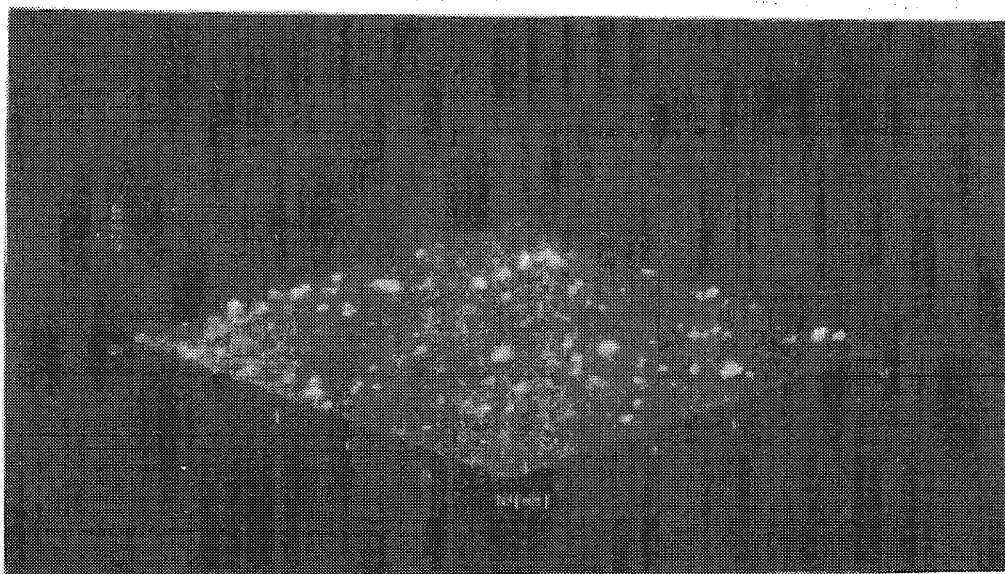
Figure 4.15: In をドーピングした GaAs/Si の In 含有量と 2 軸性引っ張り応力との関係。

とによって表面の平坦性が著しく向上している。Figure 4.17 は In 含有量と表面ラフネス (Ra: 平均荒さ, Rms: 平方二乗荒さ) の関係を示したものである。Ra, Rms の両方ともが In 含有率 0.29% で最小値 1.07, 1.34 nm をそれぞれ示した。この関係は fig. 4.15 に示した In 含有量と歪み量との関係と良く一致している。ゆえに歪み量と表面モロロジーの間には何らかの関係があることが伺える。おそらく In のドーピングによって歪み量が減少し、その結果特に成長初期段階における 3 次元成長モードの進行が抑制されることになったものと思われる。

最後に試料をラマン分光法で観測した結果について示す。Figure 4.18 はアンドープおよび In 含有率 0.04%, 0.29% の場合の GaAs/Si のラマンスペクトルを示したものである。波数が  $290\text{ cm}^{-1}$  付近の大きなピークは LO フォノンによるもので、 $270\text{ cm}^{-1}$  付近に見える小さなピークは TO フォノンによるものである。ただし In をドーピングした試料では TO フォノンによるピークは観察されなかった。Freundlich らによれば完全な GaAs 結晶では LO フォノンによるピークのみが許され、TO フォノンによるピークは禁制であるとされる<sup>22)</sup>。また結晶中に欠陥が増えてくると TO フォノンピークも許されるようになる。つまり In をドーピングした試料で TO フォノンピークが現れないのは、結晶中の欠陥密度が減少したことを示している。LO フォノンピークに注目するとピーク半値幅はアンドープの



(a)



(b)

Figure 4.16: (a) アンドープ時と (b) In を 0.29% ドーピングした場合の GaAs/Si の表面 AFM 像。

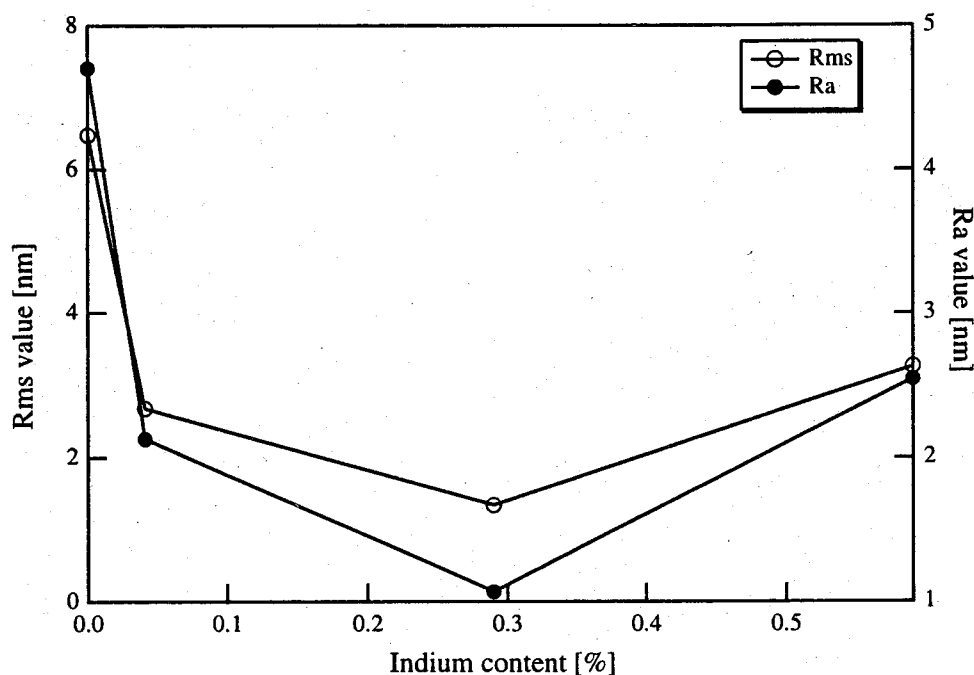


Figure 4.17: GaAs/Si における In 含有量と表面荒さ (Ra および Rms) との関係。

場合で  $4.9\text{ cm}^{-1}$ , 一方 In 0.29% では  $4.1\text{ cm}^{-1}$  となった。また In 0.04% および図には示されていないが 0.59% のものでは共に半値幅  $4.4\text{ cm}^{-1}$  を示した。この結果から、やはりこの場合においても In 0.29% のものが最も良い特性を示すことが明らかとなった。

以上の結果から、GaAs/Si において In のドーピングが光学特性や欠陥密度の点において良い影響を与えることに疑いの余地は無いように思われる。ただし肝心の結晶中における In の振る舞い（なぜ結晶性が良くなるのか）については分かっておらず、今後はこれらの検証が課題となるであろう。

## 4.5 まとめ

本章では Si 基板上に GaAs の成長を行い、プリベーク温度の低温下、低温バッファ層の堆積条件の最適化および In ドーピングによる結晶性の改善についての実験を行った。プリベーク温度の低温下は将来のデバイス開発を睨んで行ったものである。基板導入時の大気暴露時間を 30 秒程度に抑え、基板温度  $400^{\circ}\text{C}$ ,  $500^{\circ}\text{C}$ ,  $600^{\circ}\text{C}$  で 5 分間のプリベークを行った。その結果基板温度は  $500^{\circ}\text{C}$  以上であれば、プリベークとしての効果は十分に得られることが分かった。同様のことを MOVPE で行っても鏡面を持つ GaAs/Si は得られない。よって今回の

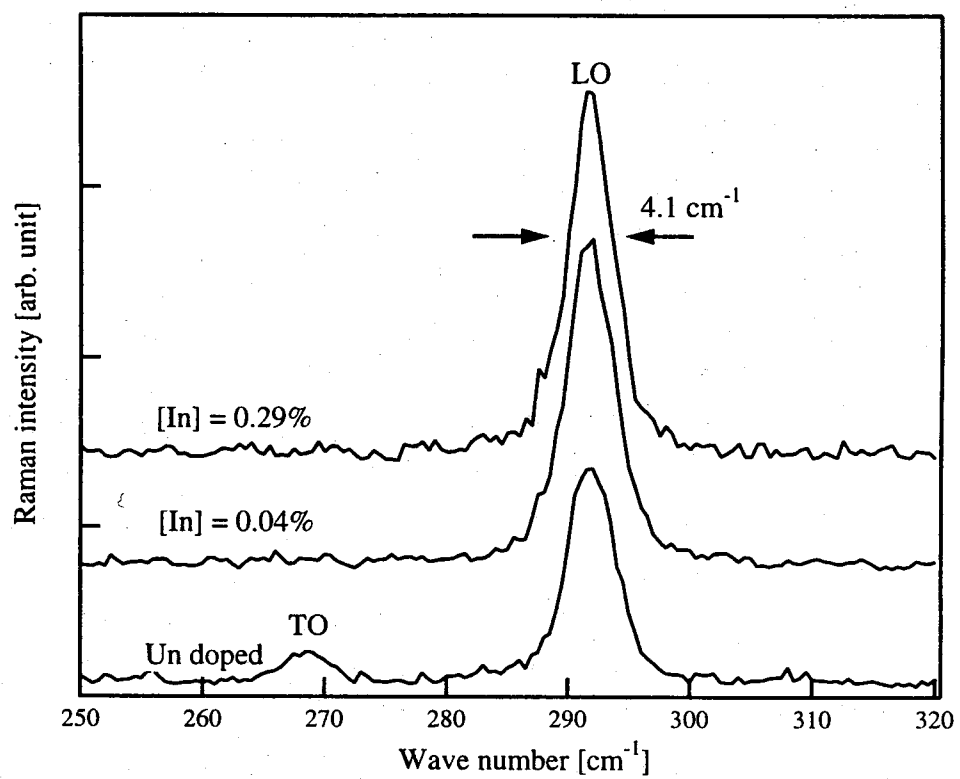


Figure 4.18: アンドープ時と In を 0.29% ドーピングした場合のラマンスペクトルの変化。

結果は GaAs/Si の成長における CBE の 優位性を指し示すものであるといえる。

バッファ層の最適化についてはまず CBE で GaAs の成長ができる最低基板温度について調べた。成長の有無の確認は RHEED によって行った。その結果、基板温度 150°C では成長は認められなかった。しかし温度が 250°C になると RHEED 像はスポット状に変化し始め、300°C 以上で完全なスポットパターンへと変化した。ゆえに TEGa と AsH<sub>3</sub> を用いた場合の GaAs の成長は 250°C 付近から可能であることが分かる。ただし成長できるといっても TEGa の分解がほとんど進まない温度であるため、成長速度は著しく遅い。バッファ層堆積時の成長条件について V/III 比と原料供給速度を変化させてどのような変化が見られるかについて調べた。GaAs/Si の成長では歪みの影響により成長初期に 3 次元アイランドが形成される。まず成長速度を増加させた場合、成長速度が大きいほど 3 次元アイランドの大きさが小さくなる傾向があった。逆に成長速度が小さいときはアイランドの大きさが大きくなるほか、基板の 〈110〉 に配向するような傾向を示した。一方 V/III 比の変化に対しては V/III 比が大きくなるほどアイランドの大きさが均一になり、配向性についても見られるようになった。V/III 比が小さいときにはアイランドの大きさはばらばらで、配向性も全く見られない。この結果からだけではどの条件あるいは表面状態が良いのか分からないため、それぞれのバッファ層の上に GaAs をさらに成長させそれを評価することでバッファ層の最適化を行った。まずは二結晶 X 線回折の結果からであるが、成長速度の変化に対して成長速度が大きいときのほうがロッキングカーブのピーク半値幅の値が小さくなることが示された。すなわち成長初期のアイランドの大きさは小さい方がよいということになる。また V/III 比の変化に対しては V/III 比が高い方が半値幅が狭くなることが分かった。これらの結果からバッファ層の構造にはアイランドの大きさが均一でかつ小さいことが求められることが分かった。ただしアイランドの配向性については今回の結果だけでは何ともいえない。半値幅の減少に対する効果の割合は成長温度よりも V/III 比を変えたときのほうが大きい。なお、半値幅は最低のもので 283 arcsec という小さいものが得られている。これは MOVPE や MBE で高温プリベークングを用いて得られたものと同等の値であり、このことから CBE という成長法と低温プリベークングの相性の良さを伺い知ることができる。もう一つフォトルミネッセンス特性についてみると、歪みの影響による二つのピークが見られた。ピークの半値幅は 7-8 meV と非常に狭く GaAs バルク結晶に非常に近い値が得られた。ゆえに今回作製した GaAs/Si の品質は十分に高品質であるといえる。

最後に GaAs/Si の結晶性の改善を目的として微量の In を添加を行った。フォトルミネッセンススペクトルのピークシフト量から、GaAs 膜中の歪み量の見積もりを行った結果、In のドーピングによって歪み量の減少が見られた。歪み量は In を



0.29% ドープしたときに最も小さくなり、アンドープのものに比べて 2/3 程度まで減少させることができた。また GaAs/Si の表面モロロジーについて見ると、In ドープによって表面の平坦性が明らかに向上していることが確認された。このとき In ドープ量と表面荒さとの関係についてみると歪み量とリンクするように In 含有率 0.29% のときに最も平坦性が良くなることが示された。これは歪み量が減少したことにより特に成長初期における 3 次元成長モードが抑制されているためだと考えられる。さらにラマン散乱法による測定においてアンドープ試料では欠陥の存在に関係のある TO フォノンに起因するピークが現れているのに対し、In をドープした試料ではその濃度に関わらず TO フォノンピークは観測されなかった。また LO フォノンピークについてみると上記の結果と同様 In 0.29% の場合の半値幅が最も小さくなった。これらの結果から GaAs/Si の CBE 成長において膜中の In の存在が結晶の特性に良い影響を与えていることは明らかである。

以上をまとめると今回の一連の実験により CBE を用いた GaAs/Si の成長は他の成長法では見られないいくつかのユニークな特徴を有しており、将来のシリコン基板上デバイスの開発において大きな力となるであろうと思われる。



## 参考文献

- 1) M. Akiyama, Y. Kwarada and K. Kaminishi, Jpn. J. Appl. Phys. **23** (1984) L843.
- 2) M. Yamaguchi, T. Nishioka and M. Sugo, Appl. Phys. lett. **54** (1989) 24.
- 3) H. Okamoto, Y. Watanabe, Y. Kadota and Y. Ohmachi, Jpn. J. Appl. Phys. **26** (1987) L1950.
- 4) T. Nishimura, K. Mizuguchi, N. Hayafuji and T. Murotani, Jpn. J. Appl. Phys. **26** (1987) L1141.
- 5) M. Akiyama, T. Ueda and S. Onozawa, Mat. Res. Soc. Symp. Proc. **116** (1988) 79.
- 6) M. Tachikawa and H. Mori, Appl. Phys. lett. **56** (1990) 2225.
- 7) K. Nozawa and Y. Horikoshi, Jpn. J. Appl. Phys. **30** (1991) L668.
- 8) S. Nakamura, Science **281** (1998) 956.
- 9) S. F. Fang, K. Adomi, S. Iyer, H. Morkoç and H. Zabel, J. Appl. Phys. **68** (1990) R31.
- 10) M. Tachikawa, H. Mori, M. Sugo and Y. Itoh, Jpn. J. Appl. Phys. **32** (1993) L1252.
- 11) R. W. Kaliski, C. R. Ito, D. G. McIntyre, M. Feng, H. B. Kim, R. Bean, K. Zanio and K. C. Hsieh, J. Appl. Phys. **64** (1988) 1196.
- 12) H. P. Lee, X. Liu, S. Wang, T. George and E. R. Weber, Appl. Phys. Lett. **54** (1989) 2695.
- 13) D. Teng, W. Zhuang, J. Liang and Y. Li, Vacuum **41** (1990) 926.

- 14) Z. Liliental-Weber, W. Swider, K. M. Yu, J. Kortright, F. W. Smith and A. R. Calawa, Appl. Phys. Lett. **58** (1991) 2153.
- 15) W. C. Mitchel and P. W. Yu, J. Appl. Phys. **57** (1985) 623.
- 16) H. Beneking, P. Narozny and N. Emeis, Appl. Phys. Lett. **47** (1985) 828.
- 17) M. L. Coronado, E. J. Abril and M. Aguilar, Jpn. J. Appl. Phys. **25** (1986) L899.
- 18) H. Beneking, P. Narozny, P. Roentgen and M. Yoshida, IEEE Electron Device Lett. EDL-7 (1986) 101.
- 19) P. K. Bhattacharaya, S. Dhar, P. Berger and F. Y. Juang, Appl. Phys. Lett. **49** (1986) 470.
- 20) M. Missous, K. E. Singer and D. J. Nicholas, J. Cryst. Growth **81** (1987) 314.
- 21) I. Ohbu, M. Ishino and T. Mozume, J. Appl. Phys. **65** (1989) 396.
- 22) A. Freundlich, A. Leycuras, J. C. Grenet and C. Verie, Appl. Phys. Lett. **51** (1987) 1352.