

三値演算回路の一構成

五十嵐重嘉・山田由之

電子工学教室
(1969年9月11日受理)

A Construction for Ternary Operating Circuits

Shigeyoshi IGARASHI and Yoshiyuki YAMADA

Department of Electronic Engineering
(Received September 11, 1969)

This paper is concerned with the study of ternary algebra and circuits related with the operating systems.

In order to realize each operating system, modular algebra is applied as a logical function and the truth value “-1, 0, 1”, as a logical value.

The circuit devices used here are ordinary binary devices, but the power sources adopted are positive and negative ones.

At first, we describe the modular algebra, next construct the fundamental operating circuits, and at the last compose the ternary operating systems. These fundamental operating circuits are comparatively simple, so the systems can be composed simply.

1. ま え が き

最近、内外において三値論理の理論および実現回路に関する研究がしだいに多くなりその重要性が認識されてきている。しかしながら実用性という点ではいまだの感がある。

三値の論理体系も E.L.Post らにより多値論理の一環として一応体系づけられたとされているがこの分野にも数々の問題が残されている。その最大の難点は論理関数の展開が数学的には整然としていても工学的には非常に複雑であり、その実用性という点に問題がある。

これに比して二値論理における代数系では実際の使用目的に密接に関連しているのていろいろと利点が多く三値論理系においてもこのような関連が必要である。

素子の面からみても現在使われている素子は二値素子がほとんどで必ずしも三値論理に適した素子であるとはいえない。

これらの制限を加味して考えた場合、三値論理を回路的に実現するのに適した論理系として、Modular 代数系が考えられる。従来、この代数系は真理値として 0, 1, 2 がよく使われてきたが、本文では論理的、回路的な有利性を考えて -1, 0, 1 を用いることとした。

第二節ではこの論理系について考え、その展開式を考えていく。

第三節ではこの論理系と回路を対応させ、基本的な演算回路や記憶回路、これらに付属したそのほかの基本回

路などを示す。

第四節ではこれらの基本回路を用いた一つの計算系としての構成、すなわち加算、減算、乗算、除算装置、およびそれらに付属する入力、出力回路などを示し、一つの演算装置としての完成を考えていく。

2. 三値 Modular 代数

この節では三値 Modular 代数について定義し、演算の骨子を与える。論理変数 x とその関数 f は真理値 -1, 0, 1 のみをとるものとし、それらの大小関係を $-1 < 0 < 1$ とする。変数 x, y の Modulo 3 sum \oplus , Modulo 3 product $*$ を次のように定義する。

Table I Modulo 3 Sum, Modulo 3 Product

		$x \oplus y$			$x * y$		
$x \backslash y$		-1	0	1	-1	0	1
-1		1	-1	0	1	0	-1
0		-1	0	1	0	0	0
1		0	1	-1	-1	0	1

Negation $\bar{x} = x * (-1)$

Cycling $x' = x \oplus 1$

$\overline{\overline{x}} = x$ $x \oplus \overline{x} = 0$ $x'' = x \oplus (-1)$ $x''' = x$

逆元(負元) $-x = \overline{\overline{x}} = x \oplus x \cdots$ Negation に一致

規約 $x^0 = 1$ 単位元

1) 諸公式

- i) $x * y = y * x, x \oplus y = y \oplus x$
- ii) $(x * y) * z = x * (y * z) \quad (x \oplus y) \oplus z = x \oplus (y \oplus z)$
- iii) $x * (y \oplus z) = x * y \oplus x * z$
 $(x \oplus y) * z = x * z \oplus y * z$
- iv) $x \oplus x \oplus x = 0$ 一般に $3nx = 0$
- v) $x * x * x = x^3 = x \quad x^{2^n} = x^2 \quad x^{2^{n+1}} = x$
- vi) $(-x) \oplus (-y) = -(x \oplus y)$
- vii) $(-x) * (-y) = x * y$
- viii) $(-x) * y = x * (-y) = -(x * y)$
- iv) $-(-x) = x$

2) 展開定理

Table II Monadic Operation

		$J_i(x)$			$\overline{J_i(x)}$		
$x \backslash i$		-1	0	1	-1	0	1
-1		1	0	0	-1	0	0
0		0	1	0	0	-1	0
1		0	0	1	0	0	-1

Table III Ternary 1 value function

x	-1	0	1	
$f(x)$	-1	-1	-1	-1
	-1	-1	0	$-x^2 \oplus -x \oplus -1$
	-1	-1	1	$x^2 \oplus x \oplus -1$
	-1	0	-1	$-x^2$
	-1	0	0	$x^2 \oplus -x$
	-1	0	1	x
	-1	1	-1	$x^2 \oplus 1$
	-1	1	0	$-x^2 \oplus 1$
	-1	1	1	$-x^2 \oplus x \oplus 1$
	0	-1	-1	$-x^2 \oplus x \oplus -1$
	0	-1	0	$x^2 \oplus -1$
	0	-1	1	$-x \oplus -1$
	0	0	-1	$x^2 \oplus x$
	0	0	0	0
	0	0	1	$-x^2 \oplus -x$
	0	1	-1	$x \oplus 1$
	0	1	0	$-x^2 \oplus 1$
	0	1	1	$x^2 \oplus -x \oplus 1$
	1	-1	-1	$x^2 \oplus -x \oplus 1$
	1	-1	0	$x \oplus -1$
	1	-1	1	$-x^2 \oplus -1$
	1	0	-1	$-x$
	1	0	0	$-x^2 \oplus x$
	1	0	1	x^2
	1	1	-1	$-x^2 \oplus -x \oplus 1$
	1	1	0	$x^2 \oplus x \oplus 1$
	1	1	1	1

$J_i(x)$ を Table II のように定義すると

$$J_{-1}(x) = (-x^2) \oplus x, J_0(x) = (-x^2) \oplus 1,$$

$$J_1(x) = (-x^2) \oplus (-x)$$

となる。この $J_i(x)$ を用いると

$$f(x_1, x_2 \dots x_n) = J_{-1}(x_1) * f(-1, x_2 \dots x_n)$$

$$\oplus J_0(x_1) * f(0, x_2 \dots x_n)$$

$$\oplus J_1(x_1) * f(1, x_2 \dots x_n)$$

$$= \{x * (-x)\} * \{f(-1, x_2 \dots x_n) \oplus f(0, x_2 \dots x_n)$$

$$\oplus f(1, x_2 \dots x_n)\} \oplus x * \{(-1, x_2 \dots x_n)$$

$$\oplus f(0, x_2 \dots x_n) \oplus (-x) * f(1, x_2 \dots x_n)$$

をえる。この展開式と Table II の三値一変数関数表とによって、 \oplus と $*$ および補助演算 Negation を含む系は Functionary Complete であることがわかり、この Complete Set を用いればすべての演算、例えば三値 n 変数に対しても Functionary Complete が証明される。いいかえればこの Modular 代数系が数学的に完全であることが証明できる。

これらを数学的な関数の一般形で表わすと展開式は

$$f(x_1 x_2 \dots x_n) = \sum C_i * x_1^{e_1} * x_2^{e_2} * x_3^{e_3} * \dots * x_n^{e_n}$$

$$e_i \in \{-1, 0, 1\}$$

とも表わされる。この式で \sum は $i=0$ から $i=3^n-1$ までの Modulo 3 Sum であり i の 3 進表示は $e_n e_{n-1} \dots e_2 e_1$ となっているものとする。

3. 基本演算と回路設計

Modular 代数系を用いた回路設計を考える場合には、その真理値の設定が問題となる。従来よく用いられてきた 0, 1, 2 は数学的にはわかりやすいが、回路的には設計しにくい。例えば Negation 演算をおこなう回路を考える時、真理値 0, 1, 2 では 0 に対する Negation は 2 である。一方 -1, 0, 1 を用いる時は -1 に対する Negation は 1 となり単なる符号だけの差となる。また計算のための系を考える場合にも正の数と負の数を同じ基準で導入するので、符号の記憶や補数が不必要となり、Round Off も簡単となる。このように回路的には -1, 0, 1 の方が有利であり、論理的にも前節の証明のように問題となる点がないので真理値は -1, 0, 1 と設定した。

Table IV

Truth Value	-1	0	1
Circuit Voltage	-8~-6	-2~+2	+6~+8

Table IV にこの真理値と回路電圧との関係を示す。各電圧は ± 2 V の偏差を認めることによって回路の誤動作をさけている。

回路設計の上で素子の使い方としては安定性を考えて Active 領域をさけ、すべて On, Off のみを用いた。ト

ランジスターは正、負二電源の場合には、 p, n, p 型、 n, p, n 型の相補型トランジスターを用いる場合が多いが素子自体の非対称性や各パラメーターの偏差を考慮して n, p, n 型だけに統一するように設計している。

1) Inverter および逆元回路

Table V Negation, Negative

x	\bar{x}	$-x$	$\bar{\bar{x}}$
-1	1	1	-1
0	0	0	0
1	-1	-1	1

Nagation 演算は回路的には Inverter 回路を用いることによって実現できる。Table V に真理値を示し、Fig. 1 には実際の回路を示す。この回路は二個の n, p, n 型トランジスターの負荷抵抗を結合することにより三つの出力を得ている。逆元も真理値 -1, 0, 1 に対しては代数的に同一となるためこの Inverter で構成できる。

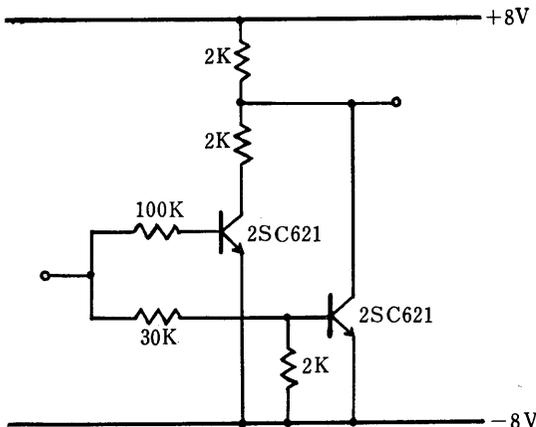


Fig. 1 Inverter circuit.

2) 増幅回路

増幅回路は各演算出力減衰を補うため、あるいは各演算間のバッファーとして必要である。実際の回路は Fig. 1 の Inverter を二個縦続に接続することにより実現できる。

3) 三安定回路

三安定回路は演算回路とは別のものであるが、三値演算装置を設計する上で情報記憶回路としてかくべからざるものである。この回路の基本的な考え方は、二値の場合の双安定回路を二個並列につなぎ合わせた回路であり、出力を Inverter 回路と同様な考え方で合成することにより三安定出力を得ている。この回路の特徴は二値の場合の双安定回路と同様であり、並列に接続すること

により安定性の面でもすぐれている。出力電圧は真理値 1, -1 に対しては、ほぼ電源電圧の値まで得られ、0 に対してはほぼ 0V となる、Triggering はこの回路の使用目的によって決まる。Fig. 2 にこの回路の基本回路を示す。

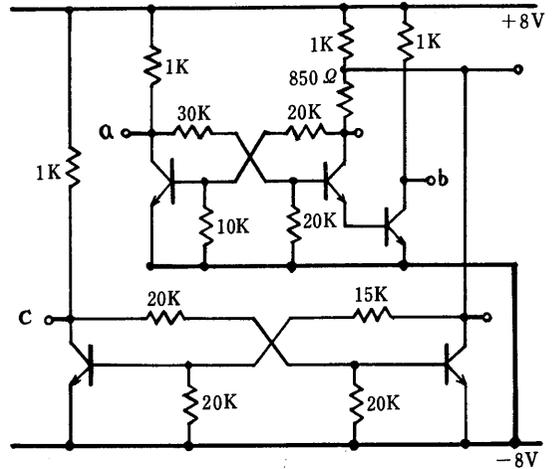


Fig. 2 Tristable circuit.

4) And, Or, Median 回路

Table VI And, Or, Median

	$x \cdot y$	$x \odot y$	$x + y$
$x \backslash y$	-1 0 1	-1 0 1	-1 0 1
-1	-1 -1 -1	-1 $-\frac{1}{2}$ 0	-1 0 1
0	-1 0 0	$-\frac{1}{2}$ 0 $\frac{1}{2}$	0 0 1
1	-1 0 1	0 $\frac{1}{2}$ 1	1 1 1

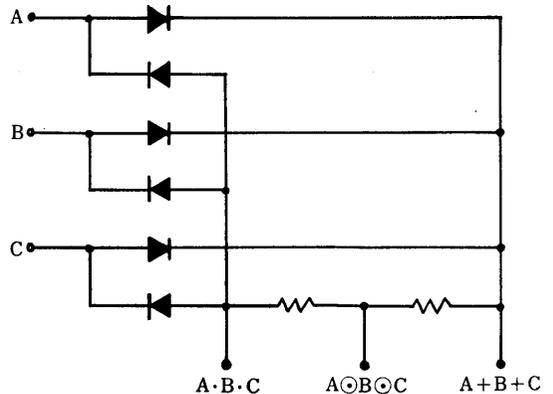


Fig. 3 And, Or, Median circuit.

And と Or は二値と同様、論理積と論理和に対応し、Median 回路はこの And と Or の平均値をとる。これ

らの真理値を **Table V** に示す。この回路も三安定回路と同様、演算装置を設計していく上で必要となる。この回路の基本回路を **Fig. 3** に示す。しかしながらこの回路の出力は非常に減衰するため、増幅回路を必要とする。

5) その他の演算回路

$J_i(x)$ 回路は **Fig. 2** の三安定回路の fan out を利用することによって実現できる。 $J_i(x)$ の真理値は前節 **Table I** に示している。 $J_{-1}(x)$, $J_0(x)$, $J_1(x)$ に対応する出力を得るために **Fig. 2** の各トランジスタの出力, a , b , c をアースレベルに対する, エミッター接地のトランジスタ増幅段を通しこの結果の出力が $J_{-1}(x)$, $J_0(x)$, $J_1(x)$ に対応する。この回路は入力として三値信号を入れた場合に三安定回路の triggering によって生ずるものであり、厳密には演算回路とはいえない。**Fig. 4** に三安定出力に対する $J_{-1}(x)$, $J_0(x)$, $J_1(x)$ の関係を示す。

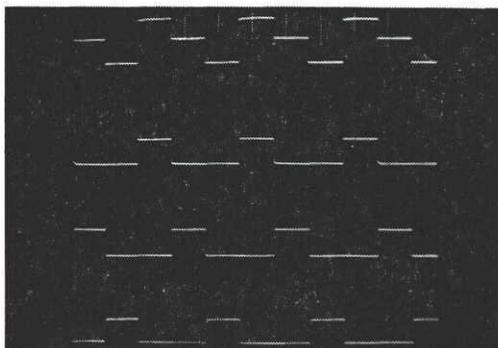


Fig. 4 Waveforms of $J_{-1}(x)$, $J_0(x)$, $J_1(x)$.
 a) Output of tristable circuit. b) $J_{-1}(x)$.
 c) $J_0(x)$. d) $J_1(x)$.

三値一変数関数回路およびそのほかの回路についてもこのような考え方を発展させることにより実現できる。また前述の演算回路などに対しても別の構成法もあるがここでは省略する。

4. 演算装置としての設計

前節では個々の基本回路について述べたが、この節では一つの装置としての構成を考え、前節までの考え方を発展させる。

1) 計数回路

正の計数回路、負の計数回路とも前節の三安定回路に対する Triggrring 法を考えることにより実現できる。正

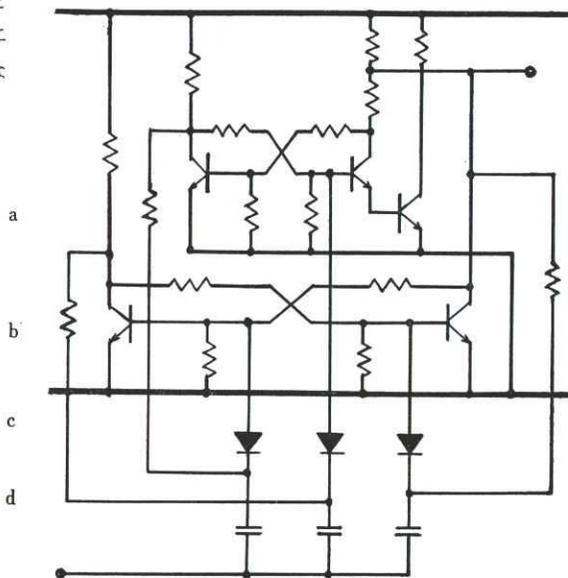


Fig. 5 Positive counter circuit.

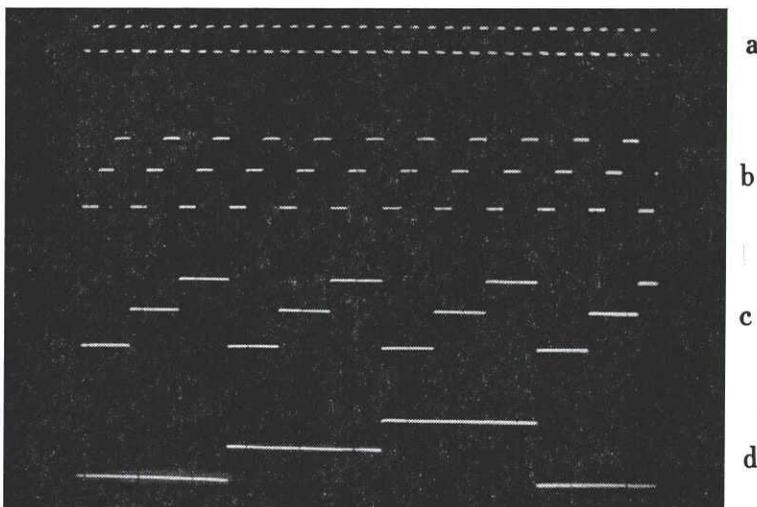


Fig. 6 Waveforms of positive counter circuit. a) Input waveform. b) First stage waveform. c) Second stage waveform. d) Third stage waveform.

Table VI Ternary code

Input decimal count	3rd stage $\overline{J_1(x)}$ output	2nd stage output	1st stage output
0	0	0	0
1	0	0	1
2	0	1	-1
3	0	1	0
4	0	1	1
5	1	-1	-1
6	1	-1	0
7	1	-1	1
8	1	0	-1
9	1	0	0
10	1	0	1
11	1	1	-1
12	1	1	0
13	1	1	1

の計数回路を Fig. 5 に示す。Triggering は $\overline{J_1(x)}$ で表わされる入力信号を微分しステアリングゲートを通した後、各トランジスタのベースにダイオードを通して入れることによりおこなわれる。この回路を各論理演算ごとに分割して考えることはここでは省略する。負の計数の場合には入力として $\overline{J_{-1}(x)}$ を用い別のステアリングゲートを通すことにより実現できる。Fig. 6 に正の計数器の場合についてこの計数器を三段連続に接続した場合の入力、一段目の出力、二段目の出力、三段目の出力の関係を示し、Table VII に計数される入力と三段の出力の関係を示す。この表からわかるように、0を基準として計数器三段で13までの計数を行う。これを負の計数について考えれば同様に0から-13までの計数をおこない、正、負が同じ基準で表われる。各段の結合は初段のように $\overline{J_1(x)}$ または $\overline{J_{-1}(x)}$ を作らなくともそのまま出力をステアリングゲートに挿入しても得られるため回路構成の上で簡単となる。

2) 加算, 減算器

加算器を構成する場合には計数器の考え方を導入することによって構成できる。各段の出力は Modulo 3 Sum となり別にキャリー出力を取り出す必要がある。Table VIII に Modulo 3 Sum 出力とキャリー出力の関係を示す。この表中の q_i は三安定回路の初期状態である。この Modulo 3 Sum の展開式は入力変数 x_i, y_i , 初期状態を q_i とすれば二節の展開式の形と同様の形となる。またキャリー出力はこの展開式の変形となる。この加算器の回路設計を Fig. 7 に示す。論理設計に分解することは煩雑となるためここでは省略する。この回路の各段の三安定回路出力の真理値に対する十進数表示は Table VII と同様の形となる。前記計数回路では各段の接続は簡

Table VIII First stage output and carry of Adder.

q_i	$x_i \backslash y_i$	$x_i \oplus y_i \oplus q_i$			c_i		
		-1	0	1	-1	0	1
-1	-1	0	1	-1	-1	-1	0
	0	1	-1	0	-1	0	0
	1	-1	0	1	0	0	0
0	-1	1	-1	0	-1	0	0
	0	-1	0	1	0	0	0
	1	0	1	-1	0	0	-1
1	-1	-1	0	1	0	0	0
	0	0	1	-1	0	0	1
	1	1	-1	0	0	1	1

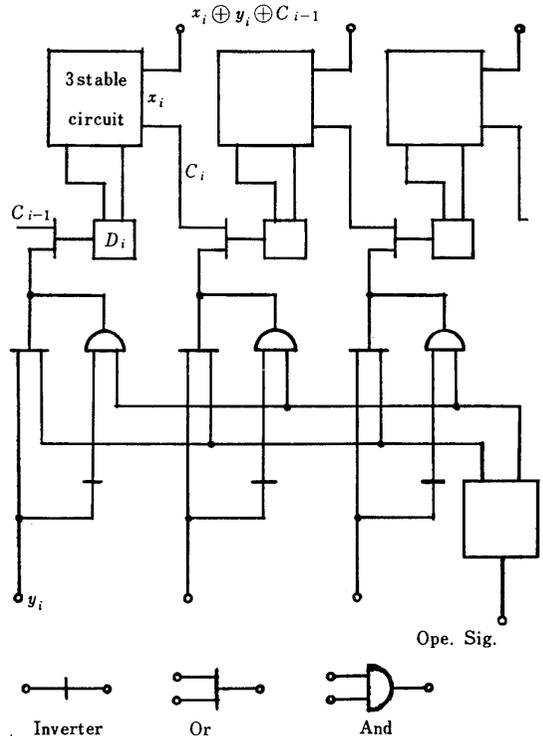


Fig. 7 Block diagram of Full Adder Subtractor and graphic representation of And, Or, Inverter.

単におこなわれたが、加算器の場合はこの単純化が適用できなくなり、前段キャリー出力と別回路からの出力を入力とした Or 回路を作り、この出力を $\overline{J_1(x)}$, $\overline{J_{-1}(x)}$ の二つの信号に分解して正、負計数回路に導入している。この結果各段の出力は入力に対して全加算器となる。

減算器は各段に対する入力を、おのおの Inverter 回路を通すことにより、符号反転した入力を加算器と同様に計数回路に導入することにより得ている。

3) シフトレジスター

シフトレジスターはリングカウンタを作る時や乗算、除算器の構成に対して必要である。一般にこのレジスターを構成する方法としては遅延回路を挿入してシフトパルスで順次シフトして行く方式とステアリングゲートを用いてシフトして行く方式が考えられるが、ここでは後者を用いて構成した。三安定回路自体が二値の場合の双安定回路の応用であるので、この場合にもステアリングゲートの使い方は双安定回路に対する時と同様の用い方をした。

4) 乗算、除算器

乗算器は蓄積加算器とシフトレジスターを組み合わせることにより構成した。蓄積加算器は前記の加算、減算器を用い、シフトレジスターも前記の回路を用いた。

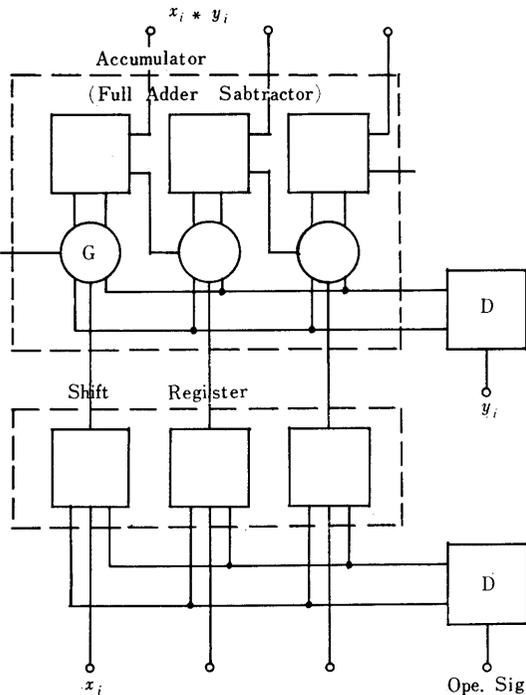


Fig. 8 Brock diagram of Multiplier, Divider.

演算方法はまず被乗数をシフトレジスターに入れ、乗数の値に対応して (+1 ならばそのままの形で、-1 ならば Inverter を通した形で) 蓄積加算器へ移動させる。次にシフトレジスターの内容を左にシフトとして、その内容を蓄積加算器の内容に乗数の値に対応して加算、または減算する。この操作を乗数の最小桁から最大桁までくり返せば蓄積加算器の内容が積の値となる。除算の場合にはシフトレジスターを乗算の時とは逆の方向にシフトすることにより実現できる。論理的に考えれば、シフトレジスターの内容を蓄積加算器の内容に加算するか、減算するかを決定することが modulo 3 product

をおこなうことに対応し、この値を蓄積加算器に導入することは Modulo 3 Sum に対応している。Fig. 8にこの回路のブロックダイアグラムを示す。

5) そのほかの付属回路

i) 入力回路 入力回路は演算回路ではないが演算回路を駆動するために必要である。この回路は、マイクロスイッチによる各入力値に対応した出力を入力マトリクスを通すことにより各数値に対応した三値出力に変換し、クロックパルスで時分割したアナログスイッチを通すことにより、各レジスターへ導いた。

ii) 出力回路、表示回路 レジスターの内容を実際の数値として表示するために、出力回路と表示回路が必要となる。この回路はレジスターとして用いている三安定回路の fan out を用いて、 $J_{-1}(x)$, $J_0(x)$, $J_1(x)$ 信号をとり出しこの値を出力マトリクスを通すことにより各数値に対応した二値信号に変換する。数値を表示するために用いた数字表示管は二値素子であるのでこの信号により各数値に対応した表示がおこなわれる。

iii) そのほかの回路 このほかにも各回路をリセットする回路やほかの付属回路に複雑な回路もあるがここでは省略する。

6) 演算制御回路

各演算を指示するための回路として演算制御回路が必要である。この回路により各演算は一つの大きな演算装置として完成する。個々の小さな制御方法については、前記各項に示したが、大きな制御大系は現在考慮中であり実験も進んでいる。別の機会があれば発表したい。このほかの演算についても現在考慮中である。

5. む す び

三値演算回路を構成する上で必要なことは、まえがきにも示したように演算が数学的ではなく、回路的に簡単となることである。このためにも展開定理自体が簡単となる必要がある。この点から Modular 代数系を取り上げたが、たしかにこの代数系は回路技術上、有利な点が多いと思える。

しかしながら使用する素子が二値素子であり、この素子を三値論理系に導入することが無理であると思える点も生じ回路的に複雑となる所もあった。このため一部では Modular 代数系以外の論理系 (二値の場合の Boole 代数系, 三値の場合の Post 代数系や Webb 代数系など) の導入によって回路構成の簡単化をはかった所もある。

しかし Modular 代数系と二値素子だけで三値論理を構成することが不可能ということではなく、これらの別の関数を効果的に挿入することにより構成する演算装置をより大きな系に拡大する可能性もあると思える。

回路については使用した素子としてトランジスタは2SC621 (三菱) をおもに使ったが三安定回路は 5MHz のクロックまで安定に動作することが確かめられた。今後この装置を改良することによって高速化の可能性もあると思える。

また将来 IC 化が行なわれ電子計算器による回路設計が起こなわれれば三値論理系は有利な演算系となりうると思う。

最後に本教室の岡島先生, 早原先生, 櫃本氏に感謝します。

参 考 文 献

- 1) C.Y.Lee, W.H.Chen; AIEE Trans. 75, pt1, 1956
- 2) Berlin; IRE Trans. EC-7, May, 1958
- 3) Hallworth, Heath; Proc. IEE, 109C, 1961
- 4) Yoeli, Rino; J.A.C.M. 11, Jan. 1964
- 5) Merrill; IEEE Trans. EC-15, 1966
- 6) Pugh; Proc, IEE, 114 1967
- 7) Hulst; Elec. Eng. April and May, 1968
- 8) 三根, 藤田; 信学会電子計算機研資 (昭44-02)