

窒化ニオブ超伝導体を用いた  
ジョセフソン集積回路技術に関する研究

青 柳 昌 宏

# 博 士 論 文

氏 名 あおやぎまさひろ  
青 柳 昌 宏

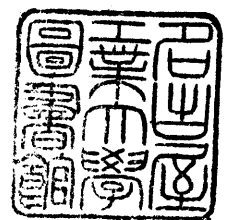
本 籍 地 愛知県

専攻（世話専攻） （電気情報工学専攻）

審 査 員 和 田 隆 夫 教 授 （主査）  
丸 野 重 雄 教 授  
鈴 木 昱 雄 教 授

学位授与年月日 平成4年6月4日

学位記番号 論博第39号



# 目次

第1章 序論	1
1.1 本研究の背景	1
1.2 本研究の目的	7
1.3 本研究の概要	8
参考文献	10
第2章 NbNを電極に用いたジョセフソン接合作製技術	12
2.1 序	12
2.2 NbN膜の堆積方法と諸特性	13
2.3 NbN接合作製技術に用いるドライエッチング工程	15
2.4 NbN電極ジョセフソントネル接合作製工程	20
2.5 NbN放電酸化膜を用いたNbN接合作製技術	22
2.5.1 接合作製方法	22
2.5.2 接合特性の評価	24
2.6 MgO膜をトンネル障壁として用いたNbN接合作製技術	24
2.6.1 MgO膜の堆積工程	24
2.6.2 NbN/MgO/NbNトンネル接合の作製工程	26
2.6.3 接合特性の評価	27
2.7 結言	29
参考文献	31
第3章 ジョセフソン臨界電流のバラツキと再現性の検討	33
3.1 序	33
3.2 多数個集積された接合における臨界電流のバラツキ	33
3.2.1 二層レジスト法の適用	33
3.2.2 実験方法	34
3.2.3 実験結果と考察	35
3.3 接合の臨界電流密度の再現性（製造バラツキ）	38
3.3.1 実験方法	38
3.3.2 実験結果と考察	41
3.3.2-1 MgO膜の堆積速度	41
3.3.2-2 ジョセフソン臨界電流密度	44
3.4 結言	48
参考文献	50



第4章 NbNジョセフソン接合を用いた集積回路技術	5 2
4.1 序	5 2
4.2 NbNジョセフソン接合を用いた集積回路作製技術	5 3
4.2.1 膜の堆積工程	5 3
4.2.2 リソグラフィ工程	5 4
4.2.3 ドライエッチング工程	5 4
4.2.4 NbN/MgO/NbNトンネル接合の作製工程	5 4
4.2.5 NbN/MgO/NbNトンネル接合を用いた集積回路作製工程	5 5
4.3 読み出し専用メモリ集積回路の試作と動作評価	5 8
4.3.1 読み出し専用メモリ集積回路の設計	5 8
4.3.2 読み出し専用メモリ集積回路の作製	6 7
4.3.3 実験結果と考察	6 9
4.4 結 言	7 5
参考文献	7 6
第5章 ジョセフソン接合作製技術の高度化 I	7 8
5.1 序	7 8
5.2 a-Si:Hトンネル障壁を用いたNbN接合の作製	7 8
5.3 接合特性の評価	8 0
5.4 接合容量の評価	8 1
5.5 論理回路を用いた接合容量の評価	8 3
5.6 結 言	8 7
参考文献	8 8
第6章 ジョセフソン接合作製技術の高度化 II	8 9
6.1 序	8 9
6.2 CLIP法による接合作製	9 0
6.3 電子ビーム直接描画法を用いた接合作製技術	9 8
6.4 サブミクロンNbN接合を用いた集積回路技術	1 0 5
6.5 サブミクロンNbN接合を用いた集積回路の論理遅延測定	1 1 1
6.5.1 サブミクロンNbN接合作製方法の改善	1 1 1
6.5.2 論理遅延測定回路の作製	1 1 2
6.5.3 測定実験と考察	1 1 5
6.6 結 言	1 1 6
参考文献	1 1 8
第7章 総 括	1 2 0
謝 辞	1 2 3
発表論文等	1 2 4

# 第1章 序 論

## 1.1 本研究の背景

ジョセフソン効果の理論は、Josephson が 1962 年に発表したもので、超伝導体におけるクーパー電子対のトンネル現象を予言した理論である<sup>1)</sup>。その実験的検証は、Anderson、Rowell によって 1963 年に行なわれた<sup>2)</sup>。

ジョセフソン効果は、超伝導体-絶縁層-超伝導体からなるトンネル接合において見いだされる現象であり、直流ジョセフソン効果と交流ジョセフソン効果がある。前者の直流ジョセフソン効果は、ジョセフソン接合において印加電圧ゼロで流れる直流電流のことを意味し、後者の交流ジョセフソン効果は、ジョセフソン接合において直流電圧を印加することによって高周波電流を発生する現象と逆に高周波電流を流して接合に直流電圧を発生させる現象を意味する。

次に、直流ジョセフソン効果について、理論的背景を Feynman による現象論<sup>3)</sup>に基づいて説明する<sup>4)</sup>。 $\Psi_1$  を接合の片側の超伝導体における電子対の確率振幅を示す巨視的波動関数とし、 $\Psi_2$  は、接合の別の側の超伝導体における電子対の確率振幅を示す巨視的波動関数とする。単純化のため、両側の超伝導体とも理想的な超伝導体として考える。ここでは、どちらの側も電位はゼロであると仮定する。二つの確率振幅について、時間を含むシュレーディンガー方程式  $i\hbar \frac{\partial \Psi}{\partial t} = H\Psi$  は、次のようになる。

$$i\hbar \frac{\partial \Psi_1}{\partial t} = \hbar T \Psi_2 \quad ; \quad i\hbar \frac{\partial \Psi_2}{\partial t} = \hbar T \Psi_1 \quad (1-1)$$

ここで、 $\hbar T$  は、絶縁膜を通しての電子対の相互作用すなわち移動相互作用の効果を表している。 $T$  は、頻度または周波数の次元を持つ。それぞれの式は、 $\Psi_1$  についての領域 2 への漏れ分と、 $\Psi_2$  についての領域 1 への漏れ分を表している。絶縁膜が非常に厚い場合は、 $T$  は、ゼロであり、電子対のトンネルは、見られない。

電子対密度を  $n_1$ 、 $n_2$  とすると  $\Psi_1 = n_1^{1/2} e^{i\theta_1}$ 、 $\Psi_2 = n_2^{1/2} e^{i\theta_2}$  と書ける。したがって、(1-1) 式は、次のようになる。

$$\frac{\partial \Psi_1}{\partial t} = \frac{1}{2} n_1^{-1/2} e^{i\theta_1} \frac{\partial n_1}{\partial t} + \Psi_1 \frac{\partial \theta_1}{\partial t} = -iT\Psi_2 \quad (1-2)$$

$$\frac{\partial \Psi_2}{\partial t} = \frac{1}{2} n_2^{-1/2} e^{i\theta_2} \frac{\partial n_2}{\partial t} + \Psi_2 \frac{\partial \theta_2}{\partial t} = -iT\Psi_1 \quad (1-3)$$

(1-2) 式に、 $n_1^{-1/2} e^{i\theta_1}$  を掛け合わせて、次の式を得る。 $\delta = \theta_2 - \theta_1$  である。

$$\frac{1}{2} \frac{\partial n_1}{\partial t} + in_1 \frac{\partial \theta_1}{\partial t} = -iT(n_1 n_2)^{1/2} e^{i\delta} \quad (1-4)$$

(1-3) 式に、 $n_2^{-1/2} e^{i\theta_2}$  を掛け合わせて、次の式を得る

$$\frac{1}{2} \frac{\partial n_2}{\partial t} + in_2 \frac{\partial \theta_2}{\partial t} = -iT(n_1 n_2)^{1/2} e^{-i\delta} \quad (1-5)$$

(1-4) 式および (1-5) 式で、実部と虚部が等しいことから、次の関係を求めることができる。

$$\frac{\partial n_1}{\partial t} = 2T(n_1 n_2)^{1/2} \sin \delta \quad ; \quad \frac{\partial n_2}{\partial t} = -2T(n_1 n_2)^{1/2} \sin \delta \quad (1-6)$$

$$\frac{\partial \theta_1}{\partial t} = -T \left( \frac{n_2}{n_1} \right)^{1/2} \cos \delta \quad ; \quad \frac{\partial \theta_2}{\partial t} = -T \left( \frac{n_1}{n_2} \right)^{1/2} \cos \delta \quad (1-7)$$

ここで、理想的な超伝導体 1、2 を仮定すると、 $n_1 = n_2$  となることから、(1-7)

式は、次の関係を得る。

$$\frac{\partial \theta_1}{\partial t} = \frac{\partial \theta_2}{\partial t} \quad ; \quad \frac{\partial}{\partial t} (\theta_2 - \theta_1) = 0 \quad (1-8)$$

また、(1-6) 式からは、次の関係が導かれる。

$$\frac{\partial n_2}{\partial t} = -\frac{\partial n_1}{\partial t} \quad (1-9)$$

超伝導体 1 から超伝導体 2 への電流は、 $\frac{\partial n_2}{\partial t}$  又は、同じことを示す  $-\frac{\partial n_1}{\partial t}$  に比例する。従って、(1-6) 式から、接合を横切って流れる超伝導電子対による電流は、位相差  $\delta$  に依存することが結論される。

$$J = J_0 \sin \delta = J_0 \sin (\theta_2 - \theta_1) \quad (1-10)$$

ここで、 $J_0$  は、移動相互作用  $T$  に比例する。 $J_0$  は、接合を通ることのできる最大ゼロ電圧電流である。印加電圧のない状態で、位相差  $\theta_2 - \theta_1$  の値によって決まる、 $J_0$  と  $-J_0$  の間の値の直流電流が接合を横切って流れる。これが、直流ジョセフソン効果である。

次に、交流ジョセフソン効果について、説明する<sup>4)</sup>。接合に電圧Vが印加された場合を考える。一つの電子対は、接合を横切って通るとき、ポテンシャルエネルギー差 $qV$ の影響を受ける。ここで、 $q = -2e$ である。片側にある電子対は、ポテンシャルエネルギーが $-eV$ の状態であり、別の側にある電子対は、ポテンシャルエネルギーが $eV$ の状態であると考えることができる。(1-1)の方程式は、次のようになる。

$$i\hbar \frac{\partial \Psi_1}{\partial t} = \hbar T \Psi_2 - eV \Psi_1 \quad ; \quad i\hbar \frac{\partial \Psi_2}{\partial t} = \hbar T \Psi_1 + eV \Psi_2 \quad (1-11)$$

(1-4)式に対応する式は、次のようになる。

$$\frac{1}{2} \frac{\partial n_1}{\partial t} + i n_1 \frac{\partial \theta_1}{\partial t} = ieV n_1 \hbar^{-1} - iT(n_1 n_2) \frac{1}{2} e^{i\delta} \quad (1-12)$$

この式を展開して、実部については、

$$\frac{\partial n_1}{\partial t} = 2T(n_1 n_2) \frac{1}{2} \sin \delta \quad (1-13)$$

電圧Vのない状態と同じであり、虚部については、

$$\frac{\partial \theta_1}{\partial t} = \frac{eV}{\hbar} - T \left( \frac{n_2}{n_1} \right) \frac{1}{2} \cos \delta \quad (1-14)$$

(1-7)式と比べて $eV/\hbar$ の項だけ異なっている。

さらに、(1-5)式に対応する式は、次のようになる。

$$\frac{1}{2} \frac{\partial n_2}{\partial t} + i n_2 \frac{\partial \theta_2}{\partial t} = -ieV n_2 \hbar^{-1} - iT(n_1 n_2) \frac{1}{2} e^{-i\delta} \quad (1-15)$$

ここで、

$$\frac{\partial n_2}{\partial t} = -2T(n_1 n_2) \frac{1}{2} \sin \delta \quad (1-16)$$

$$\frac{\partial \theta_2}{\partial t} = - \left( \frac{eV}{\hbar} \right) - T \left( \frac{n_1}{n_2} \right) \frac{1}{2} \cos \delta \quad (1-17)$$

(1-14)と(1-17)から、 $n_1 = n_2$ の時、次の式を得る。

$$\frac{\partial}{\partial t} (\theta_2 - \theta_1) = \frac{\partial \delta}{\partial t} = - \frac{2eV}{\hbar} \quad (1-18)$$

(1-18)式を積分することによって、接合に直流電圧が印加された場合について、確率振幅の相対的位相は、次のように変化することが分かる。

$$\delta(t) = \delta(0) - \left( \frac{2eVt}{\hbar} \right) \quad (1-19)$$

電流は、(1-19)より決まる位相を伴って(1-10)より決まる。

$$J = J_0 \sin \left[ \delta(0) - \left( \frac{2eVt}{\hbar} \right) \right] \quad (1-20)$$

電流は、次の周波数で振動する。

$$\omega = \frac{2eV}{\hbar} \quad (1-21)$$

これが、交流ジョセフソン効果である。1  $\mu$  Vの直流電圧は、周波数483.6 MHzを発生させる。(1-21)の関係は、電子対が障壁を横切るとき、 $\hbar\omega = 2eV$ のフォトンが放出されたり、吸収されたりすることを意味する。

図1-1にジョセフソン接合の電圧電流特性とRSJモデルによる等価回路を示す。図1-1(a)にしたがって、ジョセフソン接合の電圧電流特性を説明する。ジョセフソン接合に対して、電流源を接続し、電流を徐々に流すものとする。電流が、 $I_c$ の大きさに達するまで電圧はゼロである。電流が、 $I_c$ を越えると接合は電圧状態に移り、大きさ $V_g$ の電圧が発生する。その後は、オーミックな特性となる。逆に、電流を下げてくると、 $V_g$ の電圧が発生したままで、電流が、ゼロ近くまで下がり、電流がゼロになる直前で、電圧が急峻にゼロにもどる。ここで、 $I_c$ は、ジョセフソン臨界電流、 $V_g$ は、ギャップ電圧である。

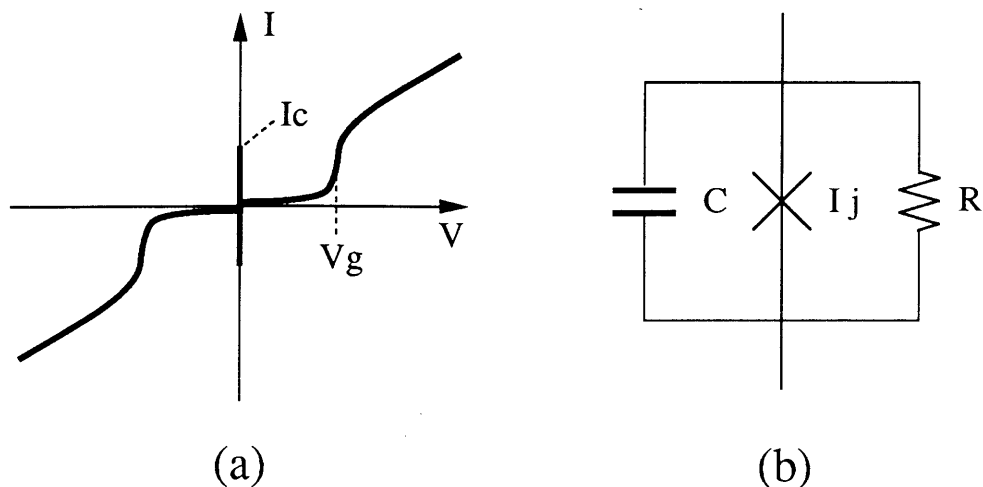


図1-1 ジョセフソン接合の(a)電流電圧特性と(b)RSJモデルによる等価回路

ジョセフソン接合の電氣的動作を解析するために、図1-1(b)の等価回路で示される様なRSJモデルが用いられる。このモデルは、接合の容量C、電圧状態での接合の抵抗R、直流ジョセフソン効果による電流 $I_j (= I_0 \sin \delta)$ が、並列に接続された構成になっている。

ジョセフソン効果が、注目されてきた理由の一つに、超伝導体-絶縁層-超伝導体からなるトンネル接合において、磁場を印加したり電流を注入することによって、ゼロ電圧から電圧状態へ非常に高速でスイッチする現象が挙げられる。このことは、1966年にMatisooによって実験的に示された<sup>5)</sup>。これに端を発して、コンピュータに代表されるデジタル技術へのジョセフソン効果の応用に関する研究が精力的に進められてきた。

ジョセフソン接合をデジタル技術に応用した場合に、他のデバイスと比べて次のような特長がある。1) スイッチング時間が、きわめて短い。極限值は、約1psである。2) 超低消費電力であり、発熱が非常に少ない。消費電力の値は、半導体素子の約千分の一である。3) 高集積化が可能である。4) 超伝導配線により、理想的な無損失の信号伝搬が可能である。

特に、アメリカのIBMを中心として1970年代にアメリカにおいて、ジョセフソンコンピュータの研究プロジェクトが推進された<sup>6, 7)</sup>。これに刺激されて、日本を含む各国の研究機関で研究が行なわれた<sup>8, 9)</sup>。しかし、IBMのプロジェクトは、1983年に中止されてしまった<sup>10)</sup>。

一方、日本においては、1981年より通商産業省の大型プロジェクト「科学技術用高速計算システムの研究開発」においてジョセフソンコンピュータの研究が推進され、数々の成果が産み出された<sup>11)</sup>。その中でも、最も顕著な成果は、電子技術総合研究所における、ジョセフソンコンピュータETL-JC1の開発であった<sup>12-15)</sup>。4JL論理ゲートファミリ<sup>16-18)</sup>、可変しきい値メモリ<sup>19, 20)</sup>、多層脈流電源方式<sup>21)</sup>、Nb、NbN系のジョセフソン接合集積回路技術<sup>22-24)</sup>などの独自技術のもとに、世界で初めてコンピュータ機能を有するジョセフソン集積回路の試作とその動作検証に成功した。本研究もその大部分について、このプロジェクトの下で行なわれた。

さて、IBMのプロジェクト中止の原因については、いくつかの点が指摘されてきた。その一つは、接合用電極材料選択の失敗である。IBMのプロジェクトでは、電極材料として鉛 (Pb) 超伝導体が、選択された。トンネル障壁については、Greiner によって提案された放電酸化による作製方法<sup>25)</sup> が、ジョセフソン電流密度の高い制御性を獲得することに成功を収めた。しかし、この材料はソフトメタルであるため、熱的、機械的、化学的安定性に問題があった。これに対して、合金化することによって、信頼性の向上を図ったが十分なところまで到達しなかった。

電子技術総合研究所では、熱的、機械的、化学的に安定で高い超伝導臨界温度 ( $\sim 15\text{ K}$ ) をもつ高融点材料の窒化ニオブ (NbN) を電極材料に選択し、1980年には、上下電極ともNbNを用いた接合の作製に成功し<sup>26)</sup>、その成果が今日まで引き継がれて研究が進展してきている。本研究もこの流れの中で行なわれた。

トンネル障壁については、グロー放電によるa-Si膜<sup>26)</sup>、NbNの放電酸化膜<sup>27)</sup>、スパッタ法によるa-Si膜<sup>28)</sup>、スパッタ法によるMgO膜<sup>29)</sup>などが、用いられてきた。以下に、それぞれの特質を述べることにする。

グロー放電によるa-Si膜は、比誘電率が小さいことによって、接合容量を小さくすることができ、スイッチング時間を短くすることが期待された。しかし、この作製法では、トンネル障壁に適する極薄膜の形成が困難であった。

NbNの放電酸化膜は、その厚さの制御が、放電酸化時の電圧、ガス圧力、時間などにより行えるため、高精度の制御が達成できた。しかし、電圧電流特性におけるサブギャップリーク電流の量を十分低い値にすることができなかった。ここで、サブギャップとは、ゼロ電圧から、ギャップ電圧  $V_g$  までの領域を意味する。

スパッタ法によるa-Si膜は、堆積速度を非常に低くすることによって、トンネル障壁の厚さについて、高精度な制御を達成できた。しかし、電圧電流特性におけるサブギャップリーク電流の量を十分低い値にすることができなかった。

最後に、スパッタ法によるMgO膜は、スパッタ法によるa-Si膜と同様に堆積速度を非常に低くすることによって、トンネル障壁の厚さについて、高精度な制御を達成で

きた。また、サブギャップリーク電流の量も十分低くすることができた。この膜は、現在でも、NbN 電極に対するトンネル障壁として最も有望である。

次に、接合作製技術について考える。Pb 系の接合においては、パターン形成を行なったレジストを用いて、その上に直接に電極膜を堆積し、レジスト上に積もった部分を取り除くような、リフトオフ法<sup>30)</sup>と呼ばれる加工方法が開発された。NbN 電極の接合では、Pb 系の接合と違って、NbN が高融点で非常に堅い金属なので加工が容易ではない。このため、ドライエッチング技術を用いて加工する方法を開発した<sup>27)</sup>。この技術により、リフトオフ法では、達成できない高精度のパターン形成が可能となった。

新しい電子デバイスが、世の中で広く使われるかどうかは、今日の半導体産業の発展を見れば分かるように、集積回路化できるかどうか、鍵を握っていると考えられる。集積回路技術は、コンピュータ、信号処理などのデジタル応用だけでなく、センサー、アンプ、ミキサーなどのアナログ応用についても、必要不可欠な技術である。したがって、接合作製技術を集積回路技術へと発展させることが強く期待されてきている。

デバイスを集積回路化するのに必要な要件を挙げてみると次のようになる。1) 接合寸法を小さくできる。2) 多数個の接合を集積して作製できる。3) それらが均一な特性をもつ。4) その特性に十分な再現性がある。5) 十分な歩留まりが得られる。

以上のように、多くの要件を満足しなければならない。本研究では、これらの要件について、具体的に検討し、様々な方法を提案しながら、NbN ジョセフソン接合についての集積回路作製技術を確立し、最終的に、この技術により実際の集積回路を作製し、技術の有効性を検証していく。

## 1.2 本研究の目的

本研究は、NbN 超伝導体を電極に用いたジョセフソン接合について、LSI レベルの集積回路作製技術を確立することを目的とする。具体的には、まず初めに、集積回路を目指した接合作製技術の開発を行ない、その技術をもとにして集積回路作製技術を開発する。さらに、実際の集積回路の試作を行ない、この技術の有効性について実証を行な



うものである。最後に、今後の大規模集積化、高速化に対応するために、集積回路作製技術を高度化する方法について検討する。

### 1.3 本研究の概要

本論文は、NbN 超伝導体を電極材料に用いたジョセフソントンネル接合についての集積回路作製技術に関する研究をまとめたものである。本論文は、7章から構成されている。

#### 第1章 序 論

#### 第2章 NbN 超伝導体を電極に用いたジョセフソン接合作製技術

#### 第3章 ジョセフソン臨界電流のバラツキと再現性の検討

#### 第4章 NbN ジョセフソン接合を用いた集積回路技術

#### 第5章 ジョセフソン接合作製技術の高度化 I

#### 第6章 ジョセフソン接合作製技術の高度化 II

#### 第7章 総 括

からなっている。以下に順を追ってその概要を概要を述べる。

第1章では、ジョセフソントンネル接合のデジタル応用技術に関する研究について、現在の発展に至るまでの歴史的沿革と現状を概説し、これにより本研究の位置づけを行った。さらに、本研究の目的を述べ、概要を説明した。

第2章では、まず、NbN 超伝導膜の作製と膜特性について述べる。次に、ジョセフソン接合の作製に用いるドライエッチング技術について詳細に検討する。さらに、NbN 電極に用いたジョセフソン接合に関して、ドライエッチング技術による接合作製技術を検討する。

トンネル障壁として、NbN の放電酸化膜、スパッタ法によるMgO膜を用いた場合の接合作製技術について、具体的に述べる。これらの技術を用いて作製された接合の諸特性についても、議論を行なう。

第3章では、まず、多数個集積された接合における臨界電流のバラツキの原因につ

いて検討し、その改善方法を議論する。また、基板面内における接合の臨界電流のバラツキの原因について検討する。さらに、臨界電流密度の再現性、つまり製造バラツキの原因について検討し、その改善方法を議論する。

第4章では、NbN ジョセフソン接合を用いた集積回路の作製技術について、その基本となる各工程（成膜、リソグラフィ、ドライエッチングなど）を検討し、新しい集積回路技術の開発について述べる。集積回路技術を用いて、読み出し専用メモリ集積回路の試作と動作評価を行なう。

第5章では、ジョセフソン接合作製技術の高度化に関して、スパッタ法によるa-Si膜を用いた接合の低容量化について検討する。さらに、a-Si膜をトンネル障壁に用いた接合による論理遅延測定回路の試作と遅延測定について述べる。

第6章では、ジョセフソン接合作製技術の高度化に関して、クロスライン接合形成法、および電子ビーム直接描画法を用いた接合のサブミクロン化について検討する。さらに、サブミクロン接合を用いた論理遅延測定回路の試作と遅延測定について述べる。

最後に、第7章では、本研究で得られたNbN接合の集積回路技術に関する結果について、第2章から第6章までに述べられた内容を総括し、本研究の結論を述べる。

## 第1章 参考文献

- 1) B. D. Josephson: Phys. Lett. 1 (1962) 251
- 2) P. W. Anderson and J. M. Rowell: Phys. Rev. Lett. 10 (1963) 230
- 3) R. Feynman: "Lectures on Physics" Vol.3 Sec. 21/9, Addison-Wesley (1963)
- 4) C. Kittel: "Introduction to Solid State Physics", John Wiley & Sons (New York), (1976) 390
- 5) J. Matisoo: Appl. Phys. Lett. 9 (1966) 167
- 6) W. Anacker: IEEE spectrum 16 (1979) 26
- 7) IBM J. Res. Develop. 24-2 (1980) (Special Issue on Josephson Computer Technology)
- 8) 電子技術総合研究所彙報 48-4 (1984) (ジョセフソンコンピュータ技術特集号)
- 9) K. Hara (Editor): "Superconductivity Electronics", Prentice Hall (New Jersey), Ohmsha (Tokyo), (1987)
- 10) A.L.Robinson: Science 222 (1983) 492
- 11) 田村：電子情報通信学会誌 72 (1989) 774
- 12) H. Nakagawa, I. Kurosawa, M. Aoyagi, S. Kosaka, Y. Hamazaki, Y. Okada, and S. Takada: IEEE Trans. Appl. Superconductivity 1 (1991) 37
- 13) S. Takada, H. Nakagawa, I. Kurosawa, S. Kosaka, Y. Okada, and Y. Hamazaki: IEEE Trans. Magn. 27 (1991) 2610
- 14) I. Kurosawa, H. Nakagawa, M. Aoyagi, and S. Takada: Endeavour 15 (1991) 58
- 15) S. Takada, I. Kurosawa, H. Nakagawa, M. Aoyagi, S. Kosaka, Y. Hamazaki, and Y. Okada: IEICE Trans. E74 (1991) 568
- 16) S. Takada, S. Kosaka, and H. Hayakawa: Jpn. J. Appl. Phys. Suppl. 19-1 (1980) 607
- 17) H. Nakagawa, E. Sogawa, S. Kosaka, S. Takada, and H. Hayakawa: Jpn. J. Appl. Phys. 21 (1982) L198
- 18) 仲川、曾川、高田、早川：電子技術総合研究所彙報 48 (1984) 3

- 19) I. Kurosawa, A. Yagi, H. Nakagawa, and H. Hayakawa: Appl. Phys. Lett. 43 (1983) 1067; 44 (1984) 567
- 20) I. Kurosawa, H. Nakagawa, S. Kosaka, M. Aoyagi, and S. Takada: IEEE J. Solid-State Circuits 24 (1989) 1034
- 21) 岡田、濱崎、曾川、大東、仲川、早川：電子通信学会技術研究報告 EC81-148 (1982)
- 22) S. Kosaka, H. Nakagawa, H. Kawamura, Y. Okada, Y. Hamazaki, M. Aoyagi, I. Kurosawa, A. Shoji, and S. Takada: IEEE Trans. Magn. MAG-25 (1989) 789
- 23) H. Nakagawa, I. Kurosawa, M. Aoyagi, and S. Takada: IEEE Trans. Magn. MAG-27 (1991) 3109
- 24) M. Aoyagi, H. Nakagawa, I. Kurosawa, and S. Takada: IEEE Trans. Magn. MAG-27 (1991) 3180
- 25) J. H. Greiner: J. Appl. Phys. 42 (1971) 5151
- 26) F. Shinoki, A. Shoji, S. Kosaka, S. Takada, and H. Hayakawa: Appl. Phys. Lett. 38 (1991) 314
- 27) A. Shoji, F. Shinoki, S. Kosaka, M. Aoyagi, and H. Hayakawa: Appl. Phys. Lett. 41 (1982) 1097
- 28) M. Aoyagi, A. Shoji, S. Kosaka, F. Shinoki, and H. Hayakawa: Jpn. J. Appl. Phys. 23 (1984) L916
- 29) A. Shoji, M. Aoyagi, S. Kosaka, F. Shinoki, and H. Hayakawa: Appl. Phys. Lett. 46 (1985) 1098
- 30) M. Hatzakis, B.J. Canavello, and J.M. Shaw: IBM J. Res. Develop. 24 (1980) 452

## 第2章 NbN 超伝導体を電極に用いた ジョセフソン接合作製技術

### 2.1 序

NbN 超伝導体は、熱的、機械的、化学的に安定で高い超伝導臨界温度（ $\sim 15$  K）をもつ高融点材料である。NbN 電極を用いたジョセフソントンネル接合は、機械的丈夫さ、化学的、熱的安定性、高い動作温度を示すことが予想されるため、デジタル技術含む様々な分野への応用が、期待されている。

NbN 超伝導膜<sup>1)</sup> について、反応性スパッタ法を用いた堆積方法と作製された膜の特性について述べる。膜の特性評価は、超伝導臨界温度、残留抵抗比などについて行なった。これらの膜特性と膜作製条件の間の相互関係についても調べた。

接合作製に用いる各種の膜に対するドライエッチング工程<sup>2)</sup> について述べる。ドライエッチング工程は、NbN 電極を用いたジョセフソントンネル接合作製技術の開発において、必要不可欠な技術であった。その理由は、NbN 電極については、堆積がスパッタ法によるため、Pb 系ジョセフソン接合で用いられたリフトオフ工程が適用できないからである。

ドライエッチング工程を用いた NbN 電極ジョセフソントンネル接合作製技術<sup>3, 4)</sup> について述べる。この技術は、ジョセフソン接合のための多層膜構造を真空を破らずに基板全面に作製することを特長とするものである。したがって、基板全体にわたって均一な接合特性が得られる。また、この技術では、ドライエッチング工程により微細加工を行なうので、高精度のパターン形成が可能である。

各種のトンネル障壁を用いた NbN 電極ジョセフソントンネル接合の作製技術について述べる。初めに、トンネル障壁として、NbN 放電酸化膜を用いた NbN 電極ジョセフソントンネル接合の作製技術<sup>3, 6)</sup> について述べる。放電酸化の条件と接合特性の関係について、報告する。放電酸化法<sup>7)</sup> は、Pb 系ジョセフソン接合の開発において、詳細に研究が行なわれていたので、その技術が参考にされた。電総研の幸坂らによって、

放電酸化膜バリアを用いた NbN 接合からなる論理回路において、18 ps/gate の最小論理遅延での動作が確認された<sup>8)</sup>。この値は、Pb 合金系接合<sup>9)</sup> より大きい値であった。この原因は、NbN 接合の特性容量が  $10 \mu\text{F}/\text{cm}^2$  と Pb 合金系接合の値 ( $4 \mu\text{F}/\text{cm}^2$ ) より 2.5 倍大きいためである。次に、トンネル障壁として、スパッタ法による MgO 膜を用いた NbN 電極ジョセフソントンネル接合の作製技術<sup>10-12)</sup> について述べる。MgO 膜を用いたジョセフソントンネル接合は、接合特性において、ギャップ電圧が大きい、サブギャップリーク電流が小さいなどの特長を示す。MgO 膜堆積の条件と接合特性の間の関係について、報告する。

## 2.2 NbN 膜の堆積方法と諸特性

NbN 膜は、図 2-1 に示す高周波マグネトロンスパッタ装置によって作製を行なった。真空ポンプは、オイル拡散ポンプを使用している。成膜を行なう前の到達真空度は、 $3 \times 10^{-5}$  Pa である。基板としては、5 cm 径の Si ウエハーを用いた。基板内の堆積速

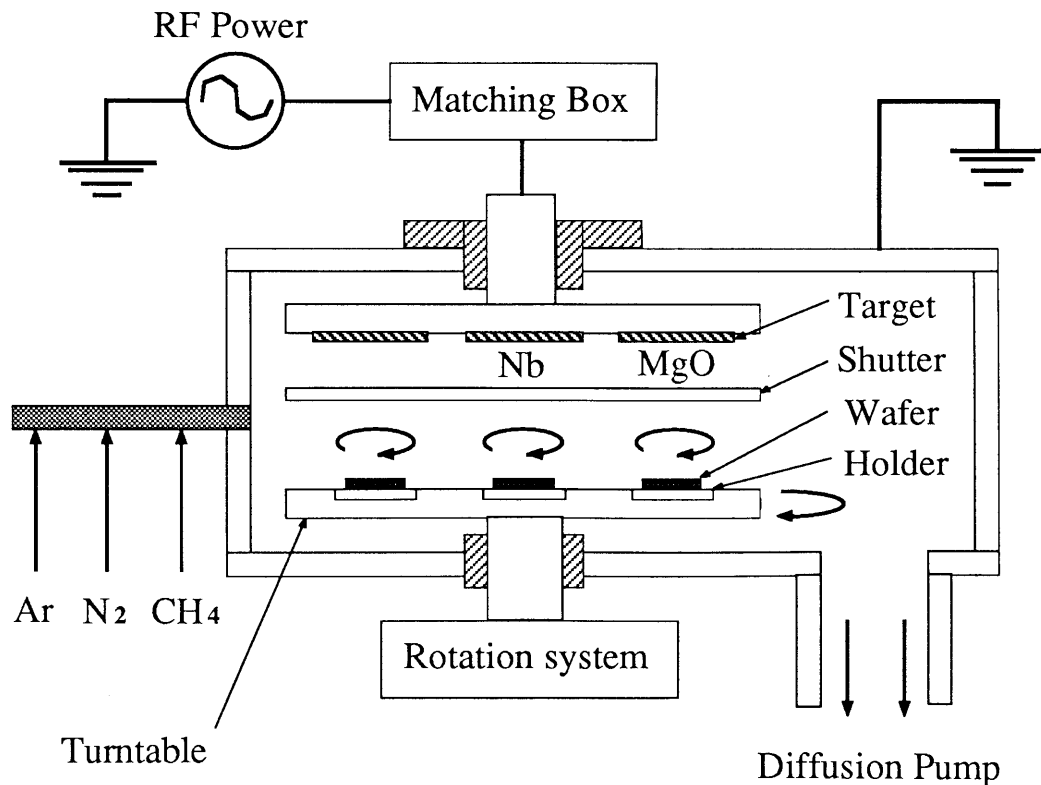


図 2-1 高周波マグネトロンスパッタ装置

度を均一にするため 40 cm 径のテーブル上にある 7 cm 径の基板ホルダーを回転させた。基板ホルダーは、特に加熱を行なわなかった。テーブル上には、3 個の基板をセットできるよう 3 個の基板ホルダーがある。

NbN 膜の堆積条件は、15 cm 径の Nb ターゲットを使用して、アルゴン、窒素、メタンの混合ガス中で行なわれた。混合ガスの圧力は、8.5 mTorr、高周波電力は、周波数 13.56 MHz で 400 W を用いた。図 2-2 に、メタンガスを使わずに 2 分間堆積した時の NbN 膜の超伝導臨界温度  $T_c$  を示す。この図は、窒素の分圧比に対してプロットした。もっとも高い  $T_c$  は、窒素ガスの分圧比 6.7% において、14.4 K であった。図 2-3 は、メタンガスを使って窒素分圧比 6.7% において 2 分間堆積した時の NbN 膜の超伝導臨界温度  $T_c$  を示す。この図は、メタンガスの分圧比に対してプロットした。ここで、メタンガスは、炭素源として用いた。NbN 膜の超伝導臨界温度は、炭素原子を加えることにより、上昇することが知られている<sup>13)</sup>。得られた最も高い  $T_c$  は、窒素ガスの分圧比 6.7%、メタンガスの分圧比 1.5% において、100 nm 厚の膜につい

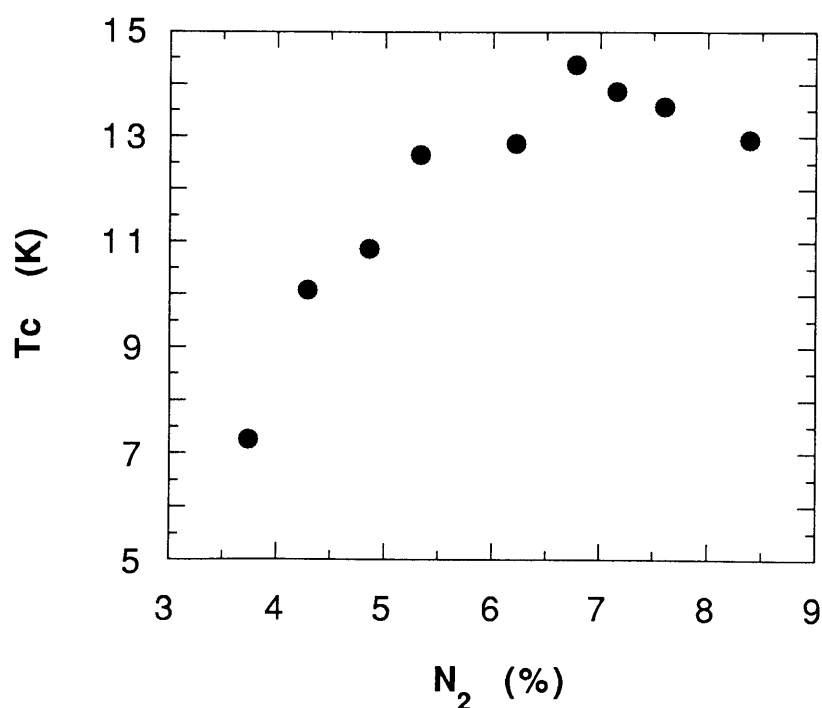


図 2-2 窒素の分圧比に対する NbN 膜の超伝導臨界温度  $T_c$

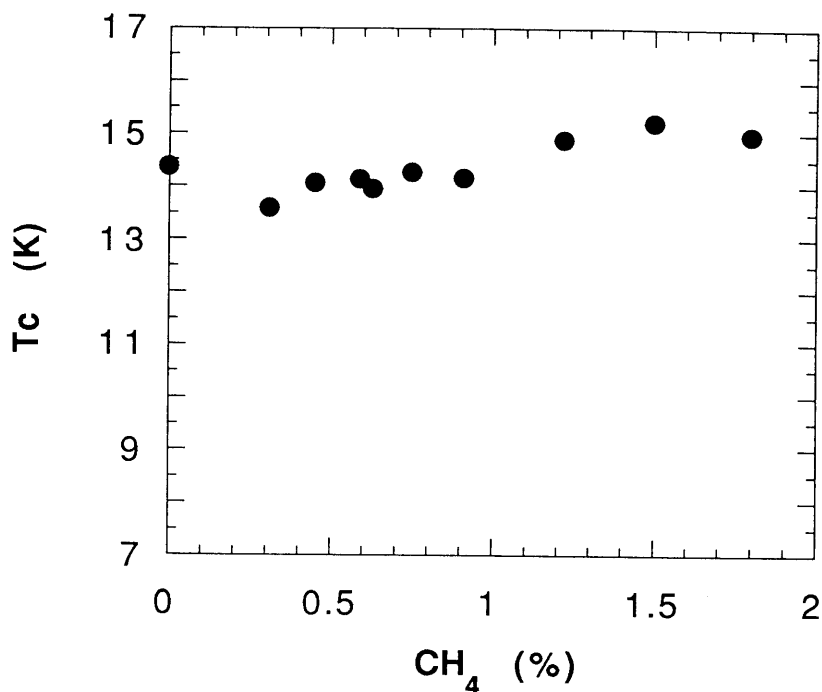


図2-3 メタンガスの分圧比に対する NbN 膜の超伝導臨界温度 Tc  
(窒素分圧比 6.7%)

て、15.2 Kであった。この時、残留抵抗比  $RRR = R_{300K}/R_{20K}$  は、0.986であった<sup>14)</sup>。  
また、堆積速度は、50 nm/minであった。

また、メタンガスの代わりにアセチレンガスを用いた場合についても、同様の Tc に対する分圧依存性を測定した<sup>15)</sup>。得られた最も高い Tc は、混合ガス圧力 8.5 mTorr、高周波電力 450 W、窒素ガス分圧比 5.4%、アセチレンガス分圧比 1.5% において、100 nm 厚の膜について、15.3 K であった。これは、メタンガスの場合とほぼ同じ値であった。

### 2.3 NbN接合作製技術に用いるドライエッチング工程

この節では、NbN接合の作製に用いるドライエッチング工程について述べる。このようなドライエッチング工程に要求される条件には、次の4点がある。(1)適切なエッチング速度が、得られる。(2)下地の膜に対するエッチング速度の選択比が大きい。(3)



サイドエッチングが小さい。(4)レジストのエッチング速度が小さい。これらの点について、実験的に検討した結果を以下に示す。

ドライエッチングについては、図2-4に示す平行平板型のリアクティブイオンエッチング (RIE) 装置<sup>16)</sup>を用いた。この装置は、基板を置く側の電極に対して、高周波を印加する方式である。

図2-5は、NbN膜、Nb膜<sup>17)</sup>、SiO膜についてのエッチング速度のガス圧力依存性を示す。ガス圧力は、10 mTorr から500 mTorr まで変化させた。エッチングガスは、CF<sub>4</sub>を用いた。ガス流量および高周波電力は、15 sccm、200 Wであった。

Nbについては、200 mTorr 付近の高圧力側にエッチング速度の最大値があり、SiOについては、20 mTorr 付近の低圧力側にエッチング速度の最大値がある。また、NbNについては、NbとSiOの中間的圧力50～100 mTorr 付近でエッチング速度の最大値がある。これは、Nbの場合は、Fラジカルによる化学的エッチングが、主体となっており、SiOの場合は、スパッタによる物理的エッチングが主体であることを示して

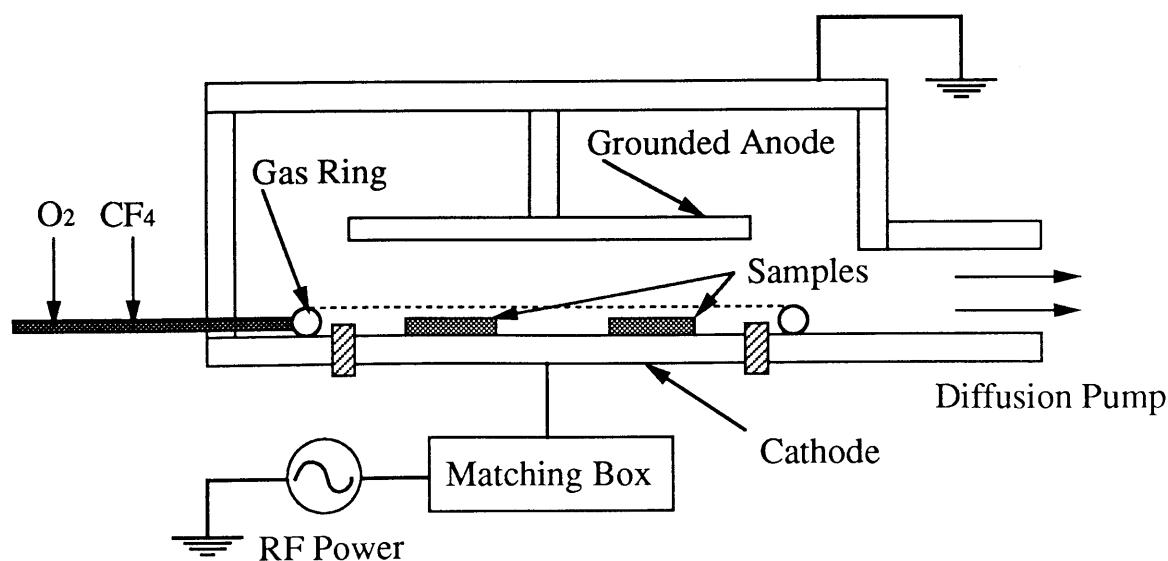


図2-4 平行平板型リアクティブイオンエッチング (RIE) 装置

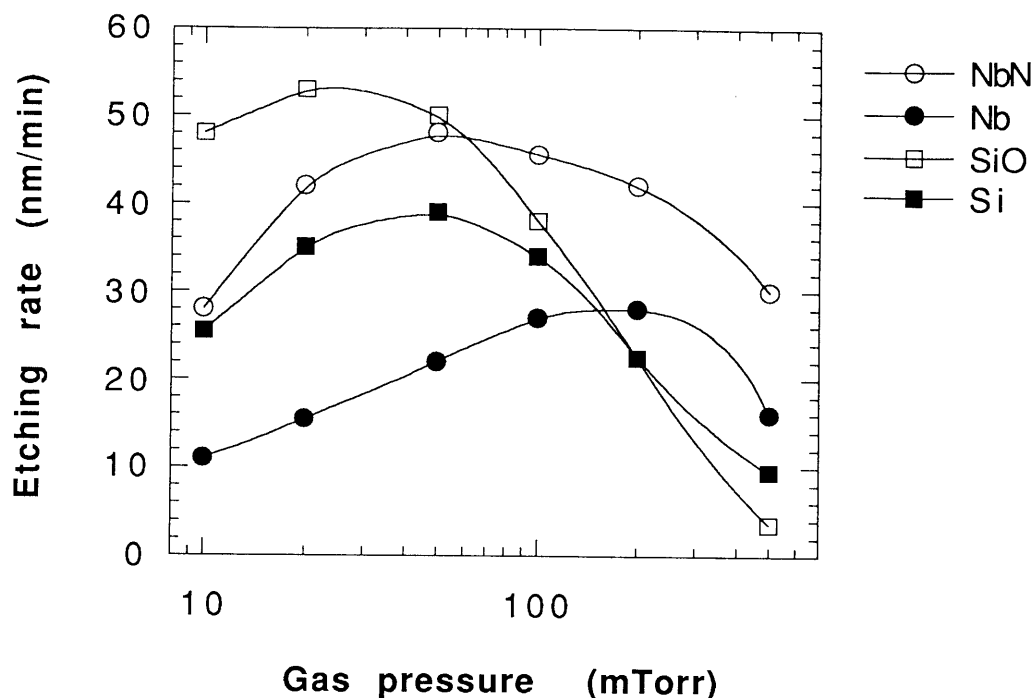


図2-5  $CF_4$  ガス圧力に対するNbN膜、Nb膜、SiO膜のエッチング速度

いると考えられる。また、NbNについては、NbとSiOの中間的圧力でエッチング速度の最大値があるので、化学的エッチングと物理的エッチングが混合したようなエッチング形態になっていると考えられる。

図2-6は、NbNとNbのエッチング速度とSiOのエッチング速度の比をガス圧力に対してプロットした図である。この比は、下地材料SiOに対する選択比と呼ばれる。この比は、できるだけ大きいことが望まれる。その理由は、オーバーエッチング（エッチングが終了した後に、被エッチング材料を完全に除去するためにさらにエッチングを続けること）を行なったとき、下地材料SiOの目減りが少なくなるからである。

選択比は、ガス圧力が高いほど値が大きくなる傾向を示した。また、NbよりNbNの方が常に大きい値を示した。圧力500 mTorrで、NbN:SiOについて選択比8、Nb:SiOについて選択比5が得られた。

そこで、このような高い選択比が得られる高いガス圧力における、サイドエッチングの様子について調べた。

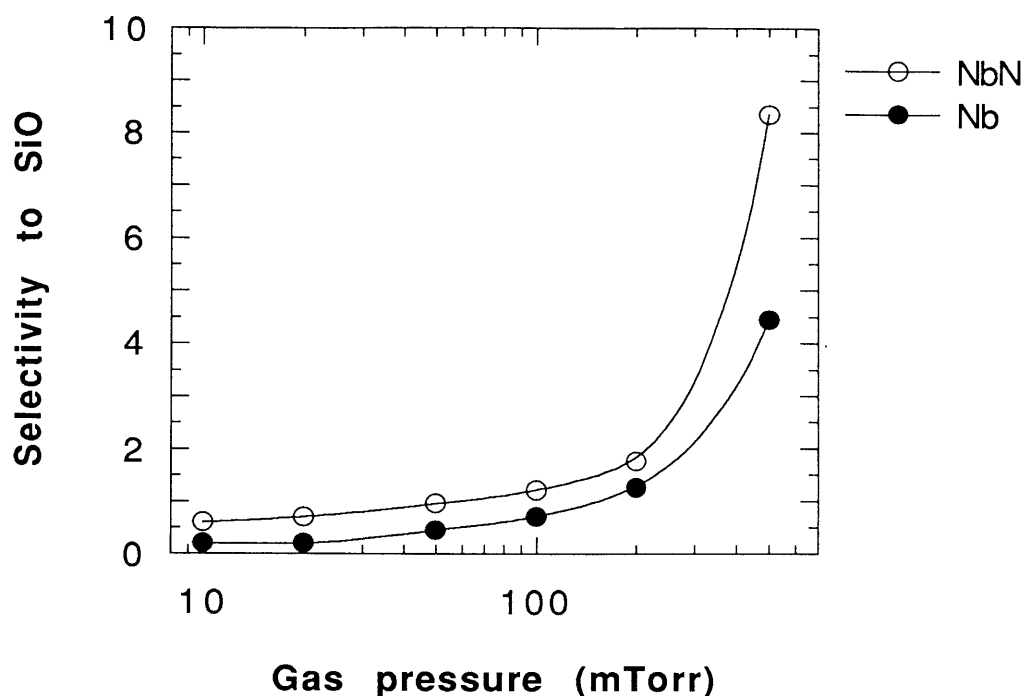


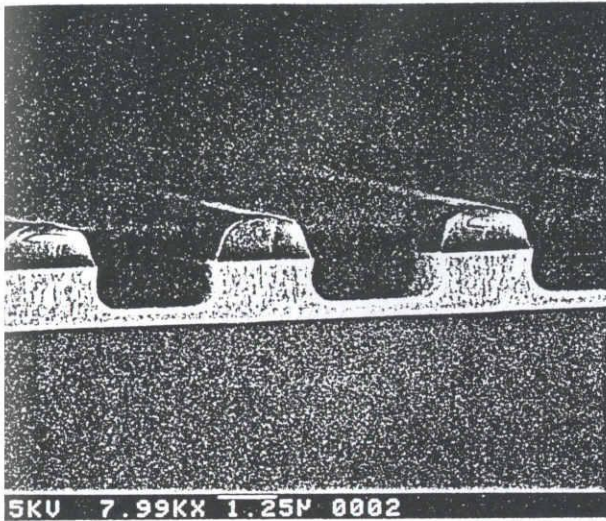
図2-6  $\text{CF}_4$  ガス圧力に対する  $\text{SiO}$  膜を下地とした時の NbN 膜、Nb 膜のエッチング選択比

図2-7に、NbN膜、Nb膜について、 $2.5\ \mu\text{m}$ ライン&スペースのパターンをドライエッチングにより形成した場合の走査型電子顕微鏡 (SEM) 写真を示す。なお、レジストパターンは、4対1縮小投影露光装置 (FRA-141、キャノン製) により、AZ-1400 (MP-1400、シプレイ製) レジストを用いて形成した。NbN膜、Nb膜ともに、500 mTorrでは、サイドエッチングが見られるが、200 mTorrでは、ほとんどサイドエッチングが見られない。このことから、200 mTorrの方が、微細加工に適することが分かる。実際の接合作製工程においては、選択比とサイドエッチングを考慮して、NbN膜、Nb膜ともに圧力200 mTorrでエッチングを行なった。

図2-8に  $\text{SiO}$  膜について、 $2.5\ \mu\text{m}$ ラインのパターンをドライエッチングにより形成した場合の SEM 写真を示す。エッチングされた  $\text{SiO}$  膜の側面の形状がテーパになっていることがわかる。これは、エッチング中に、レジストの幅が徐々に減少して生じたものと推察される。

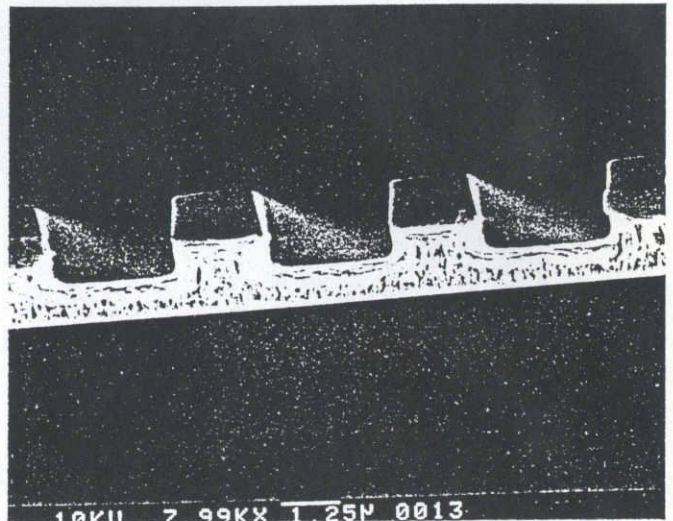
最後に、リソグラフィ工程に用いるレジストについて、エッチング速度のガス圧力

NbN



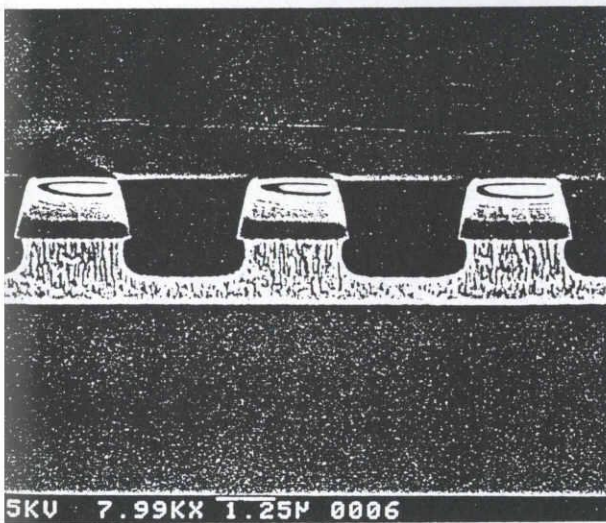
P = 200 mTorr

Nb



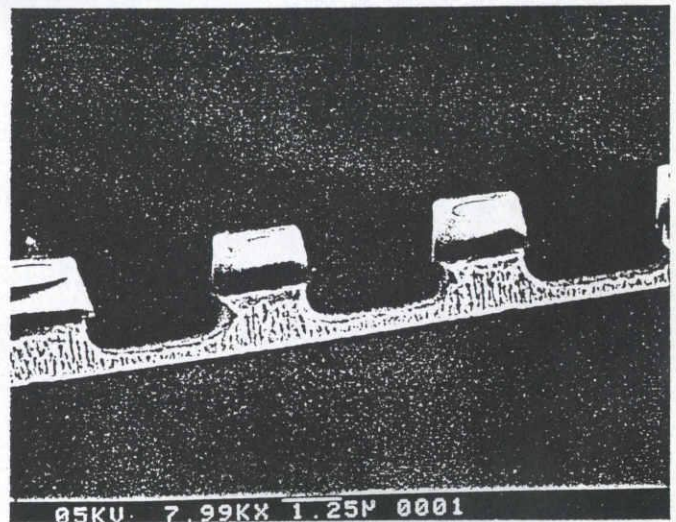
P = 200 mTorr

NbN



P = 500 mTorr

Nb



P = 500 mTorr

図2-7 NbN膜、Nb膜についてドライエッチングにより形成した2.5 μmライン&スペースのSEM写真



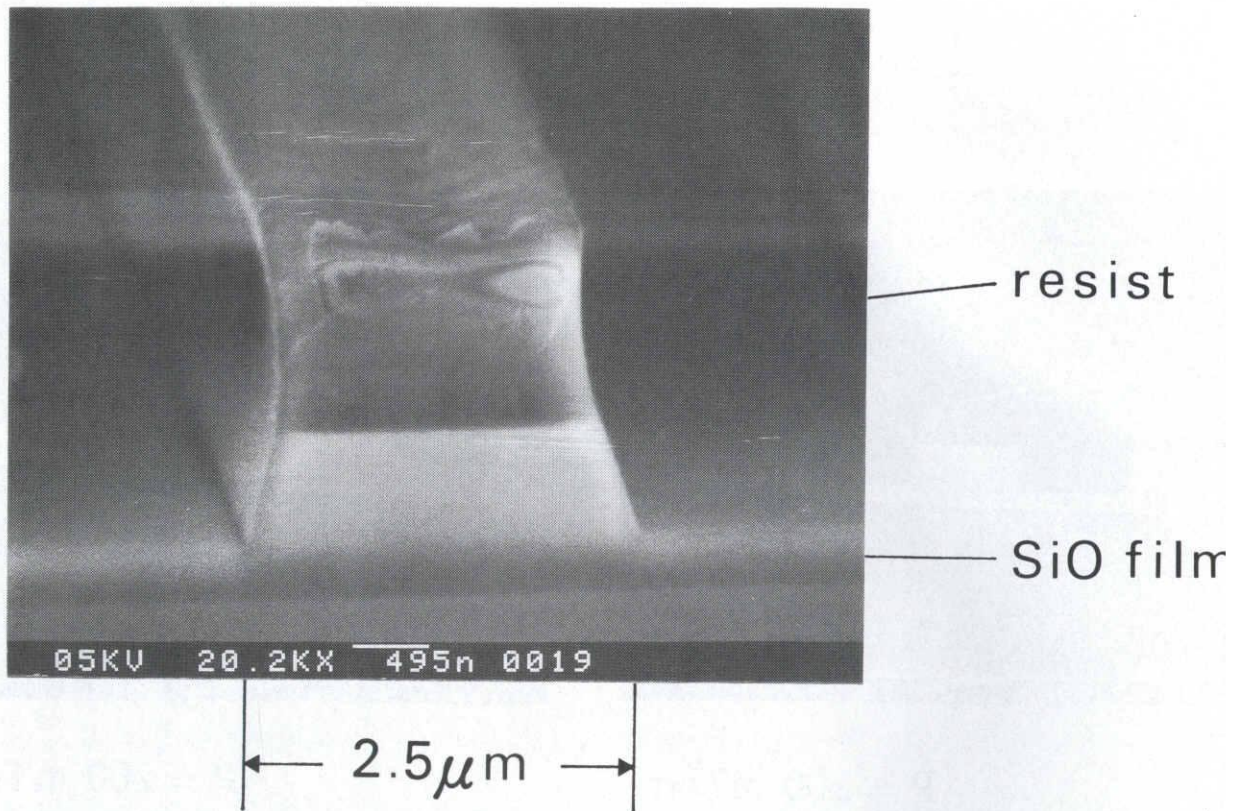


図 2-8 SiO 膜についてドライエッチングにより形成した  
2.5  $\mu\text{m}$ ライン&スペースのSEM 写真

依存性を図 2-9 に示す。低ガス圧力側で、エッチング速度が増大する傾向がある。これは、図 2-8 でレジストの幅が小さくなった原因と考えられる。また、高ガス圧力側、特に 500 mTorr では、エッチング速度が、非常に小さくなる。以上のことから、レジストについては、スパッタにより物理的にエッチングされ、化学的にはエッチングされないことが分かる。

#### 2.4 NbN 電極ジョセフソントンネル接合作製工程

この節では、ドライエッチング工程を用いた NbN ジョセフソントンネル接合の作製技術<sup>3, 4)</sup> について述べる。この技術の特長としては、ジョセフソン接合のための多層膜について真空を破らずに基板全面に作製するため、基板全体にわたって均一な接合特性が得られることや、また、ドライエッチング工程を用いて微細加工を行なうので、高精度のパターン形成が可能であることが、挙げられる。

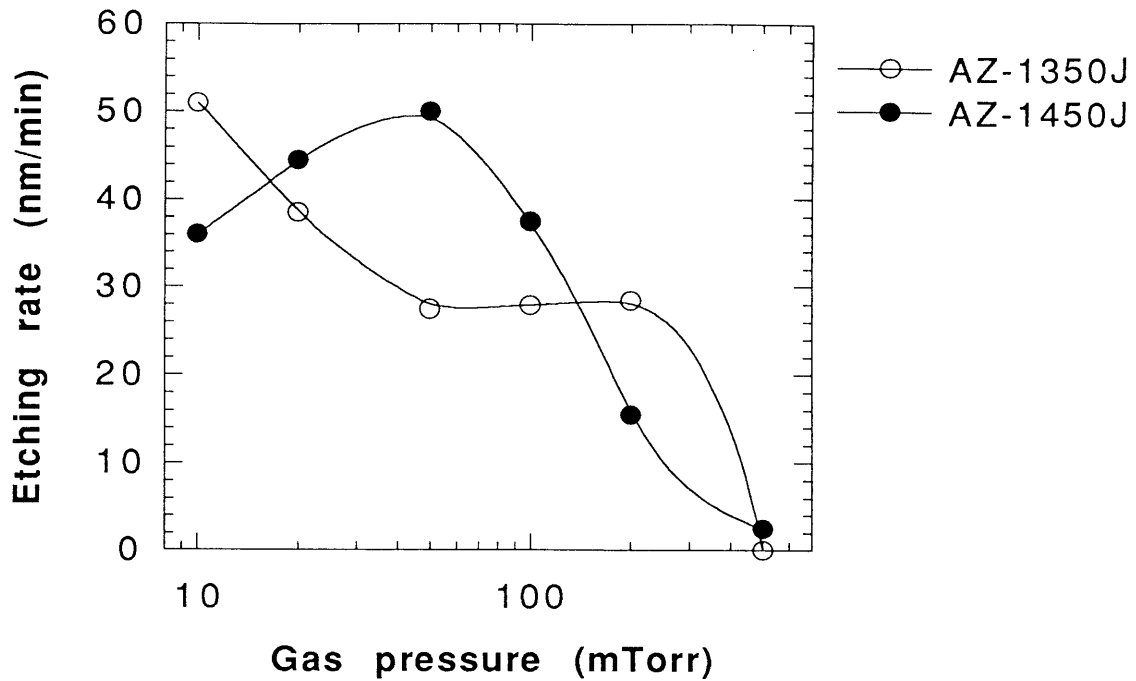


図2-9  $\text{CF}_4$  ガス圧力に対するフォトレジストのエッチング速度

初めに、図2-10にしたがって接合の作製工程の手順について述べる。(a)では、スパッタ装置において、Si ウェーハ基板上に、真空を破らずに連続的に膜を堆積することによって、ジョセフソン接合のための多層膜を作製する。(b)では、下部電極用のレジストパターンを形成し、そのレジストをマスクにして、基板面までドライエッチングを行ない、下部電極のパターンを形成する。(c)では、接合部用のレジストパターンを形成し、そのレジストをマスクにして、下部電極上面までドライエッチングを行ない、接合部のパターンを形成する。(d)では、(c)で用いたレジストを残したままにして、真空蒸着法により絶縁膜を堆積し、有機溶媒に浸してレジスト上の膜をリフトオフ法により除去し、絶縁層を形成する。(e)では、下部電極と配線層の間をつなぐコンタクトホール用のレジストパターンを形成し、そのレジストをマスクにして、下部電極上面までドライエッチングを行ない、絶縁層にコンタクトホールを形成する。(f)では、スパッタ装置において、配線用のNb膜を堆積し、その上に配線用のレジストパターンを形成する。そのレジストをマスクにして、絶縁層上面までドライエッチングを行ない、配線

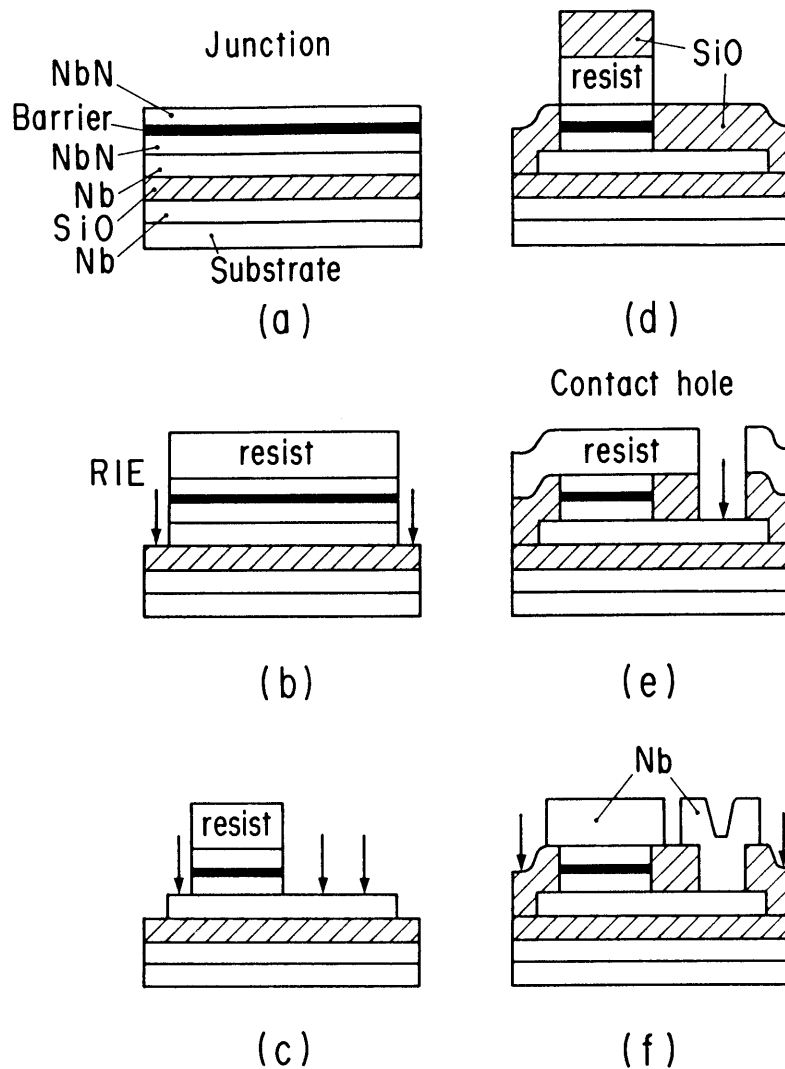


図 2-10 NbN 電極ジョセフソントンネル接合作製工程

層を形成する。

以上が、作製工程全体の流れである。

## 2.5 NbN 放電酸化膜を用いた NbN 接合作製技術

### 2.5.1 接合作製方法

初めに、図 2-10(a) に示されたジョセフソン接合のための多層膜の作製について述べる。図 2-1 に示した高周波マグネトロンスパッタ装置において、下部電極として

のNb、NbN膜を堆積する。その後に、酸素とアルゴンの混合ガスの中で、基板を支持しているテーブルに高周波を印加することにより、放電を発生させ、NbN膜の表面を酸化させる。酸化終了後に、上部電極としてのNbN膜を堆積する。

図2-11に酸素10%のアルゴンガスを用いて、ガス圧力10mTorr、酸化時間1分の条件における、接合のジョセフソン臨界電流密度と自己バイアス電圧の関係を示す。自己バイアス電圧は、印加する高周波電力によって、基板に誘起される直流電圧である<sup>18)</sup>。ジョセフソン臨界電流密度は、自己バイアス電圧の $-3.2$ 乗に比例する。また、図2-12に酸素10%のアルゴンガスを用いて、ガス圧力10mTorr、自己バイアス電圧105Vの条件における、接合のジョセフソン臨界電流密度と酸化時間の関係を示す。ジョセフソン臨界電流密度は、酸化時間の $-3.1$ 乗に比例する。

このように、自己バイアス電圧および酸化時間を変化させることにより、接合のジョセフソン臨界電流密度を制御できることが分かった。

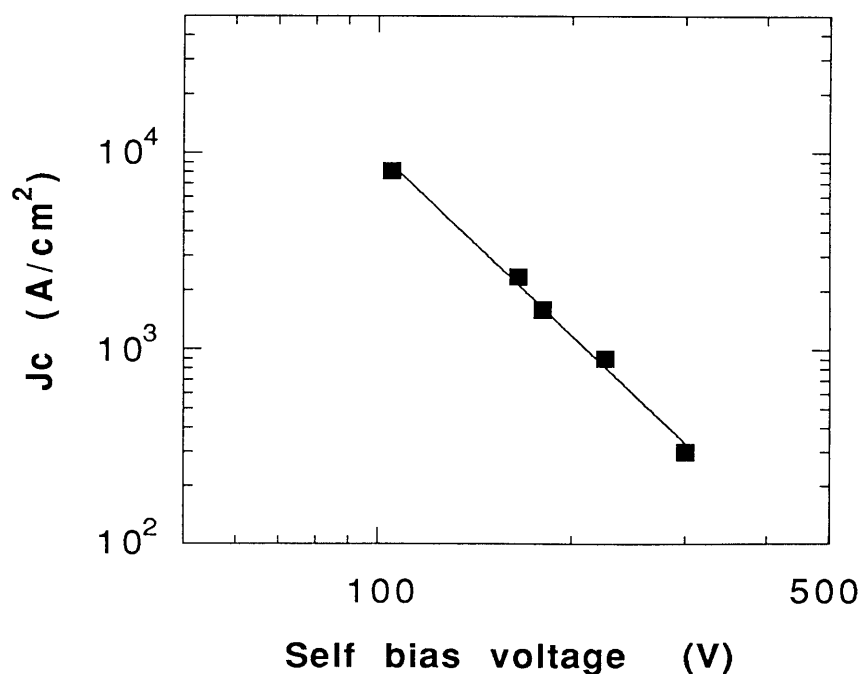


図2-11 放電酸化における自己バイアス電圧に対するNbN  
ジョセフソン接合の臨界電流密度 Jc



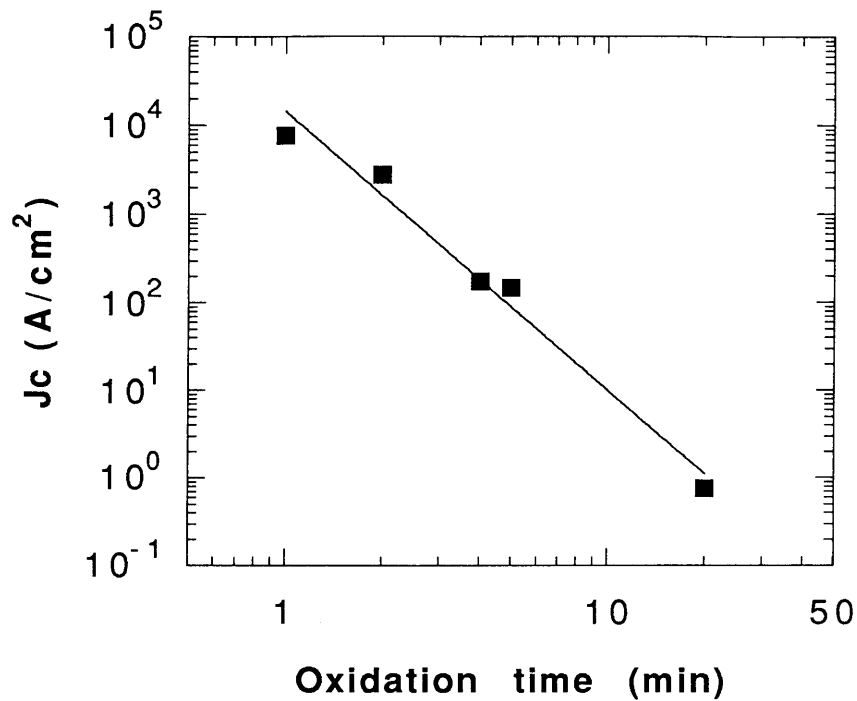


図 2-1 2 放電酸化における酸化時間に対するNbN ジョセフソン接合の臨界電流密度 Jc

### 2.5.2 接合特性の評価

作製した接合の電流電圧特性を図 2-1 3 に示す。(a) は、酸素 10% のアルゴンガス、ガス圧力 10 mTorr、自己バイアス電圧 105 V、酸化時間 2 分の場合の特性である。10 μm 角の接合で、臨界電流密度  $J_c = 2.75 \text{ KA/cm}^2$ 、サブギャップリークパラメータ  $V_m (= I_c R_{sg}) = 15.5 \text{ mV}$  が得られた。ただし、 $R_{sg}$  は、2 mV で定義した接合のサブギャップ抵抗である。(b) は、酸素 10% のアルゴンガス、ガス圧力 10 mTorr、自己バイアス電圧 105 V、酸化時間 5 分の場合の特性である。10 μm 角の接合で、 $J_c = 145 \text{ A/cm}^2$ 、 $V_m (= I_c R_{sg}) = 22.5 \text{ mV}$  が得られた。酸化時間を長くして作製した  $J_c$  の低い接合において、大きい  $V_m$  値の得られることが分かる。

## 2.6 MgO 膜をトンネル障壁として用いた NbN 接合作製技術

### 2.6.1 MgO 膜の堆積工程

MgO 膜の堆積工程については、ジョセフソン臨界電流密度を精密に制御すること

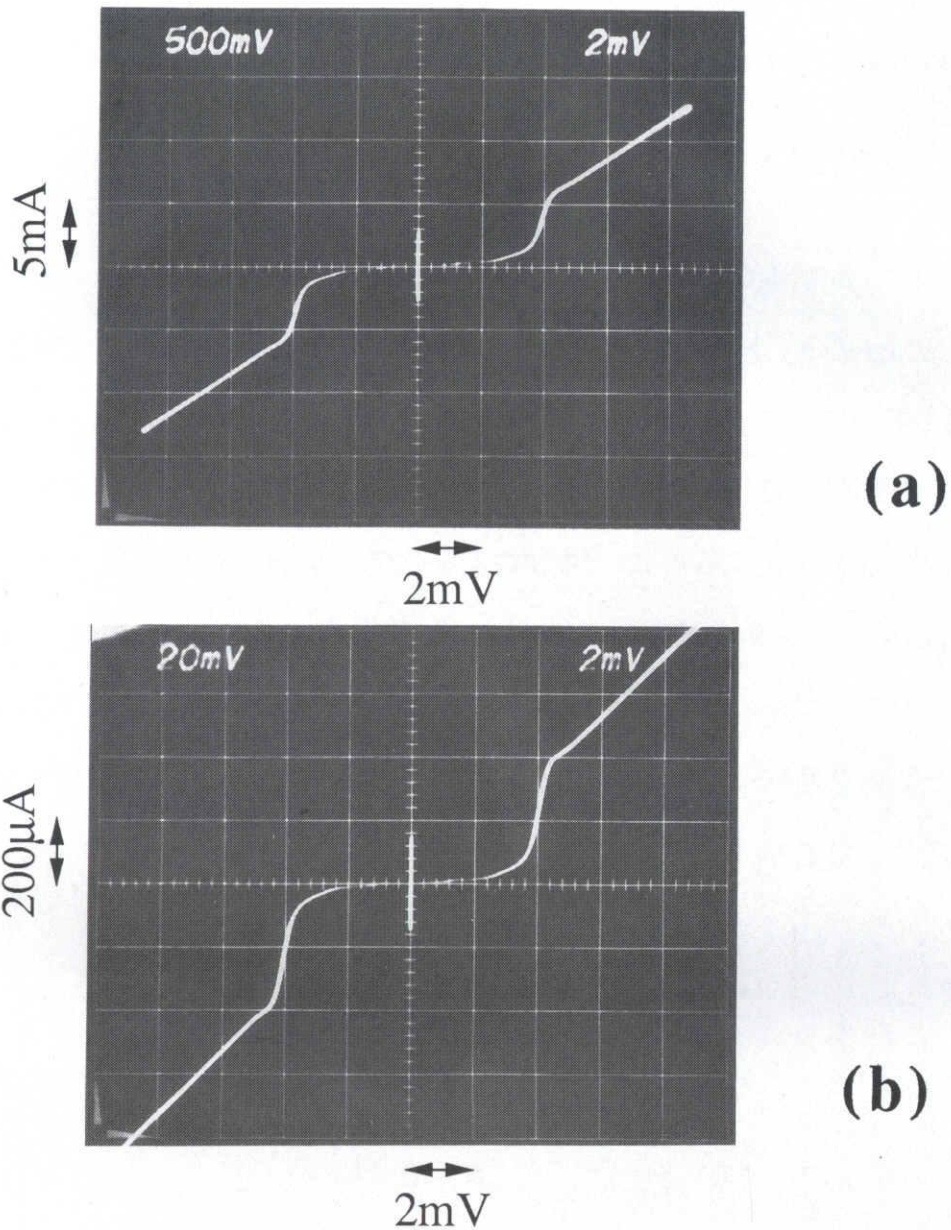


図2-13 4.2 Kで測定した NbN/oxide/NbN ジョセフソン接合の電流電圧特性

を目指して、注意深く研究を行なった。MgO 膜の堆積は、15 cm 径の MgO ターゲットを備えた高周波スパッタ装置において、アルゴンガスを用いて、行なわれた。全ガス圧は、10 mTorr であった。高周波電力は、200 W であった。トンネル障壁として MgO 膜を堆積する時は、ターンテーブルを毎分 7.74 回で、回転を行なった。したがって、基板ホルダーは、それ自身回転しながらターゲットの下を通過し、MgO 膜が間

欠的に堆積された。このターンテーブルの回転により、実際の堆積速度は、回転していない時の6分の1に減少して、0.5 nm/minであり、1回転あたりでは、0.065 nm/turnであった。

### 2.6.2 NbN/MgO/NbN トンネル接合の作製工程

NbN/MgO/NbN トンネル接合は、スパッタ装置を用いて、連続的にNbN、MgO、NbN 膜を堆積することによって、形成した。個々の接合は、第2.4節で説明した方法によって、作製した。ただし、図2-10 (b)の工程において、エッチング途中でMgO トンネル障壁を除去するのに、燐酸による化学エッチングを行なった。図2-14は、NbN/MgO/NbN トンネル接合のジョセフソン臨界電流密度  $J_c$  を MgO 膜の堆積工程におけるターンテーブルの回転数についての関数としてプロットした図である。ターンテーブルの2.2~7回転に対して0.3~30000 A/cm<sup>2</sup>の臨界電流密度が得られた。臨界電流密度は、MgO 膜の堆積工程における高周波電力を数ワットだけ変えることによ

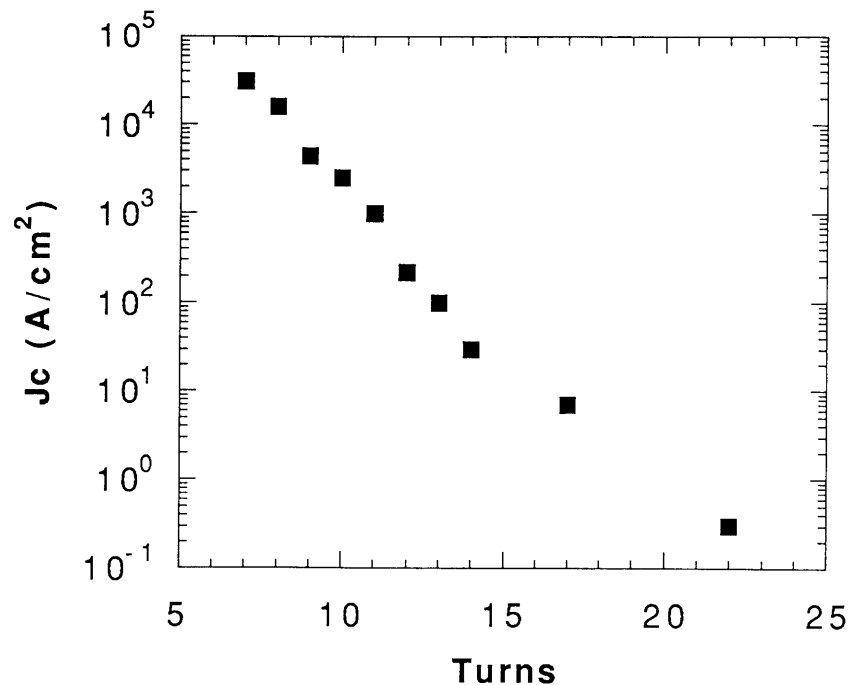


図2-14 MgOトンネル障壁の堆積工程におけるターンテーブルの回転数に対する臨界電流密度  $J_c$

て精密に制御した。他のトンネル障壁を用いた接合に比べて、NbN/MgO/NbN トンネル接合は、小さいサブギャップリーク電流の値を示した。

### 2.6.3 接合特性の評価

図2-15には、4.2 Kで測定された NbN/MgO/NbN 接合一個の電流電圧特性を示す。図2-15 (a) の接合については、ジョセフソン臨界電流密度が、 $200 \text{ A/cm}^2$  で、接

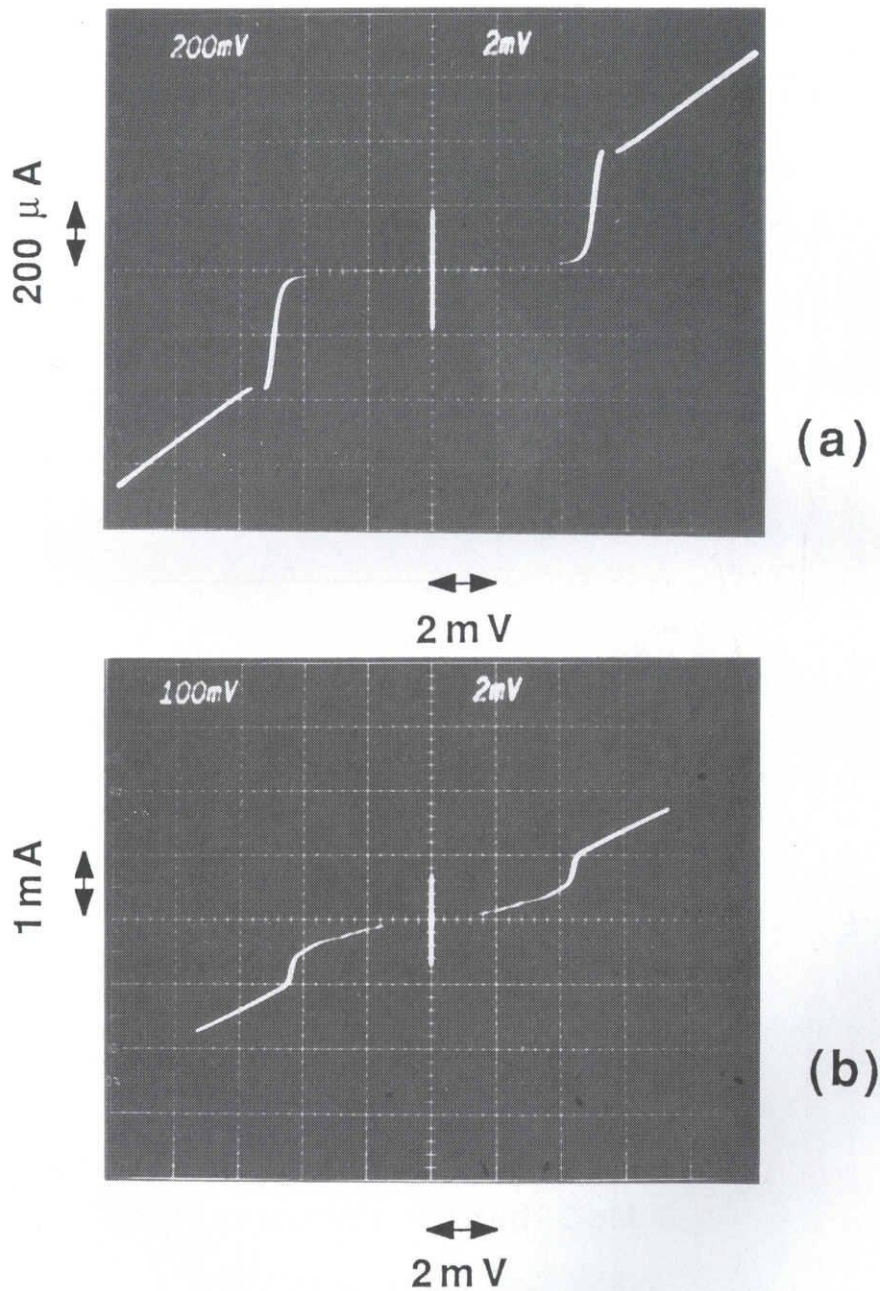


図2-15 4.2 Kで測定した NbN/MgO/NbN ジョセフソン接合の電流電圧特性

合寸法は、 $10\ \mu\text{m}$ 角であった。ギャップ電圧は、 $5\ \text{mV}$ 、サブギャップリーク電流パラメタ  $V_m (= I_c R_{sg})$  は、 $80\ \text{mV}$ であった。ここで、 $I_c$  は、ジョセフソン臨界電流、 $R_{sg}$  は、電圧  $2\ \text{mV}$ で測定したサブギャップ抵抗である。接合は、第2.4節で説明した方法で作製した。MgOトンネル障壁の堆積では、ターンテーブルを回転させた。プレスパッタ時間は、 $60$ 分であった。図2-15(b)の接合については、ジョセフソン臨界電流密度が、 $30\ \text{kA/cm}^2$ で、接合寸法は、 $1.5\ \mu\text{m}$ 角であった。ギャップ電圧は、 $4.5\ \text{mV}$ 、サブギャップリーク電流パラメタ  $V_m (= I_c R_{sg})$  は、 $10\ \text{mV}$ であった。接合は、同様の方法で、非常に薄いトンネル障壁を用いて作製された。このように  $V_m$  の値が低下した原因は、トンネル障壁が薄くなり過ぎたことにより、下部 NbN 電極が十分に覆われなくなったためと考えられる。

図2-16は、NbN/MgO/NbN 接合について、MgOトンネル障壁の厚さの関数として、ジョセフソン臨界電流密度をプロットした図である。厚さは、ターンテーブルの回転回数と堆積速度より求めた。得られた電流密度の範囲は、 $0.3 \sim 30000\ \text{kA/cm}^2$  であ

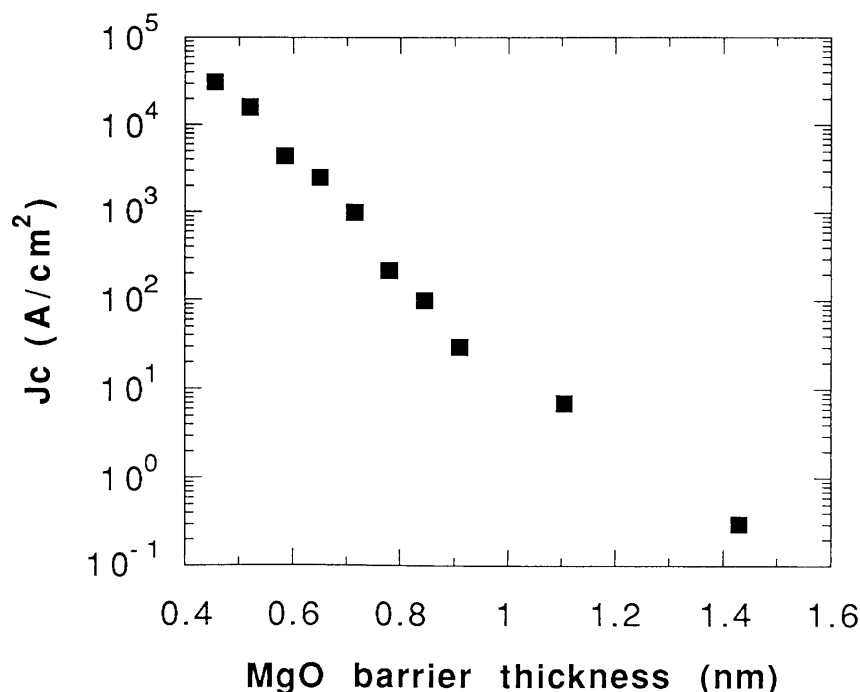


図2-16 NbN/MgO/NbN 接合についてMgOトンネル障壁の厚さに対するジョセフソン臨界電流密度  $J_c$



った。図 2-16 の障壁厚さ依存性よりトンネル障壁の高さは、Simmons によって提案されたトンネル電流についての次式<sup>19)</sup>を用いて 1.9 eV と見積られた。

$$\frac{J}{V} = 3.16 \times 10^{10} \frac{\sqrt{\phi}}{t} \exp(-1.025 \sqrt{\phi t}) \quad (2-1)$$

ここで、J は、トンネル電流密度 (A/cm<sup>2</sup>)、V は、印加電圧 (V)、φ は、トンネル障壁の高さ (eV)、t は、トンネル障壁の厚さ (Å) である。

なお、(2-1) 式は、常伝導トンネル電流に対する式であり、このままでは、超伝導トンネル電流であるジョセフソン臨界電流に対して適用できない。しかし、Ambegaokar-Baratoff の提案による次式<sup>20)</sup>

$$I = \frac{\pi \Delta(T)}{2eR_n} \tanh \frac{\Delta(T)}{2kT} \quad (2-2)$$

から、ジョセフソン臨界電流が常伝導トンネル電流に比例することが導かれるので、(2-1) 式を用いてジョセフソン臨界電流の障壁厚さ依存性よりトンネル障壁の高さを求めることができる。ここで、I は、ジョセフソン臨界電流、Δ(T) は、温度 T における超伝導体のギャップエネルギー、e は、電子の電荷、k は、ボルツマン定数、R<sub>n</sub> は、常伝導抵抗である。

## 2.7 結 言

NbN 超伝導膜について、堆積方法と作製された膜の特性について調べた。超伝導臨界温度 T<sub>c</sub> が最も高くなる堆積条件を求めた。得られた最も高い T<sub>c</sub> の値は、15.2 K であった。

接合作製に用いる各種の膜に対するドライエッチング工程について調べた。平行平板型リアクティブイオンエッチング装置を用いて、NbN、Nb 膜について、異方性エッチングを行なう条件を求めた。SiO<sub>2</sub> 膜については、コンタクトホール形成に適する条件が得られた。

ドライエッチング工程を用いた NbN 電極ジョセフソントンネル接合作製技術につ

いて概略を述べた。続いて、トンネル障壁として、NbN 放電酸化膜を用いた接合の作製技術について述べた。放電酸化の条件と接合特性の間関係を求めた。また、トンネル障壁として、スパッタ法による MgO 膜を用いた接合の作製技術について述べた。MgO 膜堆積の条件と接合特性の間関係を求めた。

## 第2章 参考文献

- 1) 篠木、東海林：電子技術総合研究所彙報 48-4 (1984) 312
- 2) 青柳、東海林、幸坂、篠木、早川：第30回応用物理学関係連合講演会予稿集 (1982) 413
- 3) A. Shoji, F. Shinoki, S. Kosaka, M. Aoyagi, and H. Hayakawa: Appl. Phys. Lett. 41 (1982) 1097
- 4) A. Shoji, F. Shinoki, S. Kosaka, M. Aoyagi, and H. Hayakawa: IEEE Trans. Magn. MAG-19 (1983) 827
- 5) S. Kosaka, F. Shinoki, S. Takada, and H. Hayakawa: IEEE Trans. Magn. MAG-17 (1981) 314
- 6) 東海林、青柳、篠木：電子技術総合研究所彙報 48-4 (1984) 290
- 7) J. H. Greiner: J. Appl. Phys. 45 (1974) 32
- 8) S. Kosaka, A. Shoji, M. Aoyagi, F. Shinoki, H. Nakagawa, S. Takada, and H. Hayakawa: Appl. Phys. Lett. 43 (1983) 213
- 9) H. Nakagawa, T. Odake, E. Sogawa, S. Takada, and H. Hayakawa: Jpn. J. Appl. Phys. 22 (1983) L297
- 10) A. Shoji, M. Aoyagi, S. Kosaka, F. Shinoki, and H. Hayakawa: Appl. Phys. Lett. 46 (1985) 1098
- 11) A. Shoji: Proc. of IC SQUID'85 (1985) 631
- 12) A. Shoji, M. Aoyagi, S. Kosaka, and F. Shinoki: IEEE Trans. Magn. MAG-23 (1987) 1464
- 13) E. J. Cukauskas: J. Appl. Phys. 54 (1983) 1013
- 14) K. S. Keskar, T. Yamashita, and Y. Onodera: Jpn. J. Appl. Phys. 10 (1971) 370
- 15) 青柳、東海林、幸坂、篠木：第47回応用物理学会学術講演会予稿集 (1986) 421
- 16) H. Hosokawa, R. Matsuzaki, and T. Asamaki: Jpn. J. Appl. Phys. 13 Suppl. 2-1 (1974) 435



- 17) 堀池、柴垣、住友、山本：東芝レビュー 32 (1977) 833
- 18) B. Chapman: "Glow Discharge Processes", John Wiley & Sons (New York),  
(1980) 143
- 19) J. G. Simmons: J. Appl. Phys. 34 (1963) 1793
- 20) V. Ambegaokar and A. Baratoff: Phys. Rev. Lett. 10 (1963) 486; Phys. Rev. Lett. 11  
(1963) 104

# 第3章 ジョセフソン臨界電流の バラツキと再現性の検討

## 3.1 序

本章では、ジョセフソン集積回路<sup>1-2)</sup>における、ジョセフソン臨界電流 ( $I_c$ ) のバラツキと再現性について検討する。実際の集積回路において、回路内で  $I_c$  のバラツキが大きい場合、その回路の動作マージンは、設計上の値より大幅に減少する。また、 $I_c$  の再現性が低い場合、設計値からのズレが増大するため、回路の動作マージンが縮小し、また、抵抗値と  $I_c$  から決まる負荷線が、設計からズレるため、動作が不安定になり、動作速度が遅くなる。したがって、集積回路を作製する段階で、 $I_c$  のバラツキを小さくし、 $I_c$  の再現性を高くする必要がある。

ジョセフソン臨界電流は、接合面積とジョセフソン臨界電流密度によって決まる。集積回路作製工程の中で、接合面積に関係する工程として、接合部パターンの形成工程が、ジョセフソン臨界電流密度に関係する工程として、トンネル障壁の形成工程が、それぞれ考えられる。接合部パターンの形成工程には、リソグラフィ工程とドライエッチング工程が含まれる。本章の前半では、接合面積のバラツキを減少させる立場から、主にリソグラフィ工程における2層レジスト法の適用<sup>3-5)</sup>について述べ、これによるジョセフソン臨界電流のバラツキの改善を議論する。本章の後半では、主にジョセフソン臨界電流密度の再現性を向上させる立場から、トンネル障壁の形成工程における諸条件の検討<sup>6-7)</sup>について述べ、これによるジョセフソン臨界電流密度の再現性の改善を議論する。

## 3.2 多数個集積された接合における臨界電流のバラツキ

### 3.2.1 二層レジスト法の適用

ドライエッチング工程よりパターン形成を行なう NbN ジョセフソン接合作製プロ

セス (SNIP)<sup>8-9)</sup> において、接合部のパターン形成に用いられるレジストには、次の4点の性質が要求される。第一は、高解像度であること、第二は、強いドライエッチング耐性を持つこと、第三は、高いアスペクト比を持つレジスト像が得られること、第四は、リフトオフ工程において、アセトンなどの有機溶媒によって、容易に剥離できることである。一般に、解像度とアスペクト比は、相反関係にあり、また、ドライエッチング耐性と剥離性も、相反関係にある。したがって、単層のレジストで上記の要求を満たすことは、できないので、性質の違う二種類のレジストを重ねて用いる二層レジスト法の導入が必要となる。

AZ-1400 と PMMA による PCM (Portable Conformal Mask) と呼ばれる二層レジスト法<sup>10-11)</sup> について述べる。上層に用いた AZ-1400 は、紫外線 (UV) 露光において、高解像度を示し、高いドライエッチング耐性をもつ。下層に用いた PMMA は、高温でベーキングされた後も容易に剥離する性質を持つ。

### 3.2.2 実験方法

図3-1に、二層レジスト法の工程全体の手順を示す。以下にその手順を説明する。

(a) PMMA (OEBR-1000、200 cp、東京応化社製) を500 nm厚さにスピコートする。120℃で60分ベーキングする。PMMA を500 nm厚さにスピコートする。155℃で60分ベーキングする。AZ-1400 (MP-1400、17 cp、シプレイ社製) を400 nm厚さにスピコートする。90℃で20分ベーキングする。AZ-1400 を4対1縮小投影露光装置 (FRA-141、キャノン社製) によりUV (g線、h線) 露光する。

(b) 現像液 (452、シプレイ社製) により現像する。プロキシミティプリンター (PLA-521F、キャノン社製) により全面を Deep-UV (200 - 260 nm) 露光する。120℃で40分ベーキングする。

(c) PMMA を MIBK により現像し、150℃で20分ベーキングする。二層レジストを得る。

この二層レジスト法において、AZ-1400 は、Deep-UV に対するマスクとして機能し

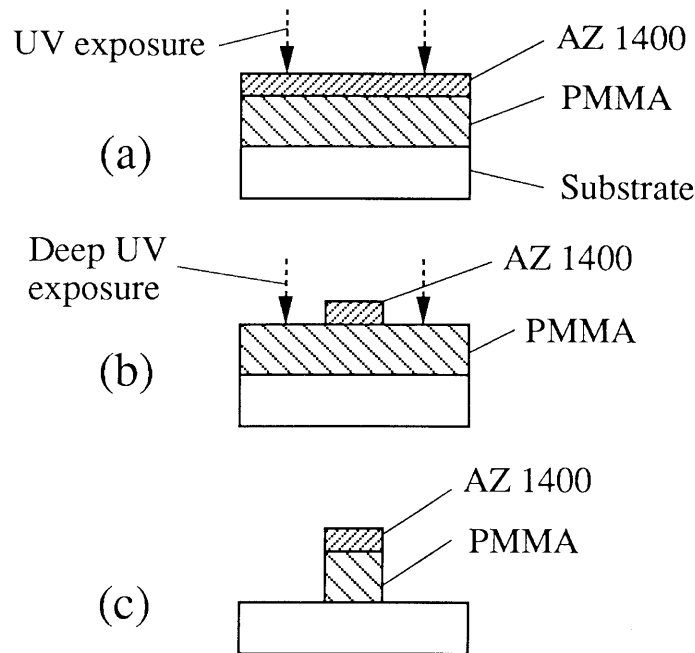


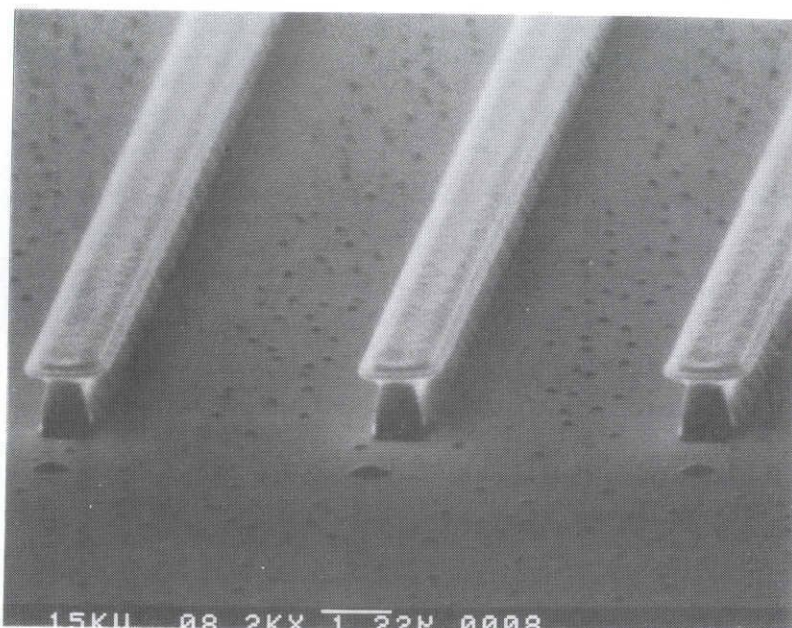
図3-1 二層レジスト法の工程図

ている<sup>11)</sup>。また、この二層レジスト法によって得られた最小の線幅は、 $0.5 \mu\text{m}$ であった。この値は、UVリソグラフィの限界に近い値である。

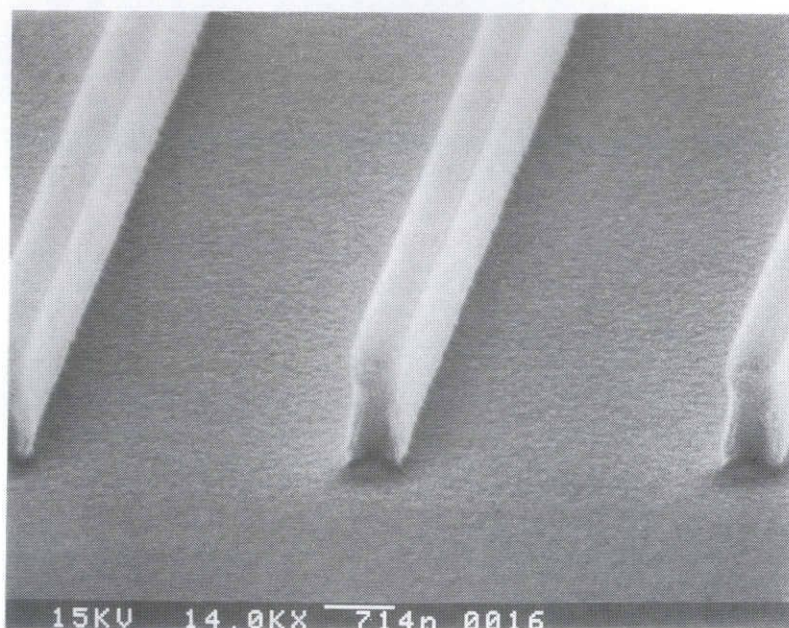
一般に、二層レジストでは、上層と下層の界面における混合層の形成が問題となる。問題解決のため、下層のベーキング温度を高く設定したり、AZ-1400の代わりに、溶媒の異なるONPR-830（5cp、東京応化社製<sup>5)</sup>）を用いるなどの対策を行った。これらにより、混合層を大幅に減らすことができた。なお、PMMAとAZ-1400の溶媒は、ECA（エチルセルソルブアセテート）、ONPR-830の溶媒は、トルエンである。

### 3.2.3 実験結果と考察

図3-2(a)に、Nb膜上の $1 \mu\text{m}$ 幅ラインの二層レジスト像のSEM写真を示す。このレジスト像において、上層のレジストが、ステンシル（ひさし）構造を形成していることがわかる。図3-2(b)には、Nb膜をドライエッチングした後の $1 \mu\text{m}$ 幅ラインのレジスト像のSEM写真を示す。エッチングは、 $200 \text{ mTorr}$ 、 $0.16 \text{ W/cm}^2$ の $\text{CF}_4$ プラズマ中で、



(a)



(b)

図3-2 (a) Nb膜上の $1\mu\text{m}$ 幅の二層レジスト像のSEM写真  
(b) Nb膜をエッチングした後の二層レジスト像のSEM写真

5分間行なった。エッチングにより、上層レジストの線幅が、細くなったが、下層レジストについては、ほとんど線幅の減少は、見られなかった。下層の線幅が、ドライエッチングにより正確に、Nb膜に転写されたことが分かる。また、レジスト像のアスペクト比についても、ドライエッチング後の変化は少なかった。

図3-3は、二層レジストを用いて作製した1024個のNbN/oxide/NbN接合のジョセフソン臨界電流 $I_c$ の標準偏差 $\sigma$ を接合寸法 $L$ に対して、プロットした図である。比較のために、単層レジスト（AZ-1400）を用いて作製した接合の値もプロットしてある。ここで、接合は、第2.5節で説明した方法によって作製した。図3より $I_c$ のバラツキを表す $\sigma$ は、二層レジストの使用により、約1/3に減少することが分かった。得られた最小の $\sigma$ 値は、 $2.5\mu\text{m}$ 角で、1.6%、 $5\mu\text{m}$ 角で、0.8%、 $10\mu\text{m}$ 角で、0.4%であった。これらの結果より、SNIPにおいて二層レジストを導入すると、 $I_c$ のバラツキが大幅に減少することが分かる。また、言い換えれば、従来問題にしていた $I_c$ のバラツキは、主としてレジスト寸法のバラツキに起因していたと推察される。

図3-4は、 $I_c$ のバラツキ $3\sigma$ が、すべて接合面積のバラツキ $\Delta(L^2)$ に起因するものと仮定して算出した接合寸法 $L$ のバラツキ $\Delta L$ を、接合寸法 $L$ に対してプロットした図である。この $\Delta L$ の値は、正方形のレジストを用いた接合については、 $2\mu\text{m}$ 角までは、一定と考えられ、それ以下では急激に大きくなる。これは、UVリソグラフィ工程での

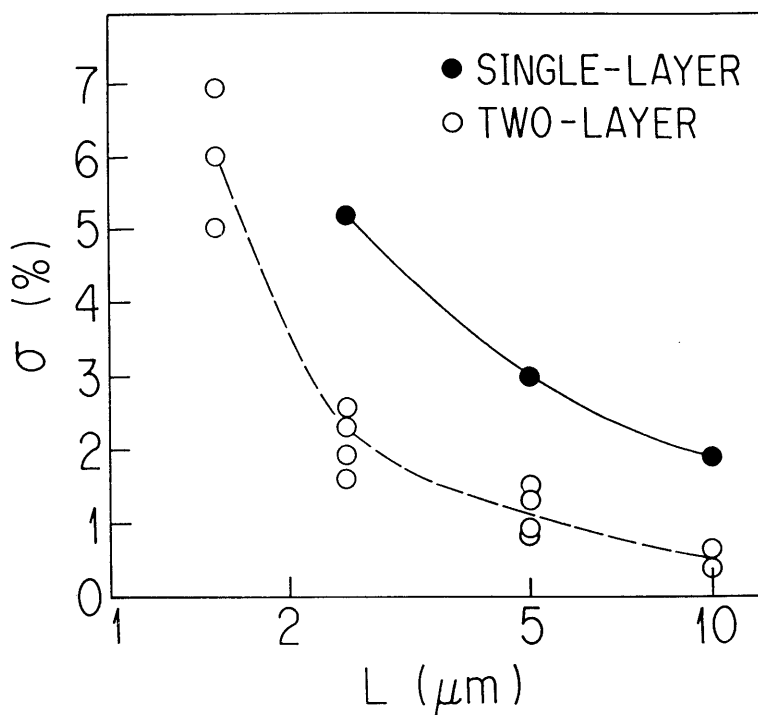


図3-3 1024個のNbN/oxide/NbN接合について接合寸法 $L$ に対するジョセフソン臨界電流 $I_c$ の標準偏差 $\sigma$

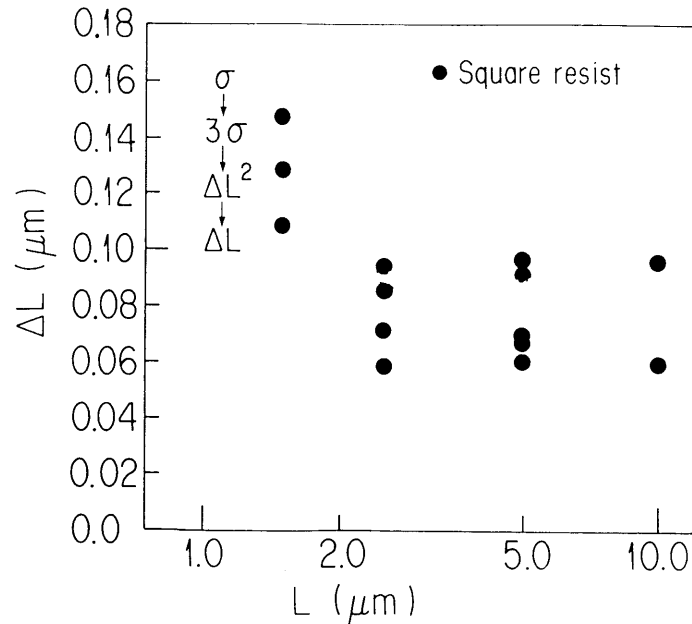


図3-4 接合寸法Lに対する接合寸法のバラツキ $\Delta L$

寸法偏差が、 $2\mu\text{m}$ 角までは、一定であることに対応する。さらに進んで、 $2\mu\text{m}$ 角以下の接合をバラツキ少なく作製するためには、リソグラフィ工程における解像度の向上と寸法偏差の縮小が必要となる。これについては、第5章で、議論することにする。

### 3.3 接合の臨界電流密度の再現性（製造バラツキ）

#### 3.3.1. 実験方法

図3-5は、接合の作製において、Nb、NbN、MgO膜の堆積に用いたスパッタ装置の概略図である。この装置は、高周波マグネトロン平行平板型2極スパッタ装置と呼ばれるもので、スパッタされたターゲット材料が、下向きに降り積もる構造となっている。真空槽は、ロードロック機構を持たないバッチタイプであり、その内容積は、100リットルである。排気ポンプには、排気速度が、3500リットル/sの油拡散ポンプを用いており、このポンプの上部に、液体窒素トラップが装備されている。成膜に入る前の到達真空度は、 $3 \times 10^{-5} \text{ Pa}$ であった。高周波電力は、 $\pm 0.25\%$ 以内に変動を抑え

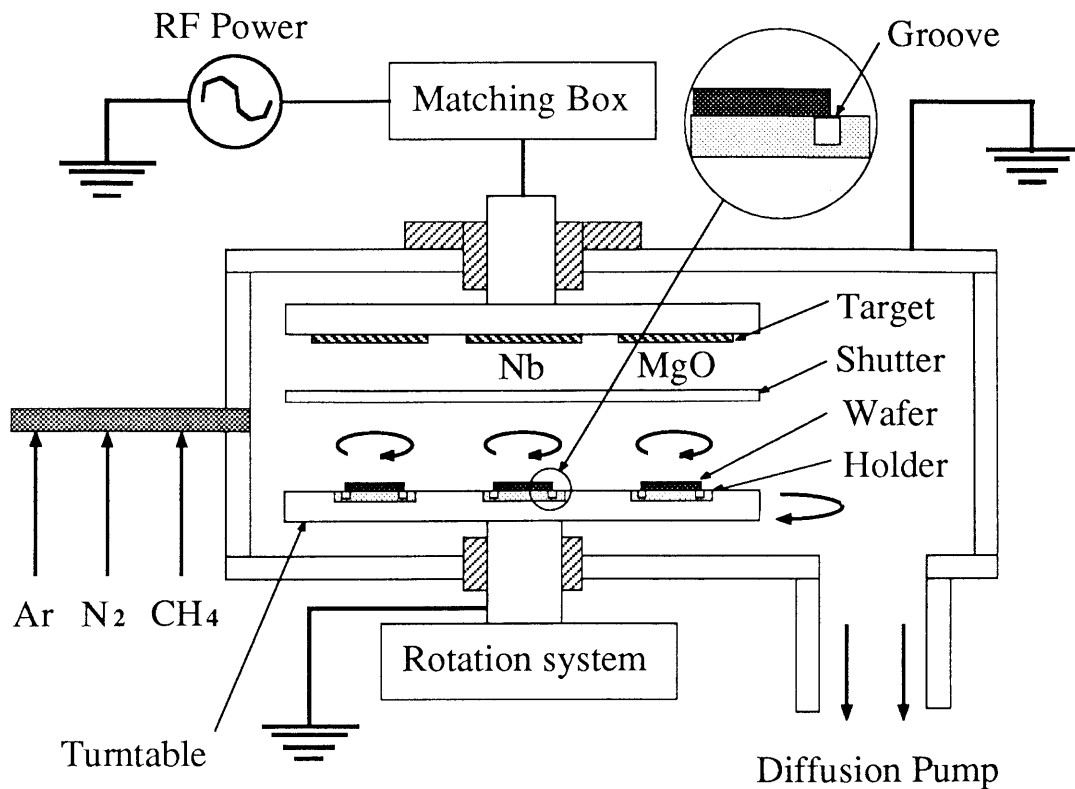


図3-5 接合の作製において、Nb、NbN、MgO膜の堆積に用いたスパッタ装置の概略図

てターゲットへ供給された。高周波電力の設定精度は、1 Wであった。高周波の周波数は、13.6 MHzであった。マッチング回路には、シャッターが開いた時に、1秒以内でインピーダンスを自動的に整合させる機構を設けた。ガス流量は、マスフローコントローラによって制御された。真空槽内のガスの圧力は、キャパシタンスマンオメータによって測定された。7 cm 径の基板ホルダ3個が、40 cm 径のターンテーブル上に置かれている。基板ホルダとターンテーブルには、膜厚の均一性を向上させるために、それぞれ回転機構が備わっている。基板ホルダは、成膜時に20 rpmで回転を行なった。基板ホルダは、特に加熱を行なわなかった。ターゲットと基板ホルダの間隔は、4.5 cmであった。MgO膜の堆積時には、ターンテーブルを7.7 rpmで回転させて、膜厚の正確な制御を行なった。

この実験では、装置について次のような改良点を取り入れた。第1に、基板ホルダ



を含むターンテーブル全体をアース電位と電氣的に接続した。第2に、基板ホルダプレート上に基板の周に沿って溝を形成し、プレートの平坦性を確保した。このことにより、基板と基板ホルダの間の接触が改善された。

特に第1の改良により、膜の性質が改善された。NbN膜について、堆積速度が、37%増加し、厚い膜における剥離が抑えられた。MgO膜について、堆積速度の均一性が改善された。これらの改善は、基板の電位とプラズマの状態が安定化されたことに起因すると考えられる。

Nb膜は、15cm径のNbターゲット(99.9%)を用いて、Arガス中で成膜を行った。ガス圧力は、8.0mTorrであった。高周波電力は、400Wであった。この条件のもとで、Nb膜堆積速度は、90nm/minであった。

NbN膜は、Nb膜と同じNbターゲットを用いて、Ar、窒素、メタンガスの混合ガス中で成膜を行なった。ガス圧力は、8.5mTorrであった。高周波電力は、400Wであった。最も高い超伝導臨界温度 $T_c$ は、窒素分圧比6.7%、メタン分圧比1.5%の条件で、100nm厚の膜に対して $15.2\text{K}^{1,2)}$ であった。この条件で、NbN膜の堆積速度は、50nm/minであった。NbN膜については、下部、上部電極ともにこの条件で成膜を行なった。

MgO膜は、15cm径のMgO焼結体ターゲット(99.99%)を用いて、Arガス中で成膜を行なった。ガス圧力は、10mTorrであった。高周波電力は、200Wであった。トンネル障壁として堆積する時は、7.7rpmでターンテーブルの回転を行なった。基板ホルダが、間欠的にターゲットの下を通過することにより、膜の堆積は、間欠的になるため、膜厚の制御が容易になった。ターンテーブルの回転により、実効的な堆積速度は、6分の1に減少し、0.065nm/minになった。膜厚は、回転数で決められた。このような条件で、MgO堆積速度の均一性は、基板上中心の3cm平方の領域において、±1%と測定された。

図3-6は、Nb膜上にNbN-MgO-NbN3層膜の堆積工程の流れを示す。図3-6(a)では、5cm径のSiウエーハを基板として用意する。図3-6(b)では、Nb、NbN膜を下

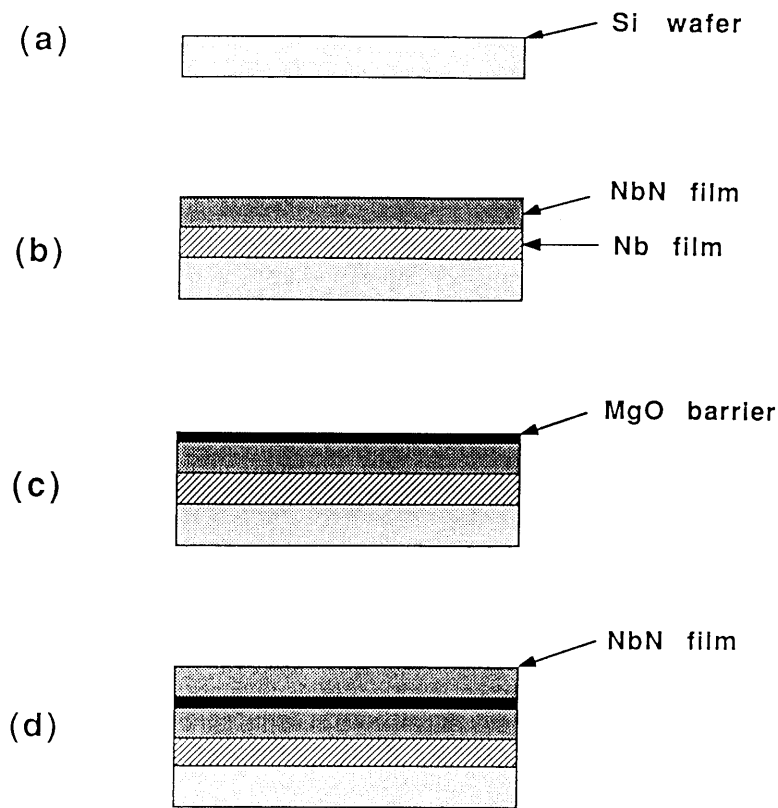


図 3-6 Nb 膜上における NbN-MgO-NbN 3 層膜の堆積工程

部電極として堆積する。図 3-6 (c) では、MgO 膜をトンネル障壁として堆積する。図 3-6 (d) では、NbN 膜を上部電極として堆積する。以上の工程は、真空を破らずに連続的に行なわれる。

集積回路中の個々の接合は、Nb-NbN-MgO-NbN 多層膜よりリアクティブイオンエッチング (RIE) を用いて形成された。個々の接合の作製方法は、第 2.4 節に報告されたものと同じである。

### 3.3.2 実験結果と考察

#### 3.3.2-1 MgO 膜の堆積速度

MgO 膜のスパッタ法による堆積工程について、ターンテーブルの回転の影響を除いた条件で堆積速度を調べた。一連の実験の中で、プレスパッタ時間によって MgO 膜の堆積速度が強く影響されることを見いだした。

堆積速度は、20 分間の堆積による MgO 膜の厚さから、平均的な値として求めら

れた。膜の厚さは、MgO膜上に燐酸による化学エッチングで段差を形成し、その段差の高さを表面粗さ計(alpha-step 200、Tencor社製)を用いて測定することにより評価した。

図3-7は、MgO堆積速度について、プレスパッタ時間をパラメータにしてプロットした図である。これより、堆積速度は、プレスパッタ時間の経過に伴って徐々に増加し、その再現性は、かなり悪いことが分かる。この傾向より考えて、プレスパッタ時間を一定に保つ必要のあることが分かる。そこで、MgOターゲット表面を清浄にし、スパッタの条件を安定にするために、プレスパッタを60分間行なうことにした。

プレスパッタの時にガス圧力を一定に制御しない場合は、放電開始後20分で約3%増加し、その後一定となる。この増加は、MgOターゲットから放出されたガスによってもたらされたと考えられる。プレスパッタの間、ターゲットの自己バイアス電圧は、放電開始後30分で約4%増加し、その後一定となる。60分間のプレスパッタの後に堆積を開始するためにシャッターを開くと、自己バイアス電圧は、約10%減少する。

MgOは、非常に水分を吸着しやすいことが知られている。MgOターゲットが大気

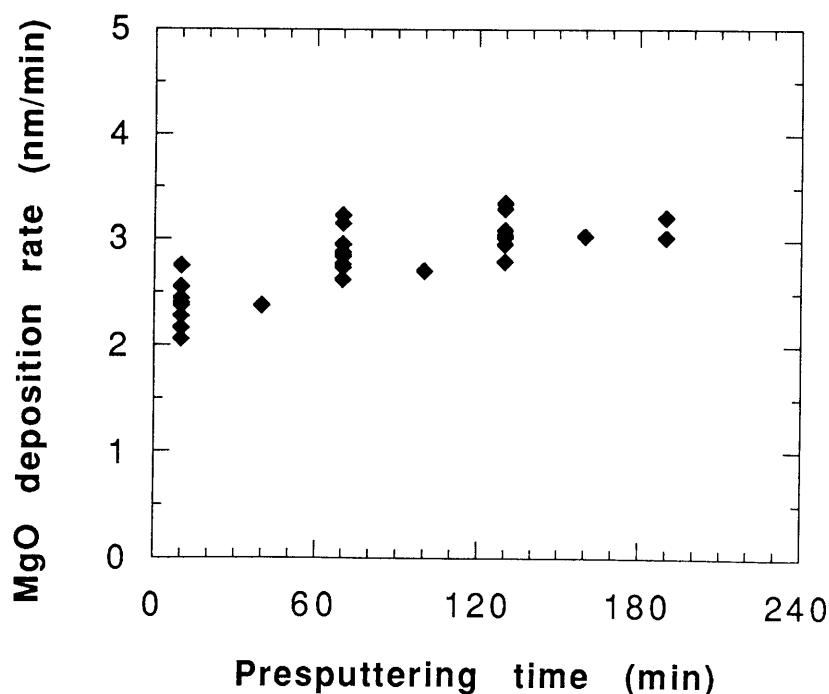


図3-7 プレスパッタ時間に対する MgO 堆積速度

中にあると、湿気や様々なガスを吸着すると考えられる。そこで、吸着された物質の MgO 堆積工程に与える影響を調べるため、MgO ターゲットが大気にさらされる時間を一定にして、MgO 堆積速度の測定を行った。

図 3-8 (a) は、14 回の測定実験における、MgO 堆積速度を示した図である。堆積速度は、60 分間のプレスパッタの後に、20 分間堆積された膜の厚さから平均堆積速度として求めた。ここで、MgO ターゲットが大気にさらされる時間は、一定ではなかった。一連の実験において、堆積速度の平均値は、2.9 nm/min であった。堆積速度の再現性は、 $\pm 10\%$  ( $\sigma = 5.8\%$ ) であった。図 3-8 (b) は、6 回の測定実験における、MgO 堆積速度を示した図である。堆積速度は、同様に、60 分間のプレスパッタの後に、20 分間堆積された膜の厚さから平均堆積速度として求めた。ここでは、MgO ターゲットが大気にさらされる時間を一定にするために、試料交換の時間を 5 分に固定した。一連の実験において、堆積速度の平均値は、3.1 nm/min であった。堆積速度の再現性は、 $\pm 3.0\%$  ( $\sigma = 2.3\%$ ) であった。このように、MgO ターゲットが大気にさ

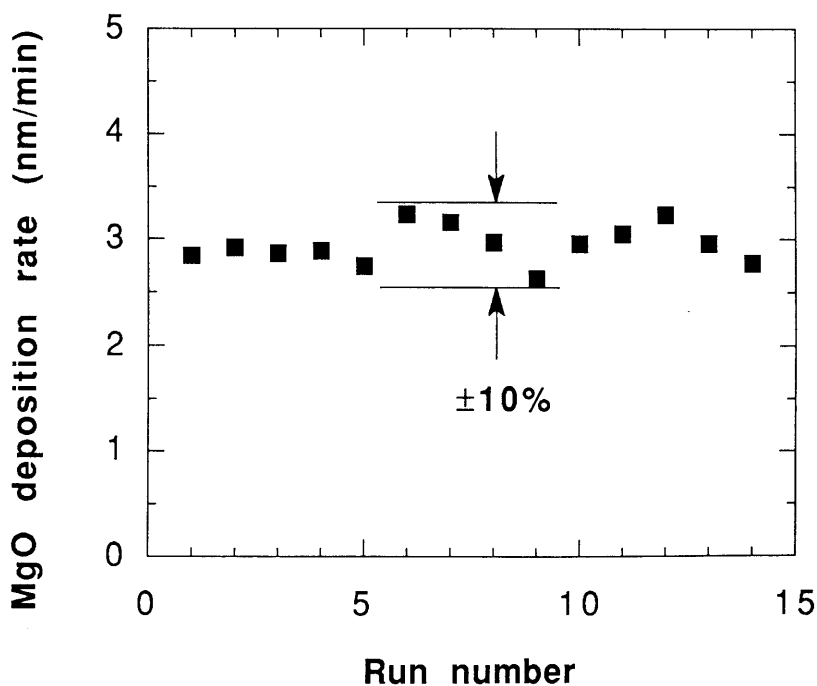


図 3-8 (a) 14 回の測定実験における MgO 堆積速度

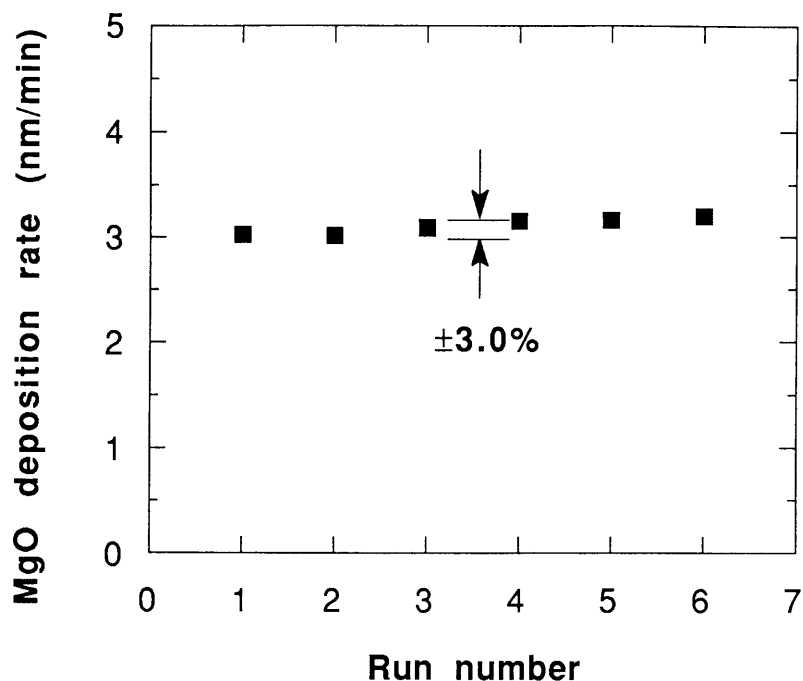


図 3-8 (b) 6 回の測定実験における MgO 堆積速度

らされる時間を一定にすることによって、MgO 堆積速度の再現性が大きく改善されることがわかった。また、言い換えれば、MgO ターゲットの吸着物質は、MgO 堆積工程に影響を与えられとされる。

MgO 膜のスパッタ法による堆積工程について、ターンテーブルの回転を伴う場合は、堆積速度が実効的に 6 分の 1 に減少する。なお、この減少率は、一定であると考えられる。なぜならば、ターンテーブルの回転により、堆積工程におけるプラズマ状態に影響がないからである。

次の節では、MgO 堆積速度の再現性の改善によって、もたらされるジョセフソン臨界電流密度の再現性の向上について報告する。

### 3.3.2-2 ジョセフソン臨界電流密度

図 3-9 は、4.2 K で測定された 250 個直列接続の接合についての電流電圧特性を示す。直列接続された接合は、ジョセフソン臨界電流のバラツキを評価するために用

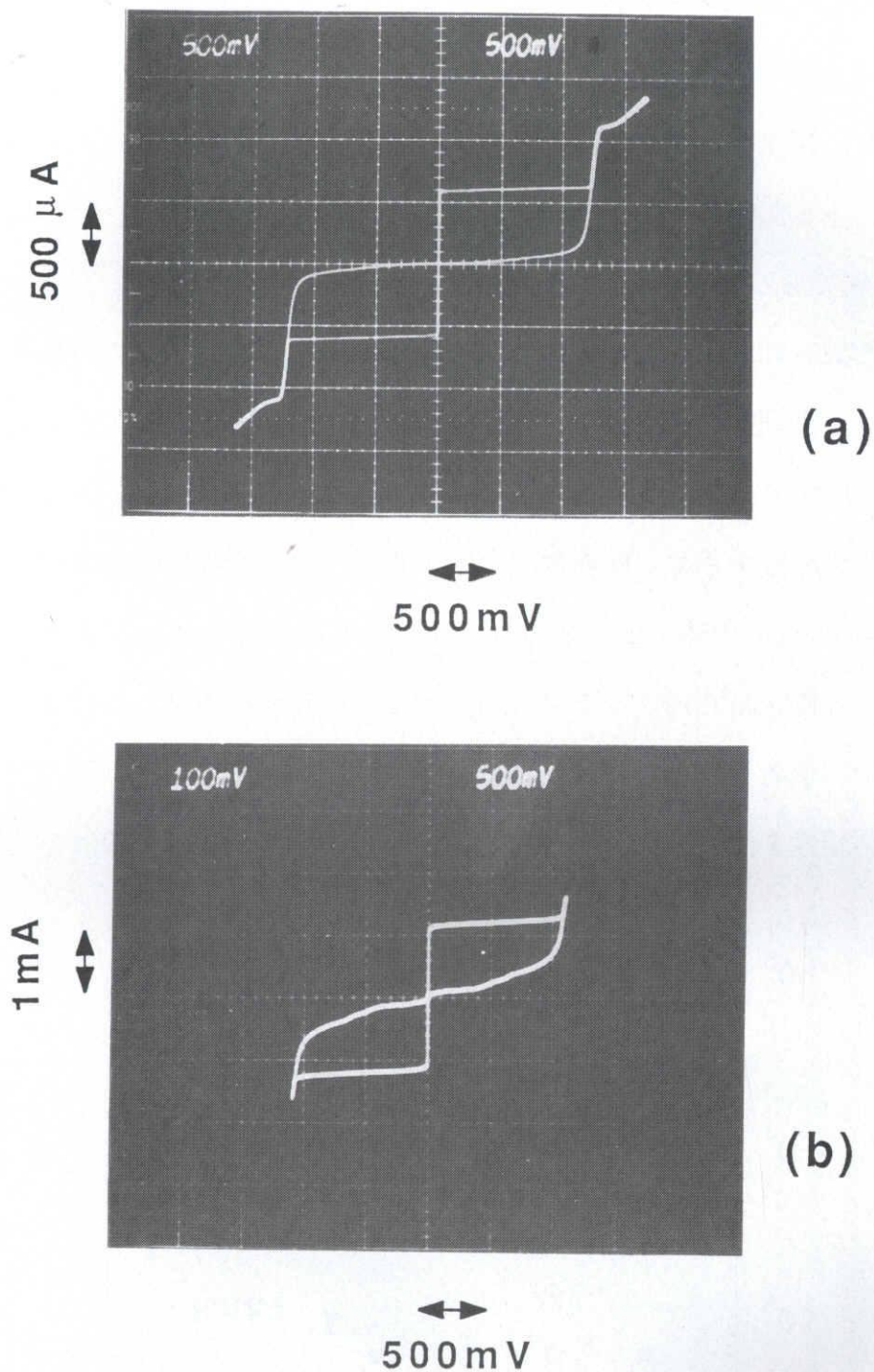


図3-9 4.2 Kで測定した250個直列接続のNbN/MgO/NbN 接合についての電流電圧特性

いた。臨界電流のバラツキは、接合面積のバラツキに起因することを既に報告した<sup>3)</sup>。ここで、接合は、第2.4節で説明した方法で作製した。さらに、試料交換の時間を5分と一定に保って、MgOターゲットが大気にされされる時間を一定にした。MgO トン

ネル障壁の堆積では、ターンテーブルを回転させた。プレスパッタ時間は、60分であった。図3-9(a)の場合は、臨界電流密度が、 $600\text{ A/cm}^2$ であり、接合寸法が、 $10\ \mu\text{m}$ 角であった。臨界電流のバラツキは、 $\pm 3.4\%$ であった。図3-9(b)の場合は、臨界電流密度が、 $15\text{ KA/cm}^2$ であり、接合寸法が、 $3\ \mu\text{m}$ 角であった。臨界電流のバラツキは、 $\pm 5.8\%$ であった。

次に、作製されたウエーハ間でのジョセフソン臨界電流密度の再現性を調べた。臨界電流密度は、直列接続接合を用いて評価した。接合は、前項の実験と同様に作製された。図3-10は、作製された多数のウエーハ間における NbN/MgO/NbN 接合のジョセフソン臨界電流密度を示す。臨界電流密度の再現性は、臨界電流密度のウエーハ間での平均値が  $610\text{ A/cm}^2$  の時、 $\pm 28\%$  ( $\sigma = 22\%$ ) が得られた。また、臨界電流密度の平均値が  $16\text{ KA/cm}^2$  の時、 $\pm 20\%$  ( $\sigma = 13\%$ ) が得られた。接合寸法は、前者が  $10\ \mu\text{m}$  角で、後者が  $3\ \mu\text{m}$  角であった。比較のために、以前の実験<sup>1,3)</sup> における臨界電流密度の再現性を図3-10の中に示した。接合寸法が  $10\ \mu\text{m}$  角で、その再現性の

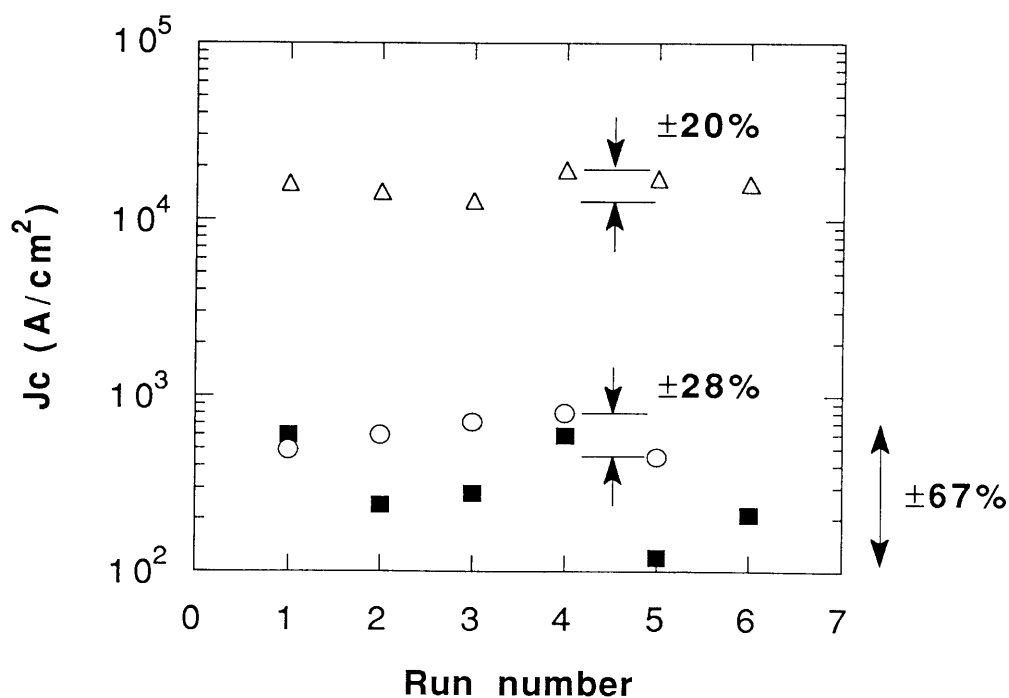


図3-10 作製された多数のウエーハにおける NbN/MgO/NbN 接合のジョセフソン臨界電流密度  $J_c$

値は、 $\pm 6.7\%$  ( $\sigma = 3.9\%$ ) であった。したがって、以前の実験に比べて、臨界電流密度の再現性の値が、約  $1/2$  に改善されたことが分かった。

次に、ジョセフソン臨界電流密度の均一性を調べた。臨界電流密度は、同様に直列接続接合を用いて評価した。図 3-1 1 は、5 cm 径の Si ウェーハにおける 8 チップについて、臨界電流密度を示した図である。接合は、やはり前項の実験と同様に作製された。図 3-1 1 (a) では、臨界電流密度の均一性は、 $\pm 1.2\%$  ( $\sigma = 8.6\%$ ) であった。接合

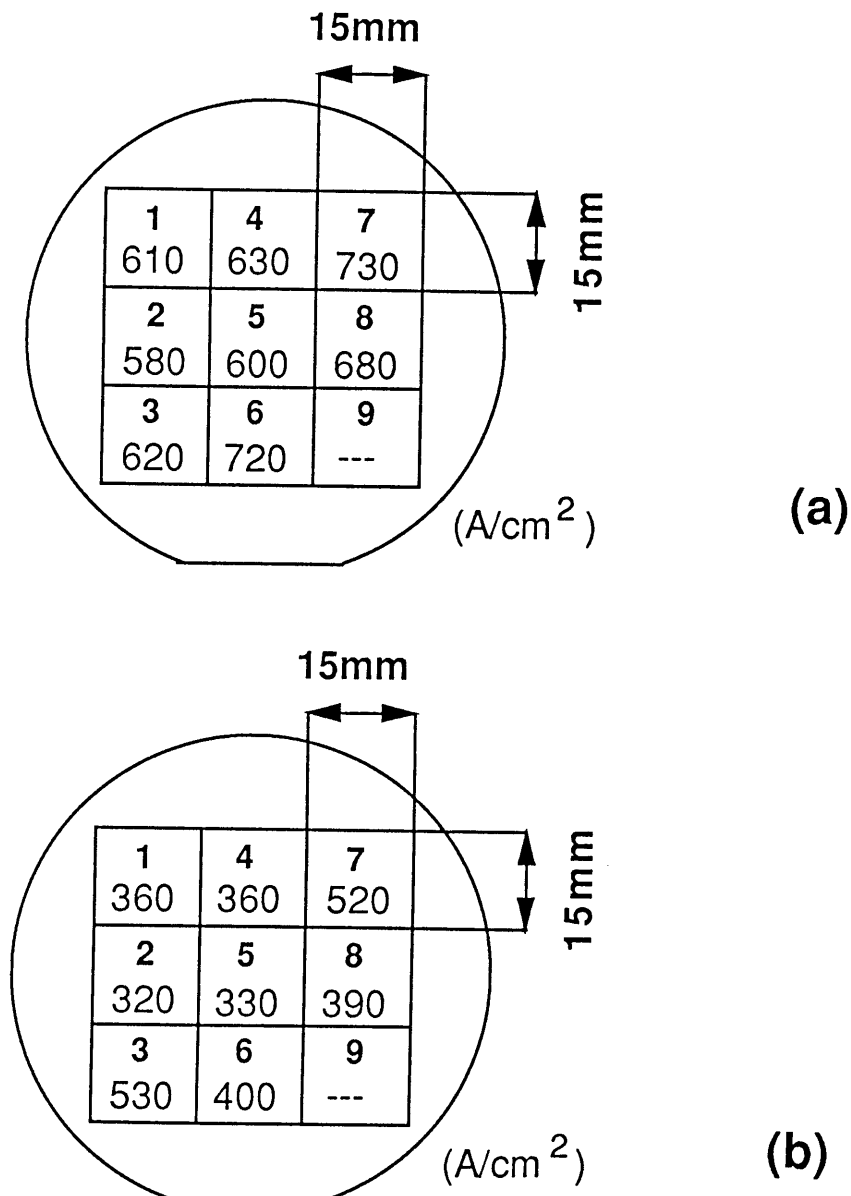


図 3-1 1 5 cm 径の Si ウェーハにおける 8 チップのジョセフソン臨界電流密度  $J_c$



寸法が  $10\ \mu\text{m}$  角で、臨界電流密度のウエーハ内での平均値が、 $650\ \text{A}/\text{cm}^2$ であった。第9番目のチップの値は、リソグラフィ工程におけるフォーカスエラーのため用いなかった。比較のために、以前の実験におけるデータを図3-11(b)に示す。臨界電流密度の均一性は、 $\pm 25\%$  ( $\sigma = 20\%$ )であった。接合寸法が  $10\ \mu\text{m}$  角で、臨界電流密度の平均値が、 $400\ \text{A}/\text{cm}^2$ であった。したがって、以前の実験に比べて、臨界電流密度の均一性の値が、約  $1/2$  に改善されたことが分かった。

最後に、ジョセフソン臨界電流の変化とトンネル障壁の厚さの変化の関係について Simmons による (2-1) 式<sup>13)</sup> を用いて理論的評価を行なことにする。トンネル障壁の厚さの増加は、ジョセフソン臨界電流の減少をもたらす。ジョセフソン臨界電流密度が、 $600\ \text{A}/\text{cm}^2$  の時、トンネル障壁の厚さは、図3-10の関係から  $0.73\ \text{nm}$  と計算される。ここで、トンネル障壁の厚さが、 $3\%$  増加したとすると、ジョセフソン臨界電流密度は、 $29\%$  減少し、また、トンネル障壁の厚さが、 $1\%$  増加したとする、ジョセフソン臨界電流密度は、 $11\%$  減少すると評価される。ジョセフソン臨界電流密度が、 $16\ \text{kA}/\text{cm}^2$  の時、トンネル障壁の厚さは、同様に  $0.54\ \text{nm}$  と計算される。ここで、トンネル障壁の厚さが、 $3\%$  増加したとすると、ジョセフソン臨界電流密度は、 $22\%$  減少すると評価される。これらの評価は、実験結果と良く一致した。

したがって、以上の結果より、MgOトンネル障壁の再現性の改善によって、ジョセフソン臨界電流密度の再現性が向上し、さらに、MgOトンネル障壁の均一性の改善によって、ジョセフソン臨界電流密度の均一性が向上したと結論される。

### 3.4 結 言

ジョセフソン接合作製技術で用いられるリソグラフィ工程に対する2層レジスト法の適用について述べた。これにより、接合面積のバラツキが減少し、ジョセフソン臨界電流のバラツキが、従来の単層レジストに比べて3分の1に減少することを示した。

続いて、NbN/MgO/NbN ジョセフソン接合に関して、トンネル障壁の形成工程の検討を行ない、ジョセフソン臨界電流密度の再現性について述べた。MgOトンネル障壁

について、堆積工程の諸条件を詳細に調べ、MgO膜の堆積速度の再現性を改善する方法を提案した。この改善方法をジョセフソン接合の作製に適用することにより、ジョセフソン臨界電流密度の再現性について、電流密度  $610 \text{ A/cm}^2$  に対して  $\pm 28\%$  に、電流密度  $15 \text{ kA/cm}^2$  に対して  $\pm 20\%$  に改善されることを示した。また、ジョセフソン臨界電流密度の均一性については、電流密度  $650 \text{ A/cm}^2$  に対して、 $\pm 12\%$  の値を得た。

### 第3章 参考文献

- 1) S. Kosaka, H. Nakagawa, H. Kawamura, Y. Okada, Y. Hamazaki, M. Aoyagi, I. Kurosawa, A. Shoji, and S. Takada: *IEEE Trans. Magn.* MAG-25 (1989) 789
- 2) M. Aoyagi, A. Shoji, S. Kosaka, H. Nakagawa, and S. Takada: *IEEE Trans. Magn.* MAG-25 (1989) 1223
- 3) M. Aoyagi, A. Shoji, S. Kosaka, F. Shinoki, and H. Hayakawa: *Proceedings of the 6th International Cryogenic Materials Confs. (Advances in Cryogenic Engineering Materials 32 Plenum Publishing)* (1986) 557
- 4) 青柳、東海林、幸坂、篠木、早川：電子通信学会技術研究報告、SCE85-34 (1985) 13
- 5) 小高、三村、湯田、中野、植木：電子通信学会技術研究報告、SCE84-36 (1984) 7
- 6) M. Aoyagi, H. Nakagawa, I. Kurosawa, and S. Takada: *Extended Abstracts of 1991 International Superconductive Electronics Conf.* (1991) 222
- 7) M. Aoyagi, H. Nakagawa, I. Kurosawa, and S. Takada: to be published in *Jpn. J. Appl. Phys.* (1992)
- 8) A. Shoji, F. Shinoki, S. Kosaka, M. Aoyagi, and H. Hayakawa: *Appl. Phys. Lett.* 41 (1982) 1097
- 9) A. Shoji, F. Shinoki, S. Kosaka, M. Aoyagi, and H. Hayakawa: *IEEE Trans. Magn.* MAG-19 (1983) 827
- 10) B. J. Lin: *Solid State Technol.* 26 (1983) 105
- 11) B. J. Lin: *J. Electrochem. Soc.* 127 (1980) 202
- 12) M. Aoyagi, H. Nakagawa, I. Kurosawa, and S. Takada: *IEEE Trans. Magn.* MAG-27 (1991) 3180

- 13) M. Aoyagi, H. Nakagawa, I. Kurosawa, Y. Okada, Y. Hamazaki, S. Kosaka, A. Shoji,  
and S. Takada: Extended Abstracts of 1989 International Superconductive Electronics  
Conf. (1989) 271
- 14) J. G. Simmons: J. Appl. Phys. 34 (1963) 1793

## 第4章 NbN ジョセフソン接合を用いた 集積回路技術

### 4.1 序

従来、NbN ジョセフソン接合を用いた集積回路技術としては、NbN 放電酸化膜トンネル障壁を用いた接合について開発が行なわれてきた<sup>1)</sup>。本章では、MgOトンネル障壁を用いた接合を使った集積回路作製技術について述べる<sup>2)</sup>。

NbN/MgO/NbN ジョセフソントンネル接合<sup>3)</sup>は、大きいギャップ電圧 (5mV)、小さいサブギャップリーク電流、高い超伝導臨界温度 (15K)、熱サイクルに対する高い安定性などの様々な特長を持っていることから、集積回路への適用が、期待されている。特に、メモリ回路においては、大きなギャップ電圧によって、メモリアクセス時間の短縮が予想されている。これは、インダクタンス負荷のストリップ線路において、信号の伝搬時間が駆動電圧に反比例するためである。本章の前半では、この NbN/MgO/NbN ジョセフソン接合を用いた大規模集積回路 (LSI) 作製技術について報告する<sup>4)</sup>。

本章の後半では、NbN/MgO/NbN ジョセフソン接合を用いた大規模集積回路 (LSI) 作製技術により、命令 ROM ユニット (IROU、Instruction Read Only Memoly Unit)<sup>5、6)</sup> と名付けた 10 ビット命令コード 128 語の読み出し専用メモリ (ROM、Read Only Memoly)<sup>7-9)</sup> 集積回路の試作と動作評価について報告する<sup>4)</sup>。この IROU は、ジョセフソンコンピュータ ETL-JC1<sup>10)</sup> のためのプログラムを保持することを目的として設計された。なお、ETL-JC1 は、演算ユニット (RALU、Register & Arithmetic Logic Unit)、シーケンス制御ユニット (SVCU、Sequence Control Unit)、データ RAM ユニット (DAMU、Data Random Access Memoly Unit)、IROU の 4 チップから構成される。この結果は、NbN/MgO/NbN トンネル接合についてジョセフソン LSI 作製技術への適用の可能性を世界で初めて実証したものである。

## 4.2 NbN ジョセフソン接合を用いた集積回路作製技術

### 4.2.1 膜の堆積工程

本節では、集積回路作製に用いる各種の膜の堆積について述べる。

Nb 膜の堆積は、高周波マグネトロンスパッタ法と直流マグネトロンスパッタ法の 2 種類の方法で行なった。接合用多層膜に用いる Nb 膜については、高周波マグネトロンスパッタ法により作製した。第 2.2 節で説明した NbN 膜の堆積に用いる図 2-1 に示す装置を使用する。15 cm 径の Nb ターゲット (99.9%) を使用して、アルゴンガス中で、ガス圧力 8 mTorr、高周波電力 400 W の条件で堆積を行なった。この条件で、厚さ 100 nm において、超伝導臨界温度は、8.9 K、残留抵抗比  $RRR = R_{300K} / R_{20K}$  は、2 であった。この条件のもとで、Nb 膜堆積速度は、90 nm/min であった。また、グラウンドプレーンに用いる Nb 膜については、直流マグネトロンスパッタ法により作製した。15 cm 径の Nb ターゲット (99.9%) を使用して、アルゴンガス中で、ガス圧力 8 mTorr、電圧 300 V、電流 1 A の条件で堆積を行なった。この条件で、厚さ 100 nm において、超伝導臨界温度は、9.1 K、残留抵抗比  $RRR = R_{300K} / R_{20K}$  は、5 であった。この条件で、膜の内部応力が最も小さくなる。この条件のもとで、Nb 膜堆積速度は、120 nm/min であった。

NbN 膜については、第 2.2 節で説明した方法によって作製された。

絶縁用の SiO<sub>2</sub> 膜は、抵抗加熱蒸着法によって、堆積速度 80 nm/min で作製した。成膜を行なう前の到達真空度は、 $1 \times 10^{-4}$  Pa であった。

エッチング保護用の MgO 膜は、電子ビーム蒸着法によって、堆積速度 2.5 nm/min で作製した。成膜を行なう前の到達真空度は、 $5 \times 10^{-4}$  Pa であった。

トンネル障壁用の MgO 膜の堆積工程については、第 2.7 節において説明した方法によって行なった。

抵抗用の Pd 膜<sup>1)1)</sup> は、電子ビーム蒸着法によって、堆積速度 20 nm/min で作製した。成膜を行なう前の到達真空度は、 $1 \times 10^{-5}$  Pa であった。

配線用の Pb-In 膜は、抵抗加熱蒸着法によって、堆積速度 80 nm/min (Pb)、30

nm/min (In) で作製した。成膜を行なう前の到達真空度は、 $1 \times 10^{-5}$  Paであった。

#### 4.2.2 リソグラフィ工程

露光装置は、紫外線 (g線、436 nm) による5対1縮小投影露光装置 (ステッパー) (NSR-1505G2A、ニコン製) を用いた。解像度は、 $1 \mu\text{m}$  厚のポジ型レジストに対して $1.2 \mu\text{m}$ 、NA値は、0.3、アライメント精度は、 $2\sigma = 0.25 \mu\text{m}$ であった。

レジストには、ポジ型のTSMR-8800 (東京応化製) とAZ-1400 (シプレイ製) を用いた。高解像度のTSMR-8800は、ドライエッチング工程に用いて、AZ-1400は、リフトオフ工程に用いた。ただし、ドライエッチングによるコンタクトホール形成工程では、例外的にAZ-1400を用いた。

リソグラフィ工程の手順を述べる。基板に対して、レジストを $1.5 \mu\text{m}$ 厚にスピコートし、 $90^\circ\text{C}$ でホットプレート上で3分プリベークを行なう。露光装置により、パターンを露光した後、現像を行なう。現像液は、マイクロポジット452 (シプレイ製) を用いた。3分水洗の後、スピン乾燥させる。 $110^\circ\text{C}$ で20分ポストベークを行なう。

以上が、リソグラフィ工程の手順である。なお、リフトオフ工程に用いる場合は、現像を行なう前に、モノクロルベンゼンに8分間侵潤させた。

#### 4.2.3 ドライエッチング工程

ドライエッチング工程は、第2.3節で説明した方法によって行なった。集積回路の作製工程においては、エッチングの均一性が重要である。このため、エッチングの途中で基板を $180^\circ$ 反転させ、エッチングが均一に行なわれるように工夫した。

#### 4.2.4 NbN/MgO/NbN トンネル接合の作製工程

NbN/MgO/NbN トンネル接合用多層膜は、スパッタ装置を用いて、連続的にNbN、MgO、NbN膜を堆積することによって形成した。個々の接合は、第2.7節で説明した

方法によって作製した。

#### 4.2.5 NbN/MgO/NbN トンネル接合を用いた集積回路作製工程

図4-1は、NbN/MgO/NbN 接合集積回路プロセスの工程図である。これにしたがって、集積回路プロセスの流れを以下に説明する。

1) 5 cm 径のSi ウエハー上に350 nm 厚のNb 膜をDCスパッタ法により堆積する。グラウンドプレーンのパターンをステツパにより TSMR-8800 レジストを用いて形成する。CF<sub>4</sub>ドライエッチングにより、Nb 膜をエッチングする。レジストを取り除く。グラウンド

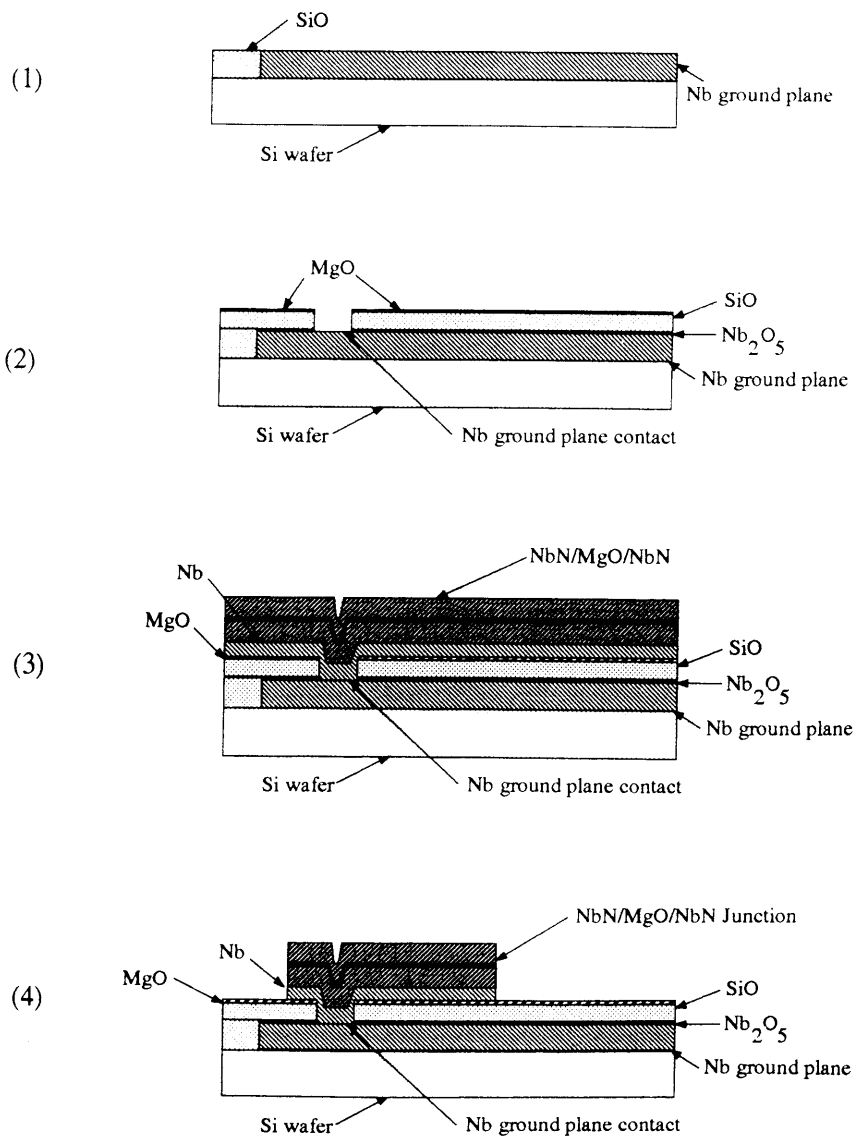


図4-1 NbN/MgO/NbN 接合集積回路プロセスの工程図



プレーンの周辺の段差を減らすために、250 nm 厚の SiO 膜を抵抗加熱蒸着法により堆積し、レジスト上の SiO 膜をリフトオフ法により取り除く。

2) グランドコンタクトのパターンをステツパにより TSMR-8800 レジストを用いて形成する。Nb 膜について、電圧 20 V で 10 分間、陽極酸化を行なう。水洗後に、90 °C で 30 分ベーキングし、乾燥させる。250 nm 厚の SiO 膜を抵抗加熱蒸着法、20

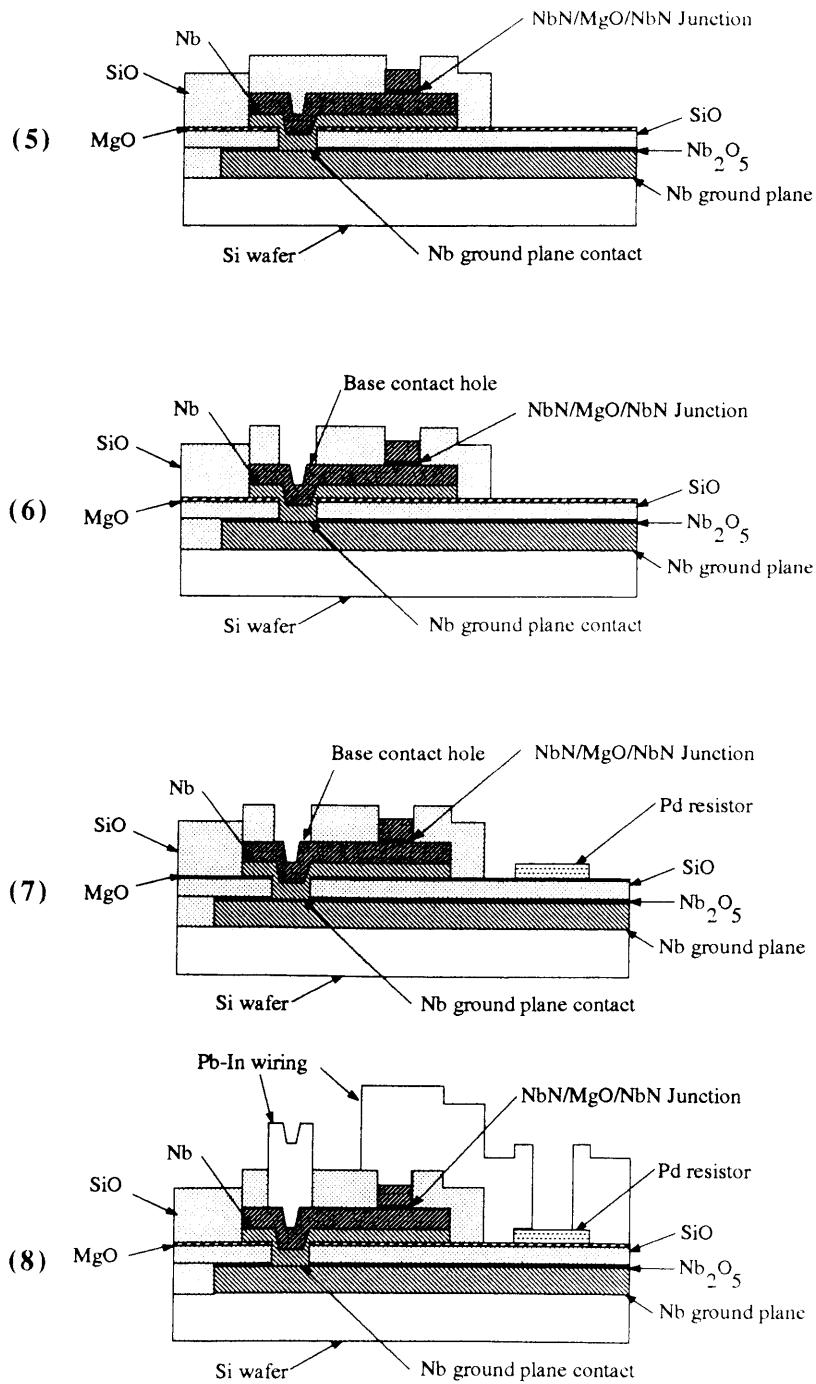


図 4 - 1 NbN/MgO/NbN 接合集積回路プロセスの工程図

nm 厚の MgO 膜を EB 蒸着法により堆積し、レジスト上の膜をリフトオフ法により取り除く。MgO 膜は、この後のエッチング工程において、エッチング保護層として機能する。

3) Ar スパッタによりコンタクト部のクリーニングを行なった後、100nm 厚の Nb 膜、100nm 厚の NbN 膜、0.5~0.8nm 厚の MgO トンネル障壁、150nm 厚の NbN 膜を連続的に RF マグネトロンスパッタにより堆積して、NbN/MgO/NbN 接合用多層膜を作製する。下層の Nb 膜には、下部電極の磁場侵入長を実効的に低減する効果がある。超伝導特性の均一性を向上させるため、ウエハーホルダーを自転させる。

4) 下部電極パターンをステッパにより TSMR-8800 レジストを用いて形成する。ドライエッチングにより、上層 NbN 膜をエッチングする。MgO トンネル障壁を 0.025% 磷酸でエッチングする。ドライエッチングにより、下層 NbN 膜、Nb 膜をエッチングする。レジストを取り除く。

5) 接合用のパターンをステッパーにより TSMR-8800 レジストを用いて形成する。上層の NbN 膜をドライエッチングにより取り除く。このエッチングは、MgO トンネル障壁で停止するため、下部電極は侵食されない。320 nm 厚の SiO 膜を蒸着により堆積し、レジスト上の膜を取り除く。

6) コンタクトホール用パターンをステッパにより AZ-1400 レジストを用いて形成する。ドライエッチングにより、絶縁用 SiO 膜をエッチングし、MgO トンネル障壁を 0.025% 磷酸でエッチングする。レジストを取り除く。

7) 抵抗用パターンをステッパーにより TSMR-8800 レジストを用いて形成する。40 nm 厚の抵抗用 Pd 膜を EB 蒸着法により堆積する。リフトオフ法によりレジスト上の膜を取り除く。

8) 抵抗用パターンをステッパーにより AZ-1400 レジストを用いて形成する。Ar スパッタによりコンタクト部のクリーニングを行なった後、900 nm 厚の Pb 膜、100 nm 厚の In 膜を抵抗加熱蒸着法により堆積する。リフトオフ法によりレジスト上の膜を取り除く。

このようにして、NbN ジョセフソン接合を用いたジョセフソン集積回路が作製される。表 4-1 に、完成したジョセフソン集積回路について、各層のパラメータをまとめて示した。

### 4.3 読み出し専用メモリ集積回路の試作と動作評価

#### 4.3.1 読み出し専用メモリ集積回路の設計

図 4-2 にIROUのブロック図を示す。IROU は、10 ビット×128 ワードのROM プレーン、6-64 アドレスデコーダ、ROM ドライバー、2 組のマルチプレクサー、アドレス入力バッファ、外部入力バッファ、命令出力バッファ、外部・内部命令制御回路から構成される。ROM プレーンには、ジョセフソンコンピュータ ETL-JC1 のためのプログラムが格納される。アドレスデコーダは、アドレス信号をデコードする。ROM ドライバーは、20 個の ROM セルを駆動する。マルチプレクサは、10 ビットの命令コードを切り替える。アドレス入力バッファは、入力された 7 ビットのアドレス信号を増幅する。外部入力バッファは、入力された外部 10 ビット命令コードを増幅する。命令出力バッファは、出力する命令コードを増幅する。外部・内部命令制御回路は、外部命令と内部命令の切り替えを行なうための信号を生成する。

IROU は、ETL-JC1 の中において次のように動作する。ある特定の 1 クロックサイ

Table 4-1 Layers for Josephson logic circuits

Layer	Material	Thickness (nm)
Ground plane	Nb	400
Planarization insulation	SiO	250
Ground plane insulation	Nb <sub>2</sub> O <sub>5</sub> /SiO/MgO	40/200/20
Base electrode	Nb/NbN	100/100
Tunnel barrier	MgO	0.7
Counter electrode	NbN	150
Junction insulation	SiO	320
Resistor	Pd	40
Wiring	Pb/In	900/100

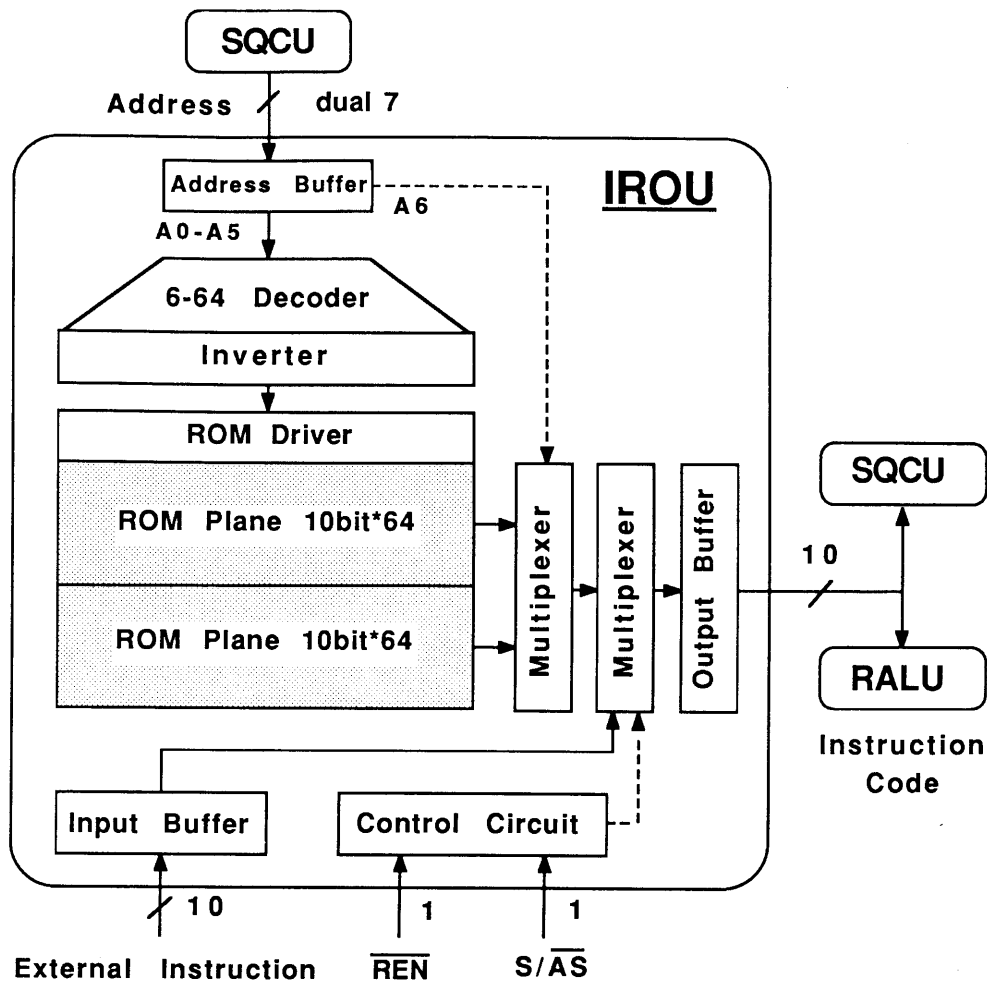


図 4-2 IROUのブロック図

クルを考える。初めに、SQCUが、生成した7ビットアドレス信号をアドレスバッファが受け取る。6-64アドレスデコーダが、7ビットアドレス信号の内の6ビット分をデコードする。選択されたROMドライバーが20個のROMセルを駆動する。2組の10ビット命令コードが生成される。第1のマルチプレクサは、7ビットアドレス信号の内の1ビット分にしたがって2組の命令コードの中から1組を選択する。第2のマルチプレクサは、制御回路が生成した信号にしたがって、外部命令と内部命令の選択を行なう。出力バッファは、選択された命令を増幅する。SQCUとRALUは、出力された命令を受け取り、その命令にしたがって種々の演算やレジスターの操作などを実行する。そして、次のクロックサイクルが開始する。

図4-3にコンピュータETL-JC1の1クロックサイクルにおけるIROUの動作を説明するためのタイミングチャートを示す。IROUにおいては、制御回路以外は、2相脈流電源<sup>1 2)</sup>における第1相(P1)の時間内で動作が行なわれる。なお、さらにアドレスデコーダのインバータを動作させるために、スプリット電源<sup>1 3)</sup>(Ps)を導入している。スプリット電源とは、同一相内でインバータを動作させるために考案された電源で、立ち上がりをP1またはP2の本来の時刻より遅らせてある。また、制御回路は、2相脈流電源のP1、P2両相を使って動作が行なわれる。

P1相が、t1の時刻で立ち上がった後、6-64アドレスデコーダは、SQCUから7ビットアドレス信号を受け取った時点で、その信号の内の6ビット分のデコードを開始する。スプリット電源が、P1相より遅れて、t2の時刻で立ち上がった時、デコーダに含まれるインバータが、信号を反転してROMドライバーに伝達する。選択されたROMドライバーは、ROMプレーンに対して信号を生成し、その後、ROMプレーンからは、2

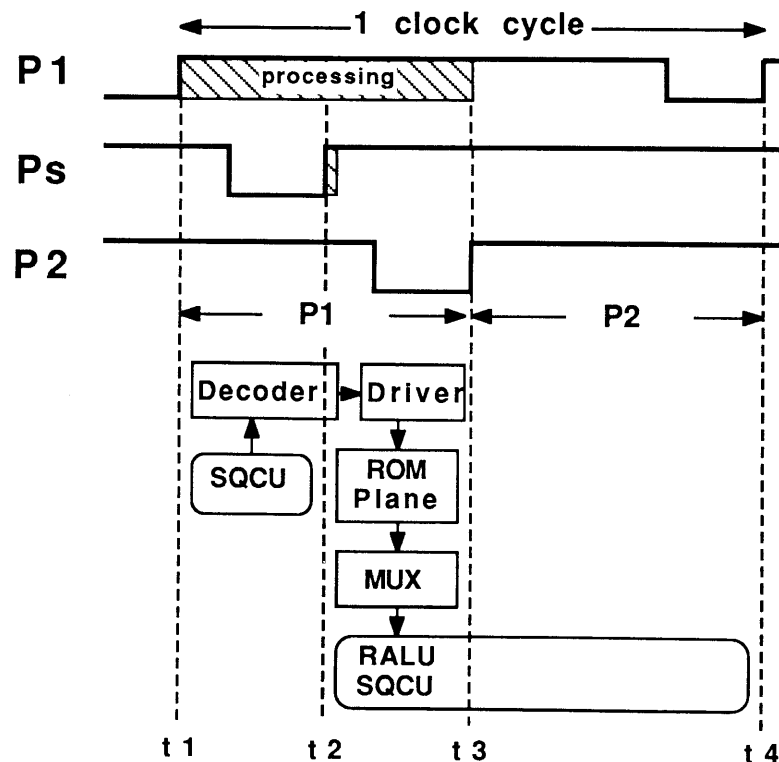


図4-3 コンピュータ ETL-JC1 の1クロックサイクルにおけるIROUの動作を表すタイミングチャート

組の10ビット命令コードが生成される。マルチプレクサが、アドレス信号の残りの1ビットによって1組の命令コードを選択する。そして、命令コードは、SQCUとRALUへ伝達される。

ROMセルの設計は、制御線用配線層の追加を避けるため平面型 dc-SQUID を基本にして行なわれた。したがって、ROM集積回路チップは、通常の論理集積回路と同じ層数で作製することができた。また、レゾナンス<sup>14)</sup>を抑制するためのダンピング抵抗を容易にROMセル内に配置することができた。

図4-4は、ROMセルの回路図とフォトマスクパターンを示す。図4-4(a)は、論理値1の"1"ROMセルであり、図4-4(b)は、論理値0の"0"ROMセルである。"1"ROMセルは、ダンピング抵抗を持つ平面型 dc-SQUID である。"0"ROMセルは、接合を短絡線に置き換えた構造になっている。"0"ROMセルの中には、超電導ループやジョセフソン接合は存在しないため、このセルは、電圧状態に遷移することはない。このようなジョセフソンROMセルの構成は、非常に広い動作マージンを持つ。セルの論理値は、配線の配置のみによって決まるので、いわゆる"マスクROM"として扱うことができる。配線工程は、ジョセフソン集積回路作製工程の中において最終工程であるので、ROMプレーン上に蓄積されるプログラムの変更は、容易に行うことができる。図4-4において、 $I_g$ は、セルに流れる電流を示し、 $I_c$ は、制御電流を示す。 $I_0$ は、臨界電流、 $L$ は、下部電極のループインダクタンス、 $L'$ は、制御線のインダクタンス、 $R_d$ は、ダンピング抵抗を示す。

それぞれのパラメータは、±33%以上の動作マージンを確保するために以下のよう設定した。ここで、 $LI_0$ は、 $0.2 \Phi_0$ とした。臨界電流  $I_0$ は、 $100 \mu A$ 、ループインダクタンス  $L$ は、 $4.1 \text{ pH}$ 、制御線のインダクタンス  $L'$ は、 $20 \text{ pH}$ 、ダンピング抵抗  $R_d$ は、 $1 \Omega$ である。このような条件の時、"1"ROMセルのしきい値特性は、75%バイアスにおいて、 $125 \mu A$ 以上の入力で電圧状態に遷移する特性を示す。図4-4のフォトマスクパターンにおいて、接合面積は、 $3 \mu m \times 6 \mu m$ 、下部電極と制御線の線幅は、それぞれ、 $11 \mu m$ と $5 \mu m$ である。ダンピング抵抗は、コンタクトホールを通して下部電極に接続さ

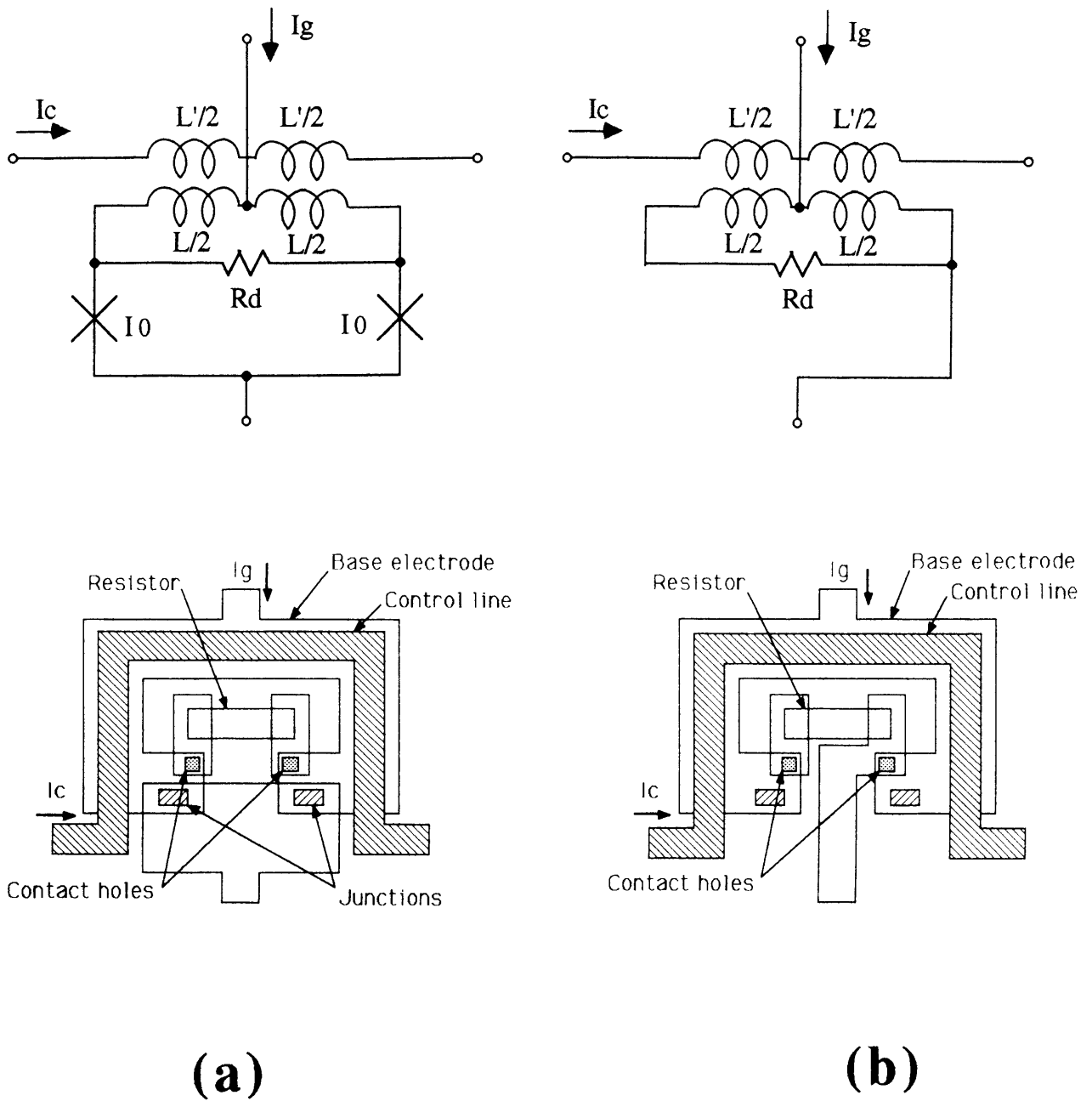


図 4-4 ROM セルの回路図とフォトマスクパターン

(a) 論理値 1 の "1" ROM セル、(b) 論理値 0 の "0" ROM セル

れる。"0" ROM セルでは、セル電流  $I_g$  は、接合をバイパスして、コンタクトホールを通して流れる。セルの大きさは、 $58\mu\text{m} \times 48\mu\text{m}$  である。

ビット線においては、64 個の ROM セルが直列に接続されている。ビット線の一方

の端は、グランドプレーンに接地され、他方の端は、電源供給抵抗と負荷抵抗に接続される。ROMプレーンは、20列のビット線から構成され、大きさは、 $3712\mu\text{m}\times 960\mu\text{m}$ である。

ROMプレーン上のプログラムの書き込みは、コンピュータを用いて自動化された手法によって行なわれた。図4-5に、ROMプレーン上に命令コードを書き込む方法の流れ図を示す。初めに、ニーモニックコードで書かれたソースプログラムをコンピュータ(DEC VAX11/780)上で二進の命令コードに変換する。ROMプレーン上のROMセルの配置が、変換された命令コードにしたがってコンピュータ(Apollo DN660)上で自動的に行なわれる。2種のROMセルのパターンデータとROMプレーン上の配置を表わすデータを組み合わせて、ROMプレーン用のフォトマスクパターンをパターンCAD(Applicon AGS 860)上で作成する。図4-6にニーモニックプログラムと翻訳された二進の命令コードを示す。このプログラムは、ジョセフソンコンピュータETL-JC1で実行される27種類の命令<sup>10)</sup>を試験することを目的として作成されたものである。

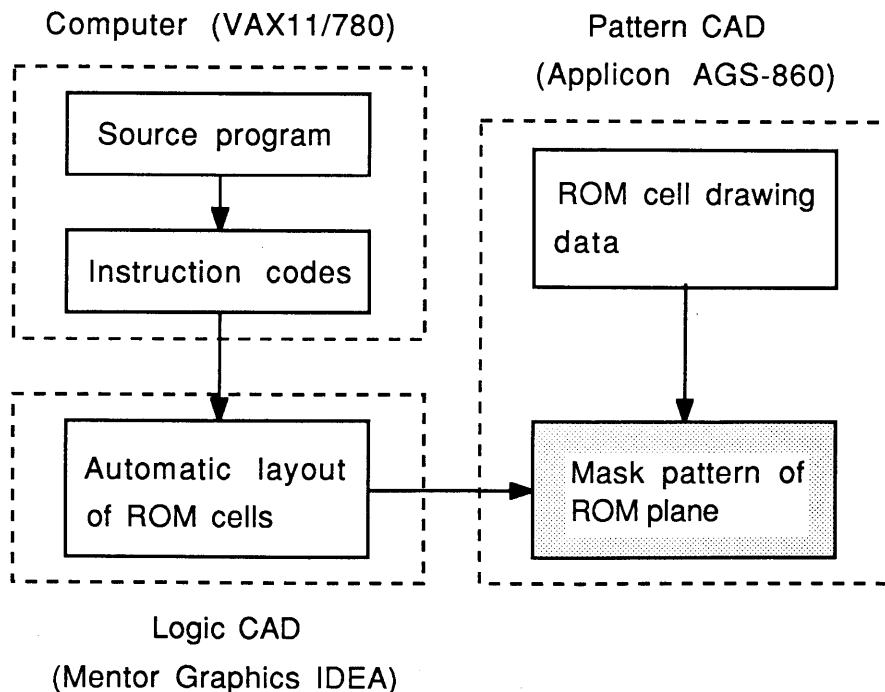


図4-5 ROMプレーン上に命令コードを書き込む方法の流れ図



Address	Instruction	Label	Mnemonic	Operand	Address	Instruction	Label	Mnemonic	Operand
0	0000000		JMP	DUMMY1	64	1000000		MVI	3, ACC
1	0000001		JMP	DUMMY1	65	1000001		SMA	
2	0000010		JMP	DUMMY1	66	1000010		SPA	
3	0000011	TEST1:	MVI	1, ACC	67	1000011		MVI	4, ACC
4	0000100		MVA	MD	68	1000100		MVI	F, ACC
5	0000101		MVI	2, ACC	69	1000101		SZA	
6	0000110		MVA	ML	70	1000110		SNA	
7	0000111		MVI	3, ACC	71	1000111		MVI	E, ACC
8	0001000		MVA	MH	72	1001000		SPA	
9	0001001		MOV	MD, ACC	73	1001001		SMA	
10	0001010		MOV	ML, ACC	74	1001010		MVI	D, ACC
11	0001011		MOV	MH, ACC	75	1001011		CAL	SUB1
12	0001100		MVI	6, MD	76	1001100		CAL	SUB2
13	0001101		MOV	MD, ML	77	1001101		JMP	DUMMY2
14	0001110		MOV	ML, MH	78	1001110	SUB2:	CAL	SUB1
15	0001111		MOV	MH, ACC	79	1001111	SUB1:	RET	
16	0010000		WTM		80	1010000	DUMMY2:	JMP	DUMMY2
17	0010001		MVI	F, MD	81	1010001		JMP	DUMMY2
18	0010010		MOV	MD, ACC	82	1010010	TEST2:	MVI	0, MD
19	0010011		RDM		83	1010011		MVI	0, ML
20	0010100		MOV	MD, ACC	84	1010100		MVI	0, MH
21	0010101		ADD	MD, ML	85	1010101	LHR:	MOV	MH, ACC
22	0010110		MOV	ML, ACC	86	1010110	LLR:	MOV	MD, ACC
23	0010111		ADD	MH, ML	87	1010111		WTM	
24	0011000		MOV	ML, ACC	88	1011000		RDM	
25	0011001		SUB	MH, ACC	89	1011001		XOR	MD, MD
26	0011010		SUB	MD, ACC	90	1011010		XOR	MD, ACC
27	0011011		AND	ML, ACC	91	1011011		XOR	MD, MD
28	0011100		XOR	MH, MD	92	1011100		MVI	1, ACC
29	0011101		MOV	MD, ACC	93	1011101		ADD	ML, ML
30	0011110		CMA	MD	94	1011110		SNC	
31	0011111		MOV	MD, ACC	95	1011111		JMP	LLR
32	0100000		OR	MH, MH	96	1100000		ADD	MH, MH
33	0100001		MOV	MH, ACC	97	1100001		SNC	
34	0100010		ANDI	6, ACC	98	1100010		JMP	LHR
35	0100011		ORI	8, MH	99	1100011		ADD	MD, MD
36	0100100		MOV	MH, ACC	100	1100100		SNC	
37	0100101		ADDI	1, ML	101	1100101		JMP	LHR
38	0100110		MOV	ML, ACC	102	1100110	DUMMY3:	JMP	DUMMY3
39	0100111		ADDI	5, MD	103	1100111		JMP	DUMMY3
40	0101000		MOV	MD, ACC	104	1101000	TEST3:	MVI	0, ML
41	0101001		RTR	ACC	105	1101001		MVI	0, MH
42	0101010		RTL	ACC	106	1101010	LHRL:	MOV	MH, ACC
43	0101011		SWAP		107	1101011	LLRL:	MVI	0101, MD
44	0101100		MOV	ML, ACC	108	1101100		WTM	
45	0101101		MOV	MH, ACC	109	1101101		RDM	
46	0101110		MVI	A, ML	110	1101110		MOV	MD, ACC
47	0101111		MOV	ML, MH	111	1101111		MVI	1010, MD
48	0110000		MOV	MH, ACC	112	1110000		WTM	
49	0110001		SWAP		113	1110001		RDM	
50	0110010		MOV	ML, ACC	114	1110010		MOV	MD, ACC
51	0110011		MOV	MH, ACC	115	1110011		MVI	1, ACC
52	0110100		SZC		116	1110100		ADD	ML, ML
53	0110101		CMC		117	1110101		SNC	
54	0110110		SNC		118	1110110		JMP	LLRL
55	0110111		SZC		119	1110111		ADD	MH, MH
56	0111000		MVI	1, ACC	120	1111000		JMP	LHRL
57	0111001		CMC		121	1111001	DUMMY4:	JMP	DUMMY4
58	0111010		SZC		122	1111010		JMP	DUMMY4
59	0111011		SNC		123	1111011	TEST4:	MVI	0, ACC
60	0111100		MVI	2, ACC	124	1111100	LBI:	ADDI	1, ACC
61	0111101		MVI	0, ACC	125	1111101		JMP	LBI
62	0111110		SNA		126	1111110	DUMMY5:	JMP	DUMMY5
63	0111111		SZA		127	1111111		JMP	DUMMY5

図 4-6 ニーモニックプログラムと翻訳された二進の命令コード

IROUの周辺回路は、4JL 論理ゲートファミリー<sup>15, 16)</sup>を用いて設計された。図4-7に4JL 論理ゲートファミリーの回路図を示す。(a)は、ORゲート、(b)は、ANDゲート、(c)は、INVERTゲート、(d)は、AMPゲートである。NbN/MgO/NbN 接合を用いた場合の各ゲートの電氣的パラメータを表4-2に示す。I1～I4は4JLゲートに含まれる接合の臨界電流値である。Ia, IbはANDゲートの、IsはINVERTゲートの単一接合の臨界電流値である。RpとRLは電源抵抗と負荷抵抗である。RaとRbはANDゲートの、RcはINVERTゲートの、またRdはAMPゲートのそれぞれ入力電流バイパス抵抗を示す。ファンイン1およびファンアウト1に対応する電流レベルは、外部環境からの雑音を考慮して $100\mu\text{A}$ に設定された。論理ゲートは、NbN/MgO/NbN 接合技術に

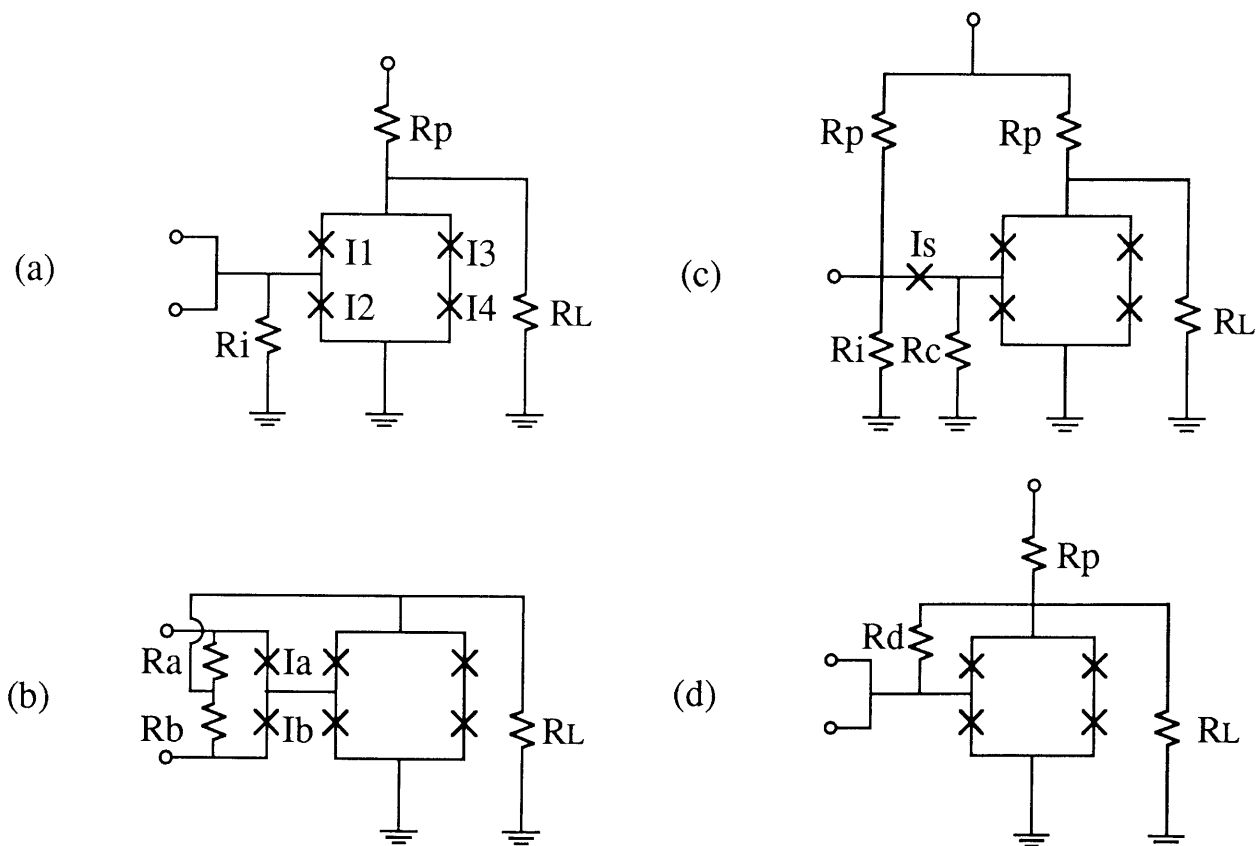


図4-7 4JL 論理ゲートファミリーの回路図 (a) ORゲート、(b) ANDゲート、(c) INVERTゲート、(d) AMPゲート

Table 4-2 Electrical parameters of the 4JL family gates

4JL FAMILY	PARAMETERS
OR-gate	$I_1=I_2=I_3/3=I_4/3=0.05\text{mA}$ , $R_i=3.5\Omega$ , $R_p=133\Omega$ , $R_L=14\Omega$
AND-gate	$I_1=I_2=I_3/2=I_4/2=I_a/2=I_b/2=0.05\text{mA}$ , $R_a=R_b=7\Omega$ , $R_L=7\Omega$
INVERT-gate	$I_1=I_2=I_3/2=I_4/2=I_s/2=0.05\text{mA}$ , $R_c=5\Omega$ , $R_{p1}=R_{p2}=133\Omega$ , $R_L=14\Omega$
AMP-gate	$I_1=I_2=I_3/2=I_4/2=0.067\text{mA}$ , $R_d=7\Omega$ , $R_p=166\Omega$ , $R_L=7\Omega$

基づいて、75%の標準バイアスレベルにおいて、±33%の広い動作マージンを示すように設計された。電源電圧は、接合のギャップ電圧の4倍の20 mVに設定された。

アドレスデコーダは、7ビットのアドレスデータのうち6ビットをデコードして64本のうちから1本を選択する回路である。それは、6-64 ORデコーダとインバータから構成される。インバータは、スプリット電源で駆動される。このようなOR-INVERT型デコーダは、通常のAND型デコーダに比べて、動作マージンの拡大とゲート数の小量化を可能にする。本デコーダは、64個のORゲート、108個のOR-AMPセル、64個のINVERTゲートからなる。ここで、OR-AMPセルは、ORゲートとAMPゲート1個ずつからなる。

ROMドライバーは、ROMセルを駆動するのに十分な電流を確保するための信号増幅回路である。それは、64個のドライバーユニットから構成される。1個のドライバーユニットは、2個のOR-AMPセルからなり、同時に20個のROMセルを駆動する。第2のOR-AMPセルは、第1のセルの2倍のゲート電流に設定された。ドライバーユニットの出力電流は、 $420\mu\text{A}$ で、ROMセルを駆動するのに十分な値である。

マルチプレクサは、2組の10ビット信号の中から1組の10ビット信号を選択する回路である。それは、10個のOR-ANDセルと8個のOR-AMPセルから構成される。ここで、OR-ANDセルは、ORゲートとANDゲート1個ずつからなる。第1のマルチプレク

サは、7ビットアドレスデータの最上位ビットにしたがって、上下2組のROMプレーンの内の1組を選択する。第2のマルチプレクサは、 $\overline{\text{REN}}$  および  $\overline{\text{S/AS}}$  信号にしたがって外部命令と内部命令の切り替えを行なう。

外部／内部命令制御回路は、外部命令と内部命令を切り替えるための信号をマルチプレクサに与える回路である。それは、2個のPN-LATCH<sup>17)</sup>、1個のP-LATCH、2個のORゲートと1個のOR-ANDセルから構成される。 $\overline{\text{REN}}$  および  $\overline{\text{S/AS}}$  信号のどちらも"0"の時は、ROMプレーンの内の内部命令が絶えずマルチプレクサによって選択される。 $\overline{\text{S/AS}}$  が"0"で、 $\overline{\text{REN}}$  が"1"になった時は、次のクロックサイクルにおいて一回だけ外部命令が選択され、その次からは内部命令が選択される。 $\overline{\text{REN}}$  と  $\overline{\text{S/AS}}$  が共に"1"の時は、外部命令が選択される。このような機能は、ジョセフソンコンピュータ ETL-JC1 において、割り込み、初期化、開始などの実行を可能にする。

IROU の設計性能は、以下のように評価された。75%バイアス時の4JLゲートファミリーの論理遅延の設計値を基にしてIROUのアクセス時間を計算すると、570psであった。内訳は、デコード時間が385ps、ROMアクセス時間が40ps、その他の遅延が145psである。この時、全体の消費電力は、電源レギュレータ用接合を含んで、2.25mWと計算された。

#### 4.3.2 読み出し専用メモリ集積回路の作製

図4-8には、ROM集積回路チップの断面図を示す。以下に、集積回路作製の手順を説明する。400nm厚のNbグラウンドプレーンと200nm厚のSiO<sub>2</sub>絶縁膜をSiウェハー上に堆積する。その上に、Nb、下部NbN、MgO、上部NbN膜を連続的にそれぞれ厚さ100nm、100nm、0.7nm、150nmだけ堆積して、Nb-NbN-MgO-NbN多層膜を形成し、これをCF<sub>4</sub>プラズマを用いたリアクティブイオンエッチング(RIE)によって加工し、個々の接合を作製する。ここで、Nb膜は、下部NbN電極の磁場侵入長を実効的に減少させるために用いられた。ジョセフソン臨界電流密度の設計値は、560A/cm<sup>2</sup>であった。電極間の絶縁層には、SiO<sub>2</sub>蒸着膜を用いた。20nm厚のMgO蒸着膜

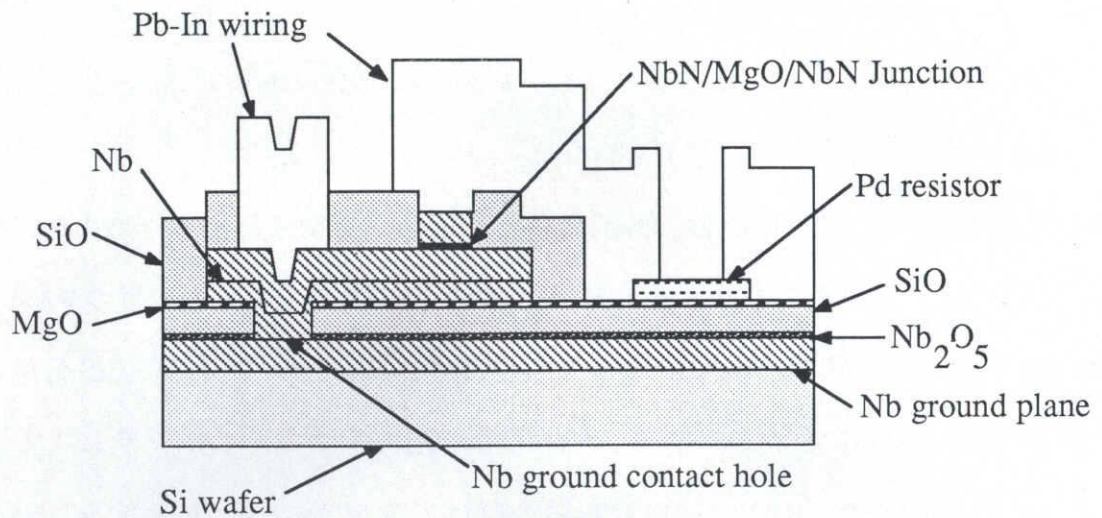


図 4-8 ROM 集積回路チップの断面図

が、RIE 工程に対するグラウンドプレーン絶縁膜の保護層として用いられた。抵抗は、40 nm 厚の Pd 蒸着膜を用いた。シート抵抗値の設計値は、3.5 Ωであった。配線には、1 μm 厚の Pb-In 合金蒸着膜を用いた。

図 4-9 は、作製された ROM 集積回路チップの顕微鏡写真を示す。寸法は、5 mm × 3.45 mm であった。チップ上には、1024 個の ROM セルと 789 個の 4 JL ゲートが集積された。全体の接合数は、電源電圧レギュレータ用接合を含めて 5943 個であった。

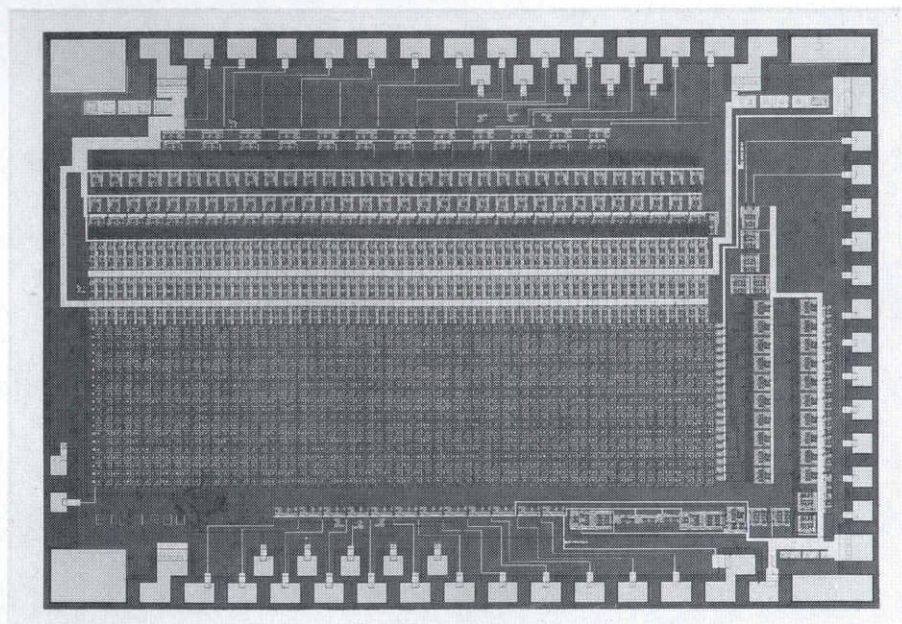
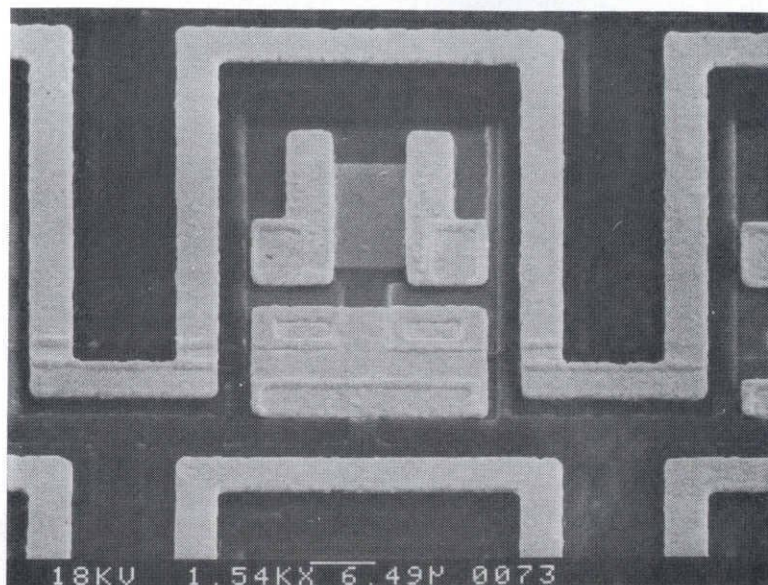


図 4-9 作製された ROM 集積回路チップの顕微鏡写真

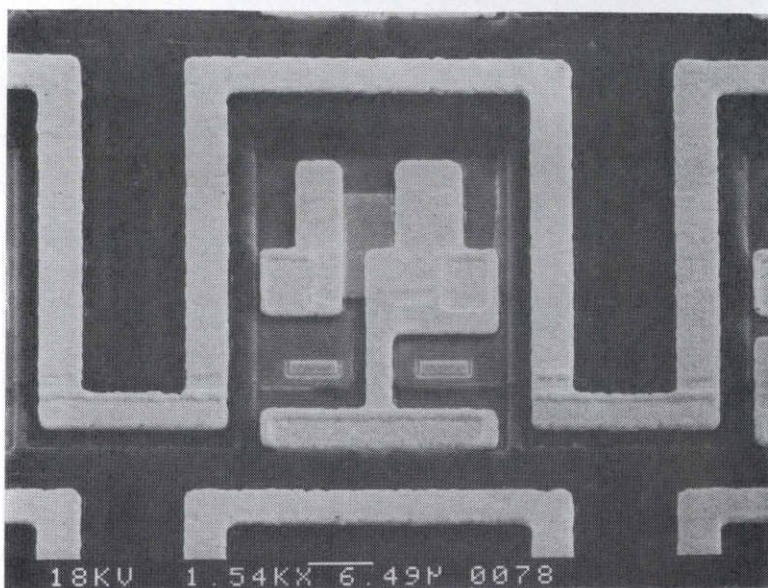


### 4.3.3 実験結果と考察

図4-10に、作製されたROMセルのSEM写真を示す。(a)は、"1"の論理値を持つROMセルであり、(b)は、"0"の論理値を持つROMセルである。接合の寸法は、 $3\mu\text{m} \times 6\mu\text{m}$ であった。下部電極と制御線の幅は、それぞれ $11.5\mu\text{m}$ であった。"1"



(a)



(b)

図4-10 作製されたROMセルのSEM写真

(a) 論理値1の"1"ROMセル、(b) 論理値0の"0"ROMセル



ROMセルにおいて、ダンピング抵抗は、コンタクトホールを通して下部電極に接続された。"0" ROMセルにおいて、セルの電流は、接合をバイパスし、コンタクトホールを通して流れる。セルの寸法は、両者とも  $58\mu\text{m} \times 48\mu\text{m}$  であった。

図4-11は、ROMプレーンの一部を示すSEM写真である。"1" または "0" ROMセルが、プログラムの内容にしたがって配置されている。一番下にある4個のROMセルは、「0101」のコードに対応している。ROMプレーンの寸法は、 $3712\mu\text{m} \times 960\mu\text{m}$  であった。

ROM集積回路チップの動作試験は、4重の円筒状パーマロイ磁気遮蔽を施された真空断熱容器に蓄えられた4.2Kの液体ヘリウム中で行なった。チップを取付けるアセンブリーは、非磁性材料を用いて作製され、2重の缶状クライオパーム磁気遮蔽で覆われた状態で使用された。これらの磁気遮蔽は、測定チップを室温から液体ヘリウム温度まで冷却する際に、地球磁場をトラップしてしまう現象を低減するために用いられた。

8個の動作可能なROM集積回路チップが2回目の作製で得られた。チップの歩留まりは、50%であった。最も良好なチップにおいて、数十ビットについて読み出し動

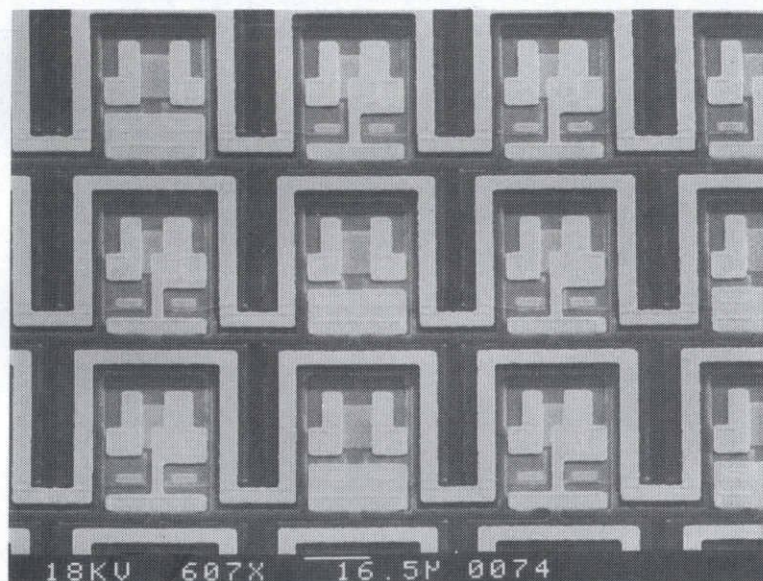
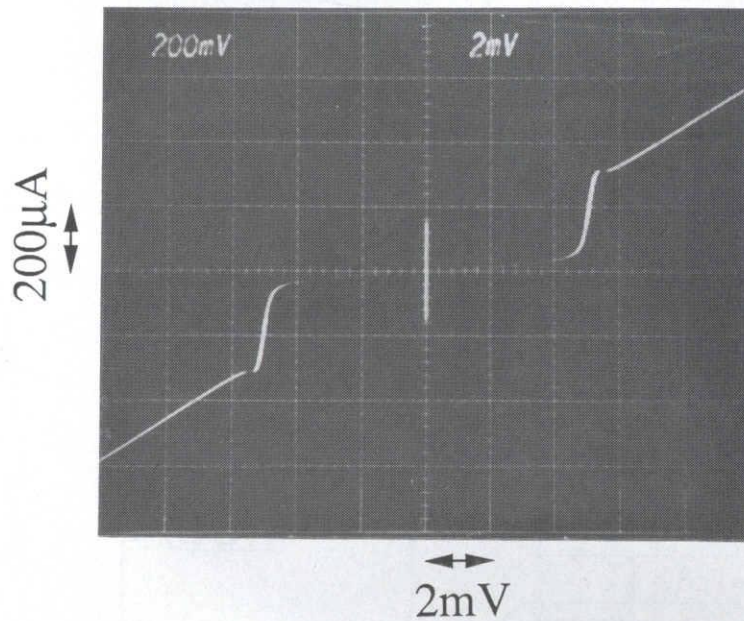


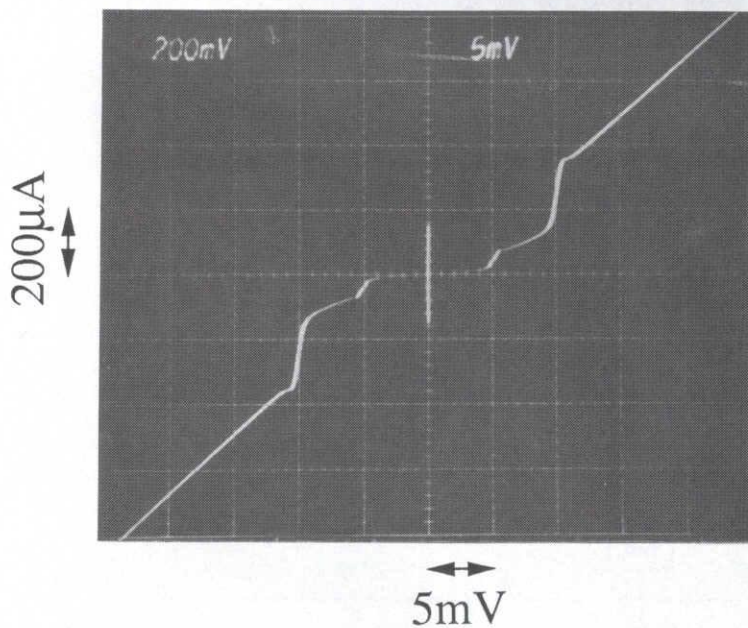
図4-11 作製されたROMプレーンの一部を示すSEM写真

作試験を行ない、正常な動作を確認した。

図4-12(a)は、8個のROM集積回路チップと同じウエハー上に作製された一つの"1"ROMセルの電流電圧特性を示す。最大セル電流は、160 $\mu$ Aであった。これは、設計値より20%低い値であった。ギャップ電圧は、5mVであった。Vm値は、電圧2



(a)



(b)

図4-12 4.2 Kで測定した(a) "1" ROMセルの電流電圧特性、  
(b) 4JL-ORゲートの電流電圧特性



mVについて27mVであった。図4-12(b)は、同様に作製された一つの4JL-ORゲートの電流電圧特性を示す。最大ゲート電流は、160mAであった。これは、設計値より20%低い値であった。このゲートでは、ギャップ電圧の2倍に相当する10mVの電圧が発生することが分かる。

次に、ROM集積回路上のクリティカルパスによるアクセス時間の測定方法について述べる。図4-13には、ROM集積回路のブロックダイアグラムを示す。この図中に、測定されたクリティカルパスを太線で示した。この経路において、第一番目のワード線の最も端に位置する"1"ROMセルがアクセスされ、そのセルの値"1"が読み出された。測定には、8個の4JLゲートが用いられ、G1とG5は、トリガゲート、G2とG6は、信号の流れを変えるためのバイパスゲート、G3とG7は、バイパスゲートによる遅れ

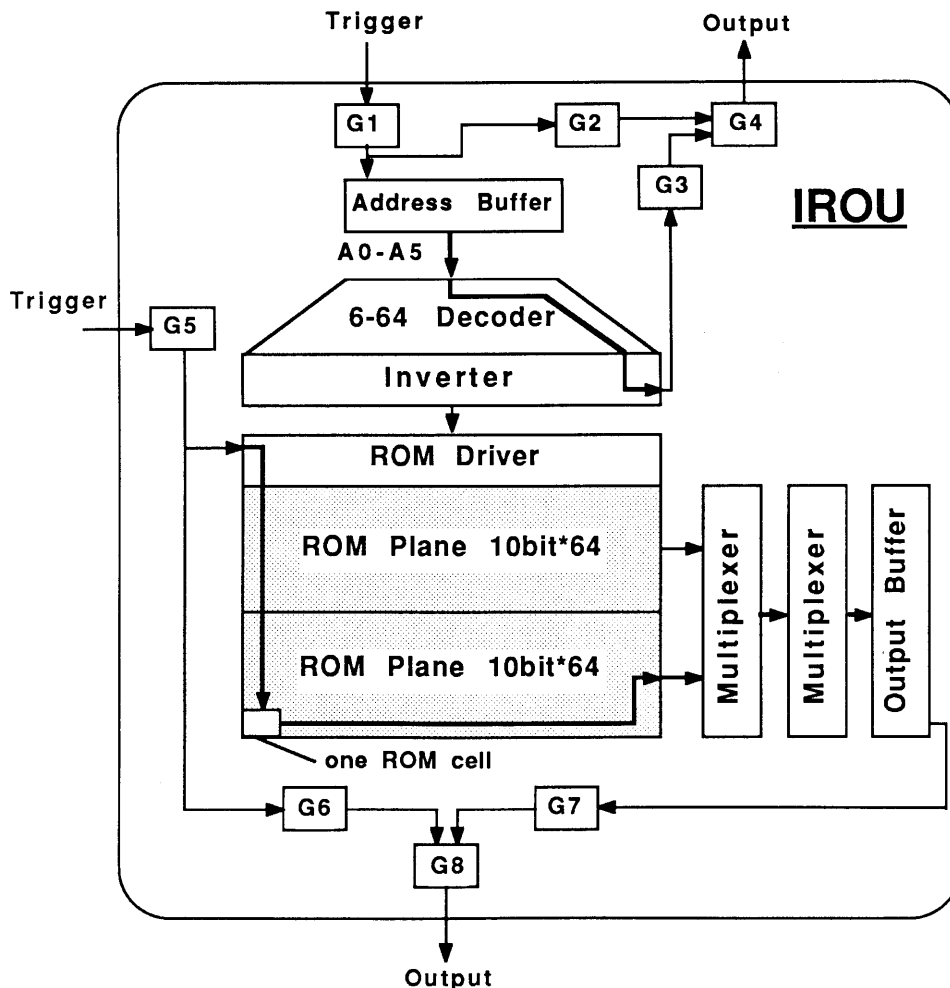
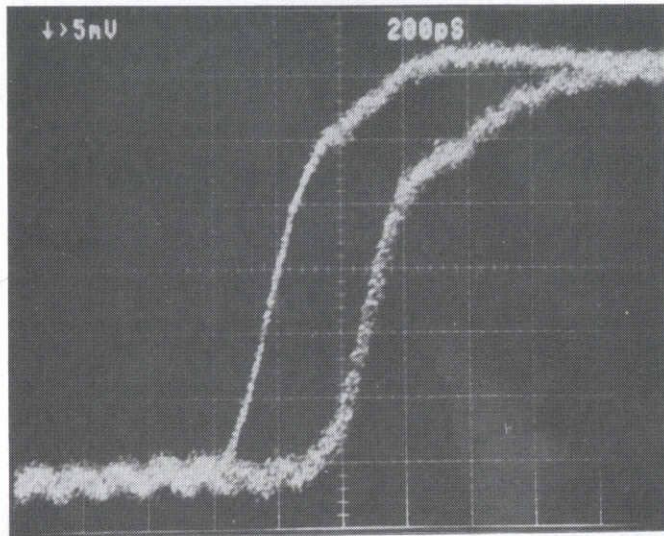


図4-13 アクセス時間の測定経路を示したROM集積回路のブロック図

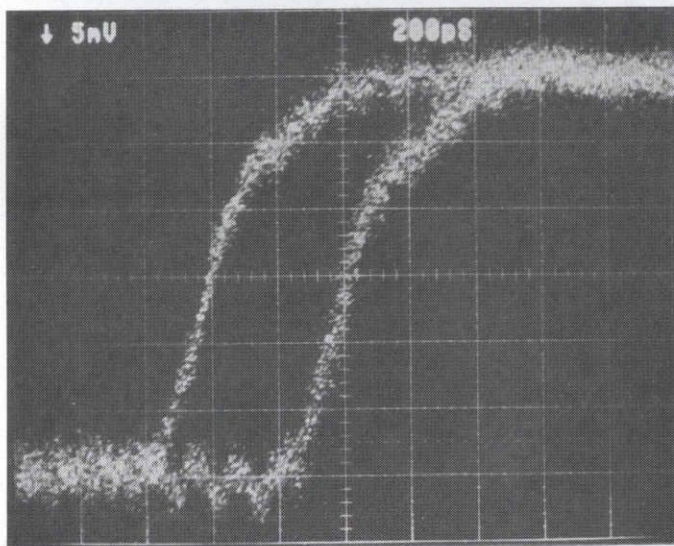
を相殺するためのタイミングゲート、G4 と G9 は、出力ゲートである。電源は、それぞれのゲートに対して独立に供給する。測定対象となる回路の遅延は、測定用ルートとバイパスルートをそれぞれ伝搬する信号の時間差を測定して評価された。測定用の 4 JL ゲートは、それらのルートにおける配線遅延が等しくなるように配置された。

最良のチップについて行なったアクセス時間の測定結果を述べる。図 4-1 4 (a) は、



(a)

200pS



(b)

200pS

図 4-1 4      アクセス時間の測定結果  
 (a) 入力バッファとデコーダを経由した時間  $T_1$ 、  
 (b) ROM ドライバー、ROM プレーン、マルチプレクサー、  
 出力バッファを経由した時の時間  $T_2$

入力バッファとデコーダを経由した時の時間  $T_1$  で、310 ps であった。図 4-14 (b) は、ROM ドライバー、ROM プレーン、マルチプレクサー、出力バッファを経由した時の時間  $T_2$  で、400 ps であった。それぞれ、あらかじめ計算により予想された値は、(a) が、290 ps、(b) が、280 ps であった。結果として、全体のアクセス時間 ( $T_1 + T_2$ ) は、710 ps となり、予想値 570 ps より 25% 大きな値となった。この時のチップ全体の消費電力は、電源レギュレータ用接合を含んで、1.8 mW であった。

表 4-3 は、アクセス時間の測定結果を Nb 接合技術で作製した集積回路チップの結果<sup>6)</sup>と比較してまとめたものである。全体のアクセス時間は、Nb チップに比べて 1.8 倍と長くなった。この原因として、平均のゲート電流が Nb チップに比べて 40% 低いことと、Nb 接合に比べて接合容量が 1.4 倍と大きいことが、考えられる。論理ゲートの遅延時間は、ゲートの容量  $C$  と負荷抵抗  $R$  による  $CR$  時定数と接合のターンオン遅延からなる。 $CR$  時定数は、 $R$  がほぼ一定なので 1.4 倍になり、ターンオン遅延は、 $C_0/I_0$  の平方根に比例する<sup>1,8)</sup> ことから、1.6 倍になると計算される。したがって、論理ゲートの遅延時間は、Nb チップに比べて 1.4 ~ 1.6 倍になると予想される。さらに、計算よりも実際の論理ゲートの遅延時間が大きくなった原因としては、平均のゲート電流が 40% 低くなったことにより、外部ノイズの影響が増大し、論理ゲートのバイアスレベルが低くなったことが考えられる。

一方、ROM プレーンにおけるアクセス時間については、NbN 接合の大きいギャップ電圧によって、短縮されると予想されたが、今回の実験では、明確に観測されなかつ

Table 4-3 Results of the access time measurement

	NbN	Nb
$T_1$	310 ps	170 ps
$T_2$	400 ps	220 ps
Total	710 ps	390 ps

た。これは、平均のROMセル電流が40%低くなったことにより、外部ノイズの影響が増大し、ROMセルのバイアスレベルが低くなったことが原因と考えられる。

なお、NbN/MgO/NbN接合を用いたLSIレベルの集積回路において、高速動作を達成するためには、より微小な接合を用いる必要があると考えられる。このような微小な接合の作製工程については、第6章で詳しく述べる。

ジョセフソン臨界電流の均一性をROM集積回路チップの電源電流レベルから評価を行なった。動作試験を行なった8チップの中で、電源電流レベルの偏差は、±10%であった。それらのチップは、3cm平方の領域内に分布している。したがって、実際の集積回路において、ジョセフソン臨界電流の均一性について、以前に比べて大幅な改善が実証された。

#### 4.4 結 言

NbN/MgO/NbNジョセフソントネル接合を用いた大規模集積回路(LSI)作製技術について詳しく述べた。続いて、集積回路作製技術に基づいて、IROUと名付けた読み出し専用メモリ(ROM)集積回路の設計とその集積回路チップの作製について報告した。作製されたチップの動作試験については、アクセス時間の測定を中心に詳しく述べた。

この結果より、NbN/MgO/NbNトンネル接合についてジョセフソンLSI作製技術への適用の可能性が世界で初めて実証された。

#### 第4章 参考文献

- 1) S. Kosaka, H. Nakagawa, H. Kawamura, Y. Okada, Y. Hamazaki, M. Aoyagi, I. Kurosawa, A. Shoji, and S. Takada: *IEEE Trans. Magn.* MAG-25 (1989) 789
- 2) M. Aoyagi, A. Shoji, S. Kosaka, H. Nakagawa, and S. Takada: *IEEE Trans. Magn.* MAG-25 (1989) 1223
- 3) A. Shoji, F. Shinoki, S. Kosaka, M. Aoyagi, and H. Hayakawa: *Appl. Phys. Lett.* 46 (1985) 1098
- 4) M. Aoyagi, H. Nakagawa, I. Kurosawa, and S. Takada: *IEEE Trans. Mang.* MAG-27 (1991) 3180
- 5) M. Aoyagi, H. Nakagawa, I. Kurosawa, Y. Okada, Y. Hamazaki, S. Kosaka, A. Shoji, and S. Takada: *Extended Abstracts of 1989 International Superconductivity Electronics Conf.* (1989) 271
- 6) M. Aoyagi, H. Nakagawa, I. Kurosawa, S. Kosaka, Y. Okada, Y. Hamazaki, and S. Takada: *IEEE J. Solid-State Circuits* 25 (1990) 971
- 7) H. Beha: *IEEE J. Solid-State Circuits* SC-21 (1986) 353
- 8) Y. Hatano, S. Yano, M. Hirano, Y. Tarutani, and U. Kawabe: *Extended Abstracts of 1987 International Superconductivity Electronics Conf.* (1987) 239
- 9) 黒沢、仲川、八木、高田、早川：電子通信学会総合全国大会 第2分冊 (1984) 117
- 10) 岡田、濱崎、仲川、幸坂、黒沢、青柳、高田：電子情報通信学会技術研究報告 SCE88-35 (1988) 49
- 11) K. Kuroda, J. Nakano, M. Yuda, and M. Ueki: *Electron. Lett.* 23 (1987) 163
- 12) 岡田、濱崎、曾川、大東、仲川、早川：電子情報通信学会技術研究報告 EC-81 (1982) 148
- 13) 岡田、濱崎、仲川、高田：電子情報通信学会総合全国大会 第2分冊 (1987) 81
- 14) H.H. Zappe and B.S. Landman: *J. Appl. Phys.* 49 (1978) 344

- 15) H. Nakagawa, S. Kosaka, H. Kawamura, I. Kurosawa, M. Aoyagi, Y. Okada,  
Y. Hamazaki, and S. Takada: *IEEE J. Solid-State Circuits* 24 (1989) 1076
- 16) 仲川、黒沢、高田：電子技術総合研究所彙報 53 (1989) 737
- 17) 曾川、仲川、濱崎、高田、岡田、早川：電子技術総合研究所彙報 48-4  
(1989) 72
- 18) E.P. Harris: *IEEE Trans. Magn.* MAG-15 (1979) 562

## 第5章 ジョセフソン接合作製技術の高度化 I

--a-Si:Hトンネル障壁による接合の低容量化--

### 5.1 序

本章では、ジョセフソン接合作製技術の高度化の一つとして、水素化アモルファスシリコン (a-Si:H) トンネル障壁による接合の低容量化について述べる<sup>1)</sup>。ジョセフソン接合のデジタル応用において、論理遅延を小さくするためには、接合容量を小さくし、CR 時定数を小さくすることが重要である。また、接合容量の低減には、パンチスルー確率<sup>2-4)</sup>を減少させる効果も期待される。なお、パンチスルーとは、ジョセフソン接合をリセットするため、バイアス電流をゼロにする際に、その掃引速度が速すぎるとゼロ電圧状態にもどらならないで有限電圧状態に確率的に移行してしまう現象を意味している。

前半で、トンネル障壁として低誘電率の水素化アモルファスシリコン (a-Si:H) 膜を用いたNbNジョセフソン接合の作製と接合特性について、詳細に報告する。後半で、この接合を用いた論理回路の作製と動作実験について、報告する。

### 5.2 a-Si:H トンネル障壁を用いたNbN 接合の作製

接合の作製には、以下に述べる工程で行なった。初めに、Si 基板全面にNb グランドプレーン、SiO 絶縁膜を堆積させた後に、Nb/NbN/a-Si:H/NbN 多層膜を同一真空槽内で、作製する。基板全面にできた接合より、CF<sub>4</sub> プラズマを用いたドライエッチングにより、微小面積の接合を形成する。さらに、SiO 絶縁槽とNb 配線層を形成して、接合を完成させる<sup>5)</sup>。

図5-1に接合の断面図を示す。接合の大きさは、2.5～40 μm角であり、下部Nb電極の厚さは、150 nm、下部、上部NbN電極の厚さは、100 nm、上部Nb電極の厚さは、500 nmである。

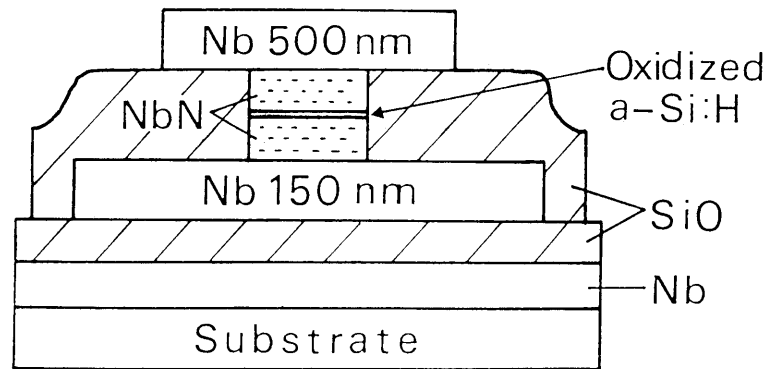


図 5-1 作製した接合の断面図

各膜の作製には、15 cm 径のSi とNbのターゲットが、配置された高周波マグネトロンスパッタ装置を用いて、以下に述べる手順で行なった。到達真空度は、 $3 \times 10^{-5}$  Paであった。

NbN 膜は、Ar + 6 %N<sub>2</sub> 混合ガスを用いて、圧力 8.5 mTorr、高周波電力 450 W で、作製した。堆積速度は、45 nm/min であった。Nb 膜は、Ar ガスを用いて、圧力 8 mTorr、高周波電力 450 W で、作製した。堆積速度は、90 nm/min であった。また、a-Si:H 膜は、Ar + 20 %H<sub>2</sub> 混合ガスを用いて、圧力 5 mTorr、高周波電力 25 W で、作製した。各膜の作製時には、特に基板加熱を行なわなかった。

a-Si:H 膜の堆積には、数nm の膜厚を制御するために、特殊な堆積方法を導入した。つまり、Si ターゲットがプラズマによりスパッタされている間、基板の置かれたターンテーブルを回転させることによって、基板に対して間欠的に堆積が行なわれるようにした。この方法により、a-Si:H 膜の厚さは、高精度に制御された。回転速度が 7 turns/min の時、堆積速度 0.06 nm/turn が得られた。ここで、堆積速度は、数百回の回転により得られた厚い膜 (20 nm 厚) の厚さを測定して、評価した。また、a-Si:H 膜の作製において、水素化を行なうことにより、真空槽内の残留ガスの影響が抑えられ、トンネル特性の再現性が向上した。



堆積された a-Si:H 膜に対して、放電酸化を行なった。その条件は、以下のものであった。Ar + 10%O<sub>2</sub> 混合ガスを用いて、圧力 10 mTorr、バイアス電圧 30 V で行なった。この酸化は、a-Si:H 膜中のピンホールに起因するリーク電流を抑制することを目的とした。

### 5.3 接合特性の評価

作製した接合の電流電圧特性を図 5-2 に示す。図 5-2 (a) は、a-Si:H 膜の厚さ 1 nm、

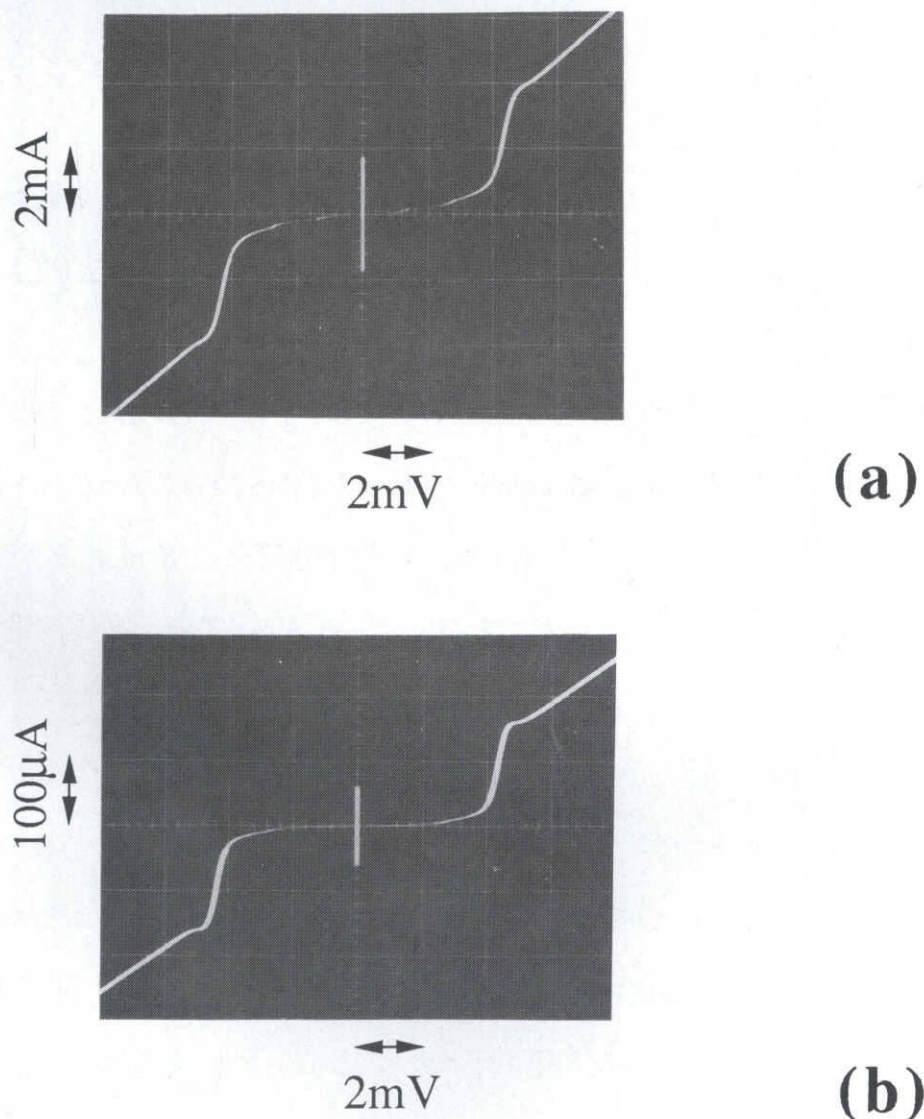


図 5-2 4.2 K で測定した作製した接合の電流電圧特性  
(a) a-Si:H 膜の厚さ 1 nm、酸化時間 5 分、  
(b) a-Si:H 膜の厚さ 1.5 nm、酸化時間 10 分

酸化時間 5 分の場合である。10  $\mu\text{m}$  角の接合で、臨界電流密度  $J_c = 1.75 \text{ KA/cm}^2$ 、サブギャップリークパラメータ  $V_m (= I_c R_{sg}) = 1.6 \text{ mV}$  が得られた。ただし、 $R_{sg}$  は、2 mV で定義したサブギャップ抵抗である。図 5-2 (b) は、a-Si:H 膜の厚さ 1.5 nm、酸化時間 10 分の場合である。40  $\mu\text{m}$  角の接合で、 $J_c = 3.5 \text{ A/cm}^2$ 、 $V_m (= I_c R_{sg}) = 3.5 \text{ mV}$  が得られた。酸化時間を長くすると、 $V_m$  の大きい接合が得られるが、 $J_c$  が低くなる。

$J_c$  は、a-Si:H バリアの厚さ ( $d_{si}$ ) と酸化時間によって、決まると考えられる。酸化時間が 5 分と 7.5 分の時、 $J_c$  の  $d_{si}$  に対する依存性を図 5-3 に示す。酸化時間が 5 分から 7.5 分に増加すると、 $J_c$  は一桁減少する。これは、酸化時間の増加によって、a-Si:H バリアのバリア高さが増加するためと推察される。

#### 5.4 接合容量の評価

作製した接合の接合容量の値は、接合の Fiske step<sup>6, 7)</sup> と SQUID のレゾナンス<sup>8, 9)</sup> の測定から求めた。接合の Fiske step は、接合が電圧状態になったとき、励起される AC

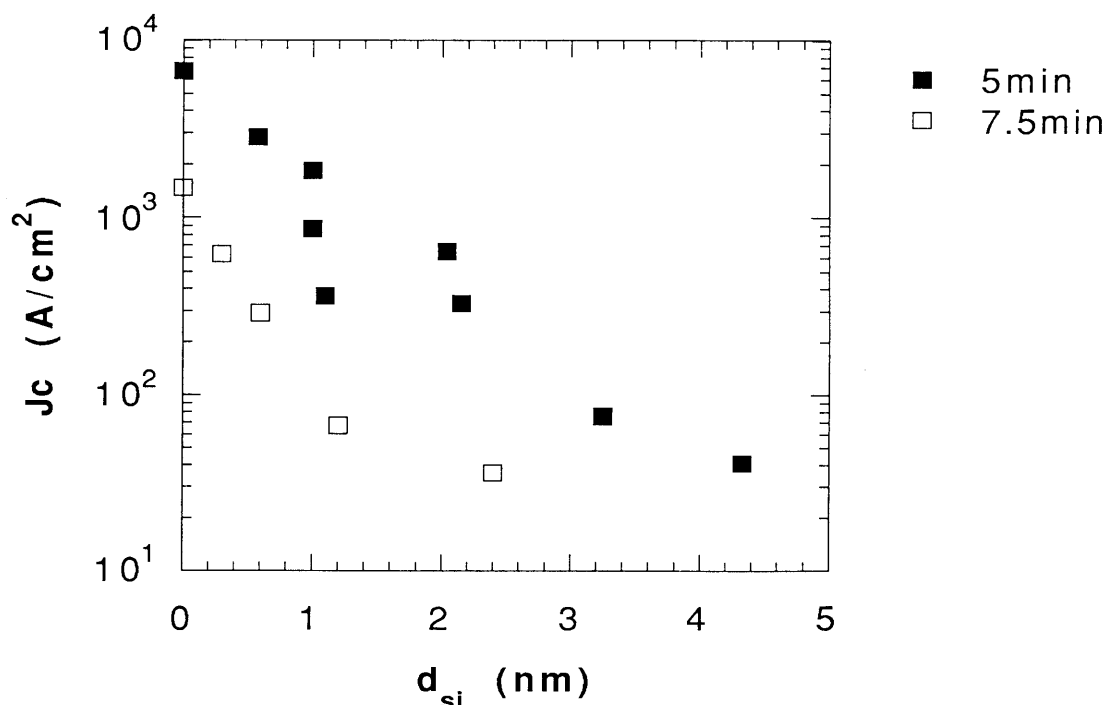


図 5-3 酸化時間が 5 分と 7.5 分の時、a-Si:H トンネル障壁の厚さ  $d_{si}$  に対する接合の臨界電流密度  $J_c$

ジョセフソン振動電流の周波数と共振器としての接合の共振周波数が一致すると、非線形相互作用によって直流電流が、等間隔の電圧でステップ状に励起される現象を意味する。また、SQUIDのレゾナンスは、SQUIDの回路内に含まれる接合容量とループインダクタンスによって起こる LC 共振を意味する。

接合のFiske step電圧 $V_n$ は、次式で表される。

$$V_n = \frac{n\Phi_0 C}{2L_j} \sqrt{\frac{t}{\epsilon_s}} \sqrt{\frac{1}{\lambda_b + \lambda_c + t}} \quad (5-1)$$

ここで、 $\Phi_0$ ：磁束量子、 $L_j$ ：接合の長さ、 $c$ ：真空中の光速、 $t$ ：バリアの幅、 $\epsilon_s$ ：比誘電率、 $\lambda_b$ 、 $\lambda_c$ ：下部、上部、各電極の磁場侵入長とする。 $\lambda_b$ 、 $\lambda_c$ は、NbとNbNについて測定<sup>10)</sup>された値 $\lambda_{Nb} = 90 \text{ nm}$ 、 $\lambda_{NbN} = 300 \text{ nm}$ を使って実効的磁場侵入長として計算された<sup>11)</sup>。それぞれ、 $\lambda_b = 180 \text{ nm}$ 、 $\lambda_c = 170 \text{ nm}$ であった。(5-1)式より、単位面積当たりの接合容量 $C_s$ は、次のように表される。

$$C_s = \frac{\epsilon_s \epsilon_0}{t} = \frac{n^2 \Phi_0^2 c^2 \epsilon_0}{4L_j^2 V_n^2 (\lambda_b + \lambda_c + t)} \quad (5-2)$$

次に、SQUIDのレゾナンスの測定においては、図5-4の顕微鏡写真に示すような

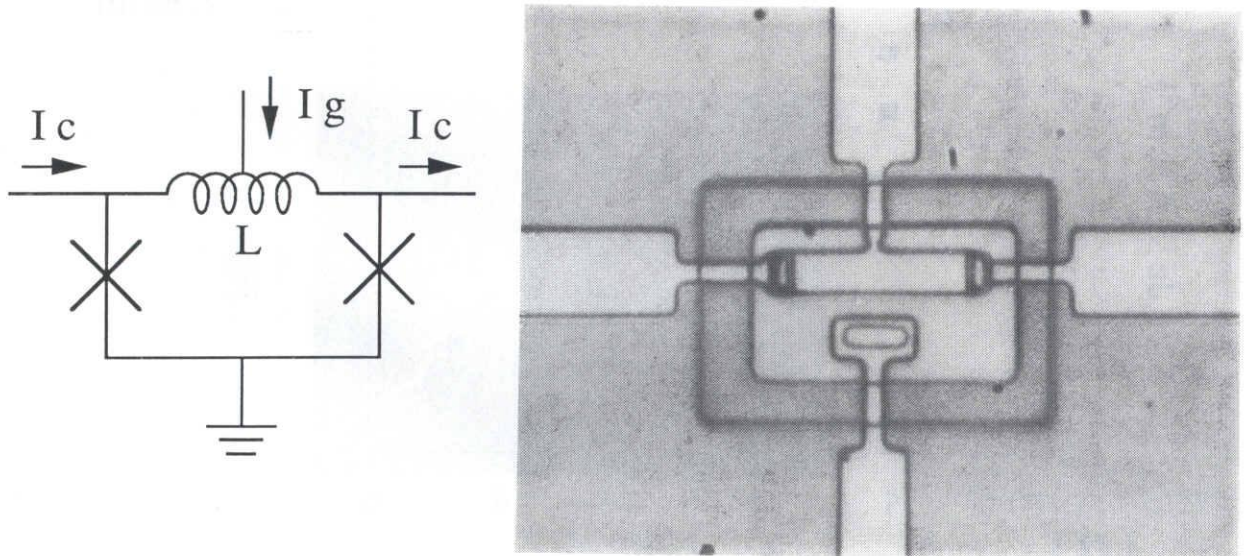


図5-4 接合容量の測定に用いた縦型2接合SQUIDの顕微鏡写真と回路図

縦型 2 接合 SQUID を用いた。2 接合 SQUID のレゾナンス電圧  $V_r$  は、次式で表される。

$$V_r = \frac{\Phi_0}{\pi \sqrt{2} LC_j} \quad (5-3)$$

ここで、 $C_j$  は、接合容量、 $L$  は、SQUID のループインダクタンスを示す。 $L$  の値を、SQUID のしきい値特性より評価すれば、接合面積  $S$  のとき (5-3) 式より単位面積当たりの接合容量  $C_s (= C_j/S)$  が求められる。

これら 2 種類の方法で得られた  $C_s$  の値は、 $\pm 5\%$  の誤差で良く一致した。図 5-5 には、酸化時間 5 分と 7.5 分の時、 $C_s$  の  $dsi$  に対する依存性を示す。酸化時間 5 分の場合は、 $C_s$  の値を Fiske step より求めた。酸化時間 7.5 分の場合は、 $C_s$  の値を Fiske step と SQUID のレゾナンスより求めた。

$dsi$  が、2 nm まで増加すると、 $C_s$  は、 $4 \mu F/cm^2$  まで、急峻に減少する。 $dsi$  が、この値より上の時、 $C_s$  は、徐々に減少する。酸化時間について、5 分から 7.5 分の増加は、 $C_s$  について、30~40% の減少をもたらす。これは、a-Si:H バリアの誘電率が酸化により減少するためと考えられる。

以上のように、a-Si:H 膜をトンネルバリアに用いた場合は、接合容量が大きく低下することが分かった。一方、Nb の酸化膜をトンネルバリアに用いた接合の接合容量は、 $\sim 10 \mu F/cm^2$  と大きい値であった。したがって、接合のスイッチング速度について、それと比べておよそ 2 倍高速になることが期待される。

## 5.5 論理回路を用いた接合容量の評価

接合容量の評価の結果から、a-Si:H 膜をトンネルバリアに用いた接合では、低接合容量が実現されていることがわかった。そこで、この接合を論理回路に適用して、論理遅延の測定を行なった。

a-Si:H バリアを用いた NbN 接合を使って、論理遅延測定回路<sup>1,2)</sup> を作製した。図 5-6 に作製した回路の顕微鏡写真を示す。回路の作製は、電極材料に Nb と NbN、抵抗材料に Mo を用いて行った。最小接合寸法は、 $2.5 \times 2.5 \mu m^2$  であり、a-Si:H バリアの

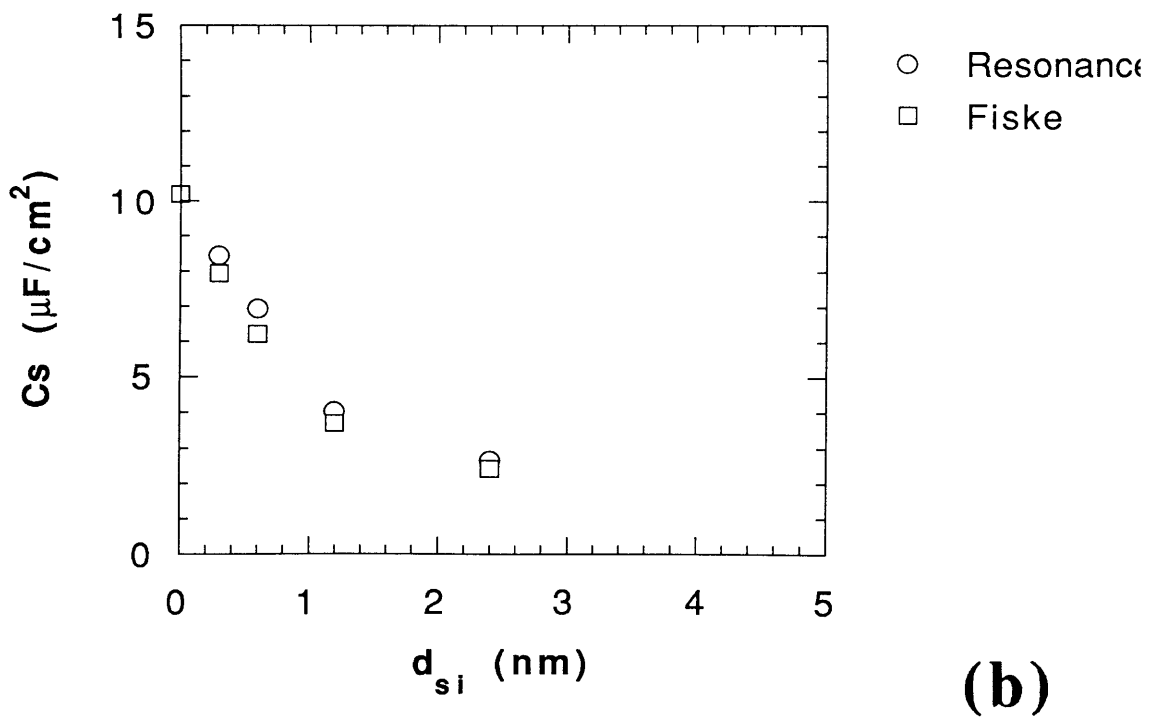
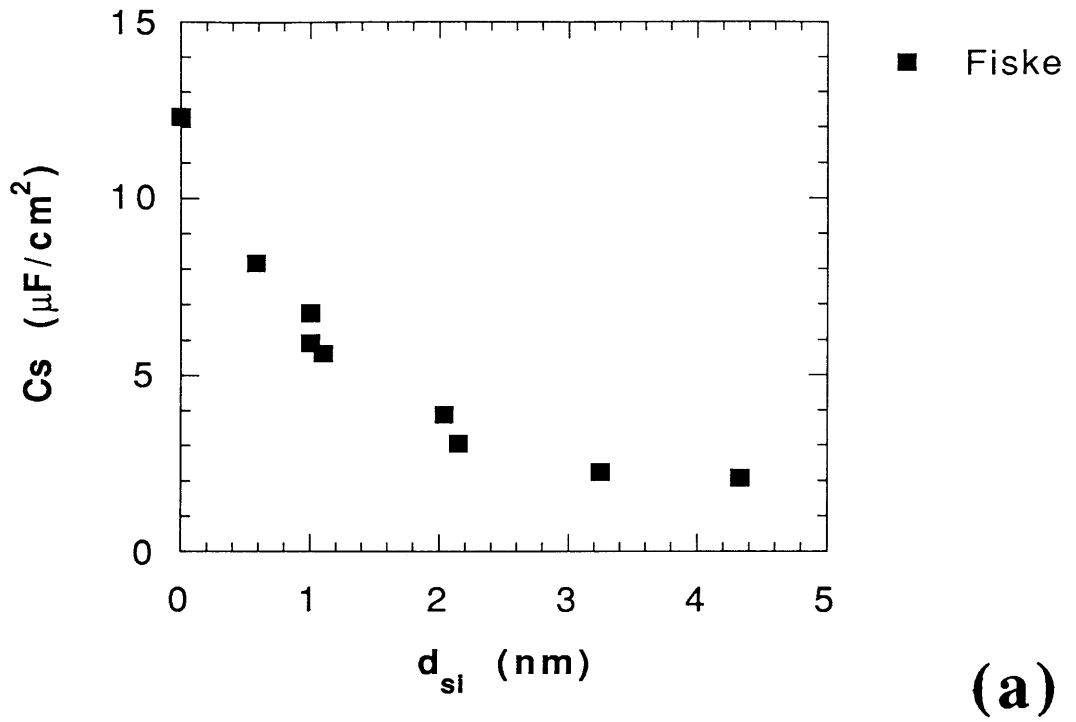


図 5-5 a-Si:Hトンネル障壁の厚さ  $d_{\text{si}}$  に対する接合容量  $C_s$   
 (a) 酸化時間 5 分、(b) 酸化時間 7.5 分



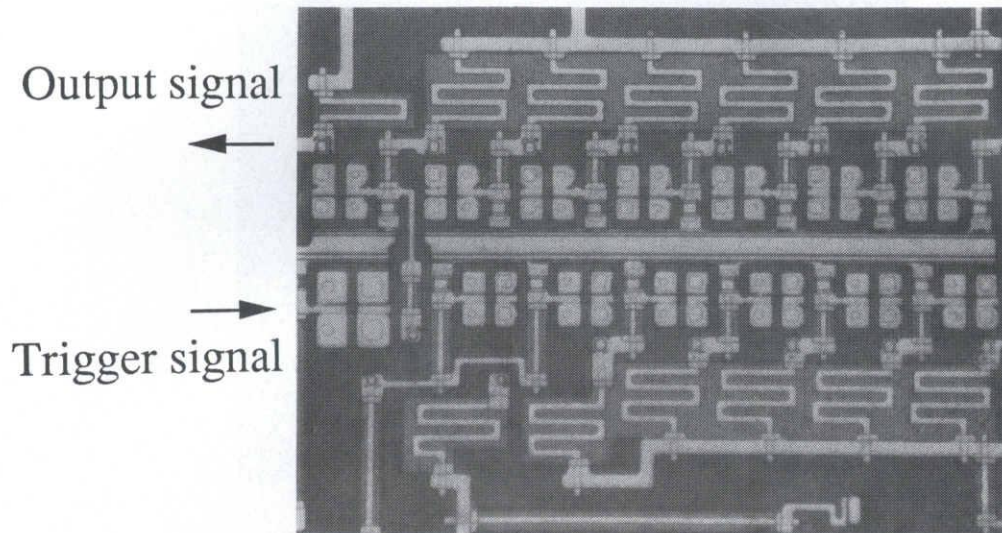


図5-6 a-Si:Hバリアを用いたNbN接合を使って作製した論理遅延測定回路の顕微鏡写真

厚さは2 nmであった。Csは、Fisk stepより $4 \mu\text{F}/\text{cm}^2$ と測定された。入力抵抗 ( $R_i$ )、負荷抵抗 ( $R_L$ )、電源供給抵抗 ( $R_p$ )の値は、それぞれ、2、10、80  $\Omega$ であった。

この回路は、論理遅延測定用の10個のfour-junction logic (4JL) ゲート<sup>13)</sup>と信号切り替えるための制御用の4個の4JLゲートによって構成されており、これを使って、平均的な論理遅延が測定された。ここでは、Fan in、Fan outともに1の4JLゲートを用いた。

回路の動作は、制御ゲートにより、出力端子に10個の4JLゲートチェーンを伝搬してきた信号(long path)と、チェーンをバイパスしてきた信号(short path)を切り替えて、出力する構成になっている。これら2つの信号の時間差を測定することにより、10個の4JLゲートにおける論理遅延を求めることができる。

図5-7は、平均ゲート電流 ( $I_g$ ) が、510  $\mu\text{A}$ の場合について、この回路の出力波形を示す。出力波形の観測は、サンプリングオシロスコープを使用して、100回の平均化操作を施した。二つの波形は、それぞれ、10個の4JLゲートを伝搬した信号と

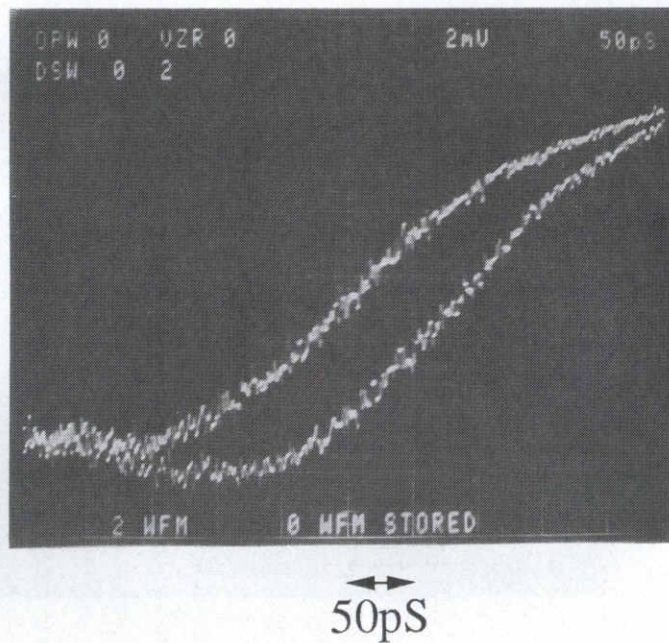


図5-7 平均ゲート電流 ( $I_g$ ) が  $510 \mu\text{A}$  の時について  
測定回路からの出力波形

それらをバイパスした信号に対応する。二つの波形の時間差から、10個の4JLゲートの遅延について、 $90 \text{ ps}$ と見積られるので、一個当たりの平均的な論理遅延は、 $9 \text{ ps}$ と評価された。

図5-8は、 $I_g$ に対する平均論理遅延 ( $\tau_d$ ) の依存性を示す。 $I_g$ が減少するにしてがって、 $\tau_d$ は、増加する。この依存性は、以前の4JLゲートを用いた論理遅延の測定においても、同様であった。これは、 $I_g$ の減少によって、オーバードライブ効果が低下するためと考えられる。

最大ゲート電流 ( $I_m$ ) のばらつきは、図5-8に示された  $I_g$  の動作範囲 ( $\pm 16\%$ ) より、10個のゲートにおいて、 $630 \pm 120 \mu\text{A}$  ( $\pm 19\%$ ) と見積もられた。

論理遅延について、10個のゲートにおいて、最大ゲート電流が、 $510 \mu\text{A}$  から  $750 \mu\text{A}$  まで、均等に分布していると仮定して、実験における回路パラメータを用いて、汎用電子回路解析プログラム (FNAP)<sup>14)</sup> を使った計算機シミュレーションを行った。シミュレーションの結果は、図5-8の中に実線で示した。それは、論理遅延

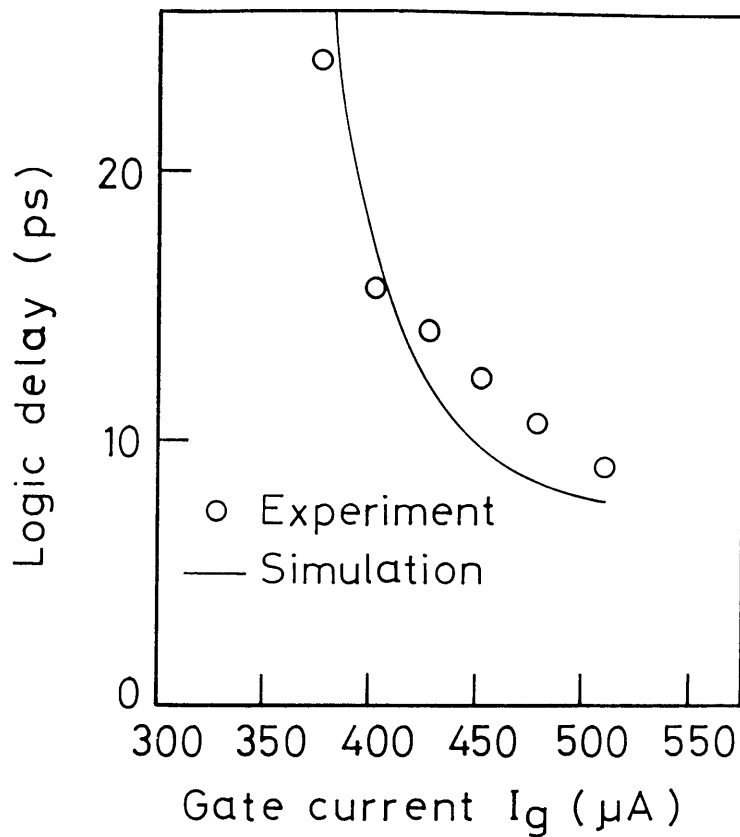


図5-8 ゲートバイアス電流に対する平均論理遅延  $\tau_d$

の測定結果と良い一致を示した。

以前の実験では、NbN の放電酸化膜バリアを用いた NbN 接合からなる同様のチェーン回路について、18 ps/gate の論理遅延が測定された<sup>15)</sup>。これは、本実験で測定された値の2倍であった。計算機シミュレーションの結果より、このような論理遅延の短縮は、接合特性容量の減少によると考えられる。

## 5.6 結 言

トンネル障壁として低誘電率の水素化アモルファスシリコン (a-Si:H) 膜を用いた NbN ジョセフソン接合の作製工程と作製された接合特性について、詳しく報告した。また、この接合を用いた論理ゲートの遅延時間測定用回路について、作製と動作試験を報告した。低誘電率のトンネル障壁を用いて、接合容量の減少による論理ゲートの遅延時間の短縮を 4JL ゲートについて実証した。



## 第5章 参考文献

- 1) M. Aoyagi, A. Shoji, S. Kosaka, F. Shinoki, H. Nakagawa, S. Takada, and H. Hayakawa: Jpn. J. Appl. Phys. 23 (1984) L916
- 2) T.A. Fulton and R.C. Dynes: Solid State Comm. 9 (1971) 1069
- 3) R.E. Jewett and T. Van Duzer: IEEE Trans. Magn. MAG-17 (1981) 599
- 4) E.P. Harris and W. H. Chang: IEEE Trans. Magn. MAG-17 (1981) 603
- 5) A. Shoji, F. Shinoki, S. Kosaka, M. Aoyagi, and H. Hayakawa: Appl. Phys. Lett. 41 (1982) 1097
- 6) M. D. Fiske: Rev. Mod. Phys. 36 (1964) 221
- 7) S. Basavaiah and J. H. Greiner: J. Appl. Phys. 47 (1976) 4201
- 8) H.H. Zappe and B.S. Landman: J. Appl. Phys. 49 (1978) 344
- 9) J. H. Margerlein: IEEE Trans. Magn. MAG-17 (1981) 286
- 10) W. H. Henkels and C. J. Kircher: IEEE Trans. Magn. MAG-13 (1977) 63
- 11) 東海林、篠木、幸坂：電子技術総合研究所彙報 48-4 (1984) 301
- 12) T. R. Gheewala: IBM J. Res. Develop. 24 (1980) 130
- 13) S. Takada, S. Kosaka, and H. Hayakawa: Jpn. J. Appl. Phys. 19 Suppl. 19-1 (1980) 607
- 14) 富士通：FACOM OS IV/F4 FNAP 解説書（汎用電子回路解析プログラム）  
64AR-7600-2 (1983)
- 15) S. Kosaka, A. Shoji, M. Aoyagi, F. Shinoki, H. Nakagawa, S. Takada, and H. Hayakawa: Appl. Phys. Lett. 43 (1983) 213

## 第6章 ジョセフソン接合作製技術の高度化 II

--接合のサブミクロン化技術--

### 6.1 序

ジョセフソン集積回路<sup>1, 2)</sup>において集積度や動作速度の向上のためには、接合面積が  $1.0 \mu\text{m}^2$  以下のジョセフソン接合の適用が必要不可欠である。このようなサブミクロン接合は、小さい接合容量を持つため、極限に近い超高速 ( $\sim 1 \text{ps}$ ) のスイッチング動作が期待できる。また、サブミクロン接合を論理回路に用いれば、回路の占有面積が減少し、配線長が短縮される。これによって、回路全体としての高速動作も期待される。さらに、プロット振動やMQT (Macroscopic Quantum Tunneling)、MQC (Macroscopic Quantum Coherence) などの巨視的量子効果を含む物理現象の探求においてもサブミクロン接合は、重要である。

サブミクロン接合において、電極材料の選択は、重要な問題である。その理由は、ジョセフソン接合を微細化しても、接合臨界電流のばらつきが、極端に増加しないためには、電極材料の粒径が、接合寸法より1桁以上小さいことが、必要だからである。この点について、NbN は、数十 nm 程度の小さい粒径<sup>5)</sup> を持つことが知られていることから、他の材料に比べて、有利である。

従来、サブミクロン形状のジョセフソン接合の作製は、リソグラフィ工程の中で、解像度の高いレジスト (例えば、Deep-UV 用の MRS レジスト<sup>3)</sup>) や二層、三層レジストなどの多層レジスト<sup>4)</sup> を使用して、行なわれてきた。

本章では、基盤全体に堆積された接合多層膜をドライエッチングにより加工して接合を作製する NbN ジョセフソン接合作製プロセス<sup>6-9)</sup> において、 $1.0 \mu\text{m}^2$  以下の面積を持つ接合の形成を可能にする CLIP (Cross Line Patterning) 法<sup>10, 11)</sup>、および電子ビーム直接描画技術<sup>12, 13)</sup> などについて述べる。CLIP 法により、サブミクロン形状の接合を作製することが可能となり、また、電子ビーム直接描画技術により、クオータミクロ

ンの形状をもつ接合の作製が可能となる。サブミクロン接合の応用例として、サブミクロン NbN ジョセフソン接合を用いた 4 J L ゲートの作製<sup>14)</sup> について述べる。

続いて、サブミクロン NbN ジョセフソン接合によるデジタル集積回路への応用例について報告する。0.9  $\mu\text{m}$  角の NbN ジョセフソン接合を用いた論理遅延測定用集積回路の作製と論理回路のスイッチング速度評価について述べる。

## 6.2 CLIP 法による接合作製

第 3.2 節の図 3-3 から分かるように、接合寸法が、2  $\mu\text{m}$  角以下になると、 $I_c$  のばらつきは、急激に増大する。さらに、1  $\mu\text{m}$  角以下の接合については、二層レジスト法を用いても、従来の接合作製プロセスでは、作製できない。

1  $\mu\text{m}$  角以下の接合を作製するために、次に述べる方法 (CLIP 法と呼ぶ) を提案する。この方法は、接合のパターニングにおいて、一つの正方形のレジストの代わりに、二つの直交した線状レジストを用いる方法である。一般に、フォトリソグラフィ工程において、線状のレジストパターンの方が、正方形パターンよりレジスト像の崩れが少ないことが知られている。

CLIP 法には、下部電極の形成方法の違いにより、次の二つの方法がある。図 6-1 は、CLIP 法により作製した一つの接合の模式図である。ここで、図 6-1 (a) を第 1 CLIP 法、図 6-1 (b) を第 2 CLIP 法と呼ぶことにする。接合部は、二つの電極が交差し重なっている部分である。まず初めに、第 1 CLIP 法について述べる。

図 6-2 に、CLIP 法を用いた接合作製プロセスの流れを示す。左が、断面図で、右が、上面図である。以下、図 6-2 にしたがって、その手順を説明する。

- (a) 基板状全面に、Nb-NbN-トンネル障壁-NbN からなる多層膜を連続的に堆積する。
- (b) 多層膜の上に、線状のレジストを形成する。
- (c) 多層膜について、レジストをマスクに用いて、ドライエッチングを行なう。
- (d) 絶縁膜として、Si を EB 蒸着により堆積する。
- (e) レジスト上の Si をアセトン中でリフトオフする。

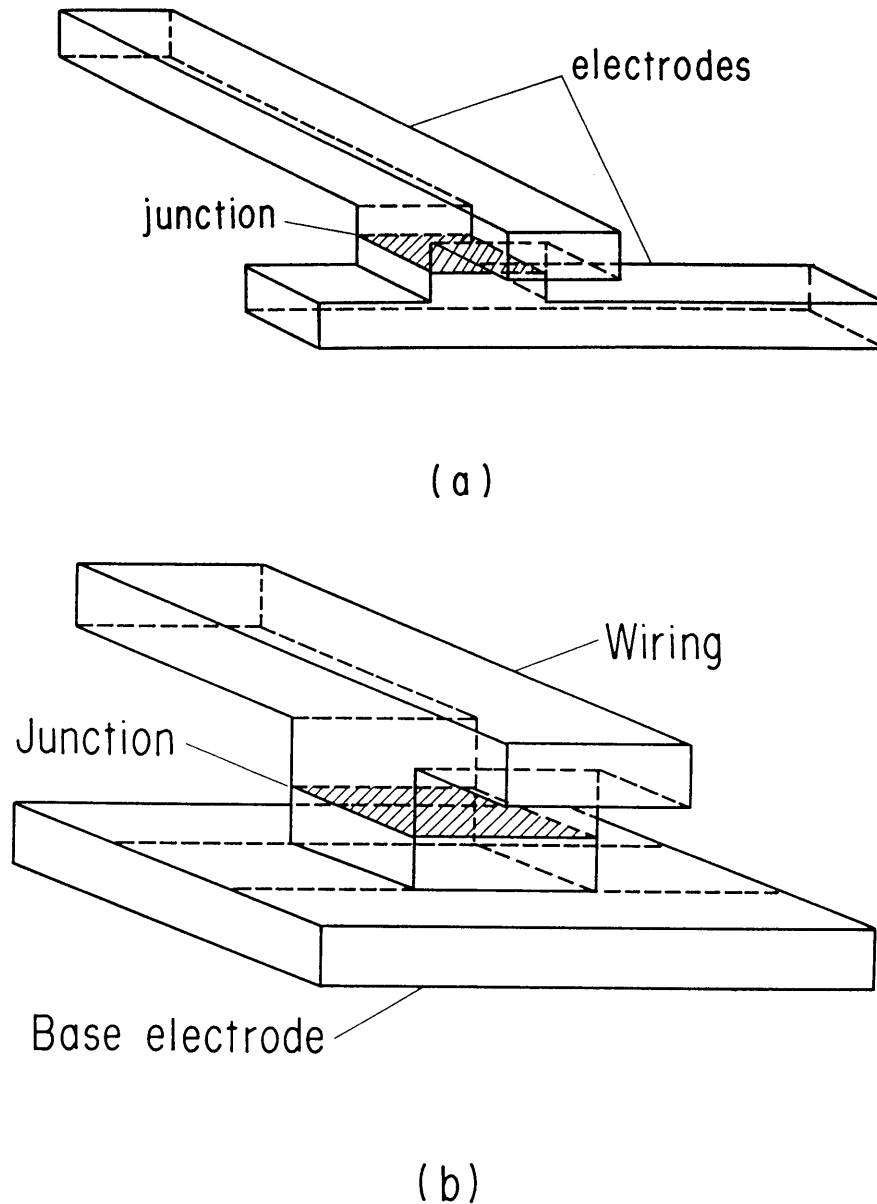


図6-1 CLIP法により作製したの接合の模式図  
(a)第1 CLIP法、(b)第2 CLIP法

(f) SOG (Spin on glass) をスピコートした後、250℃で30分ベーキングする。この工程により、Siのリフトオフ後にできた接合部周辺の溝を埋めることができる。

(g) SOG膜を上部電極 NbNの上までエッチバックする。この結果、接合部周辺は、平坦な構造になる<sup>11)</sup>。

(h) 上部電極 NbNの表面を Ar スパッタによりクリーニングした後、続けて Nb 膜をスパッタにより堆積させる。

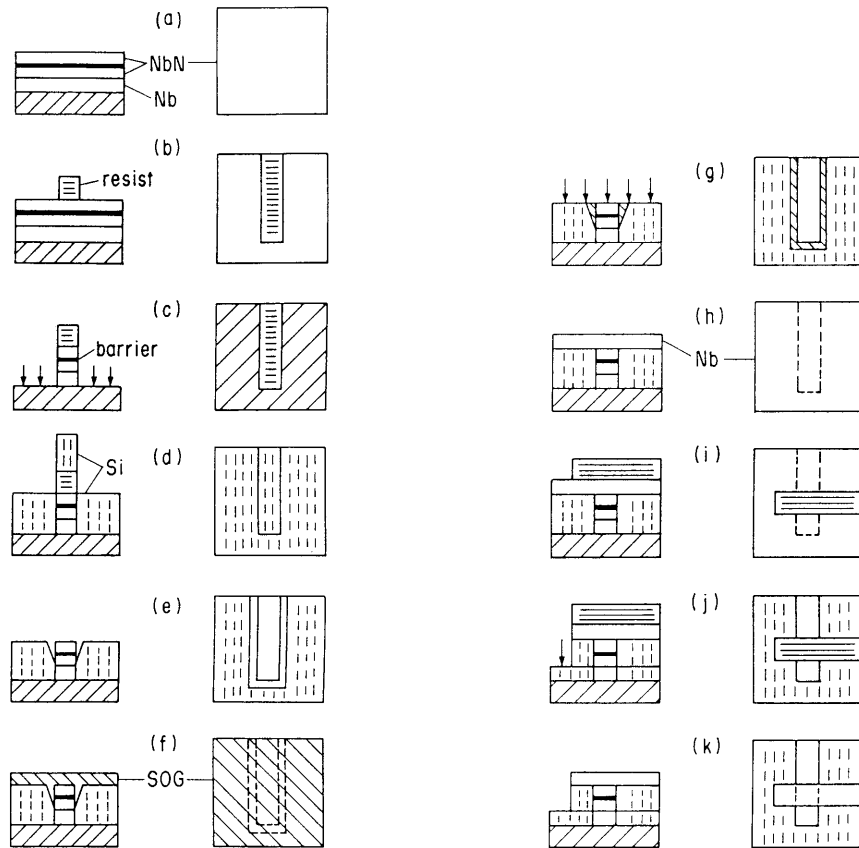


図 6 - 2 CLIP 法を用いた接合作製工程図

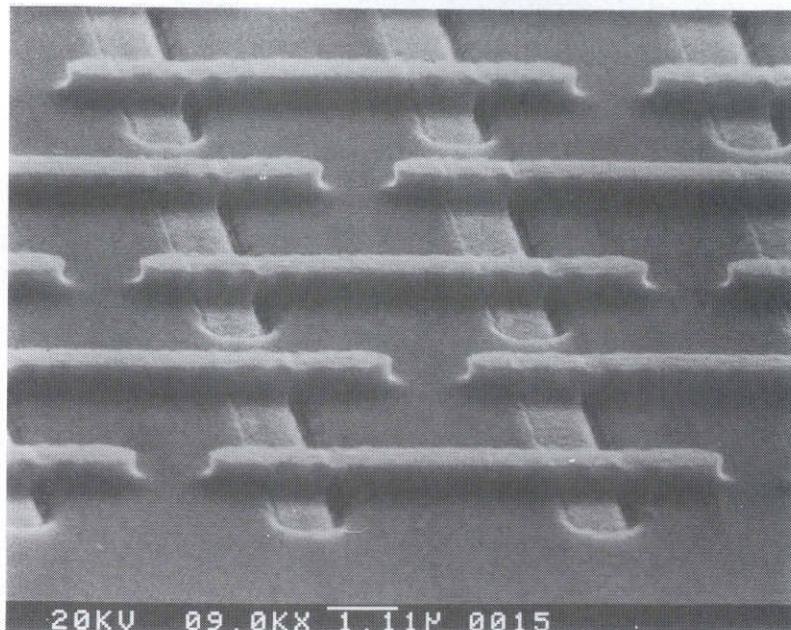
(i) Nb 膜の上に、線状のレジストを最初のレジストと直交するように形成する。

(j) Nb 膜および、残っている NbN 膜について、レジストをマスクにして、ドライエッチングを行なう。

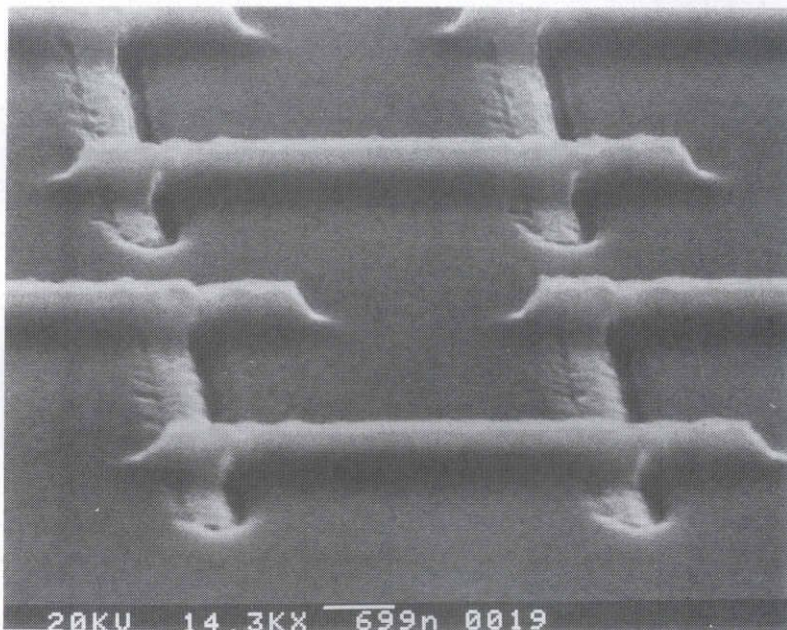
(k) レジストをアセトン中で剥離する。

図 6 - 3 は、CLIP 法を用いて作製した、直列接続された NbN/oxide/NbN 接合の配列の SEM 写真である。(a)は、 $1\mu\text{m}$  角の接合で、(b)は、 $0.5\mu\text{m}$  角の接合である。

図 6 - 4 に CLIP 法を用いて作製した、1024 個直列接続された NbN/oxide/NbN 接合の I - V 特性を示す。(a)は、 $1\mu\text{m}$  角の接合で、(b)は、 $0.5\mu\text{m}$  角の接合である。ここで、接合のトンネル障壁は、NbN 放電酸化膜であり、接合の臨界電流密度は、 $15\text{ kA/cm}^2$  で



(a)

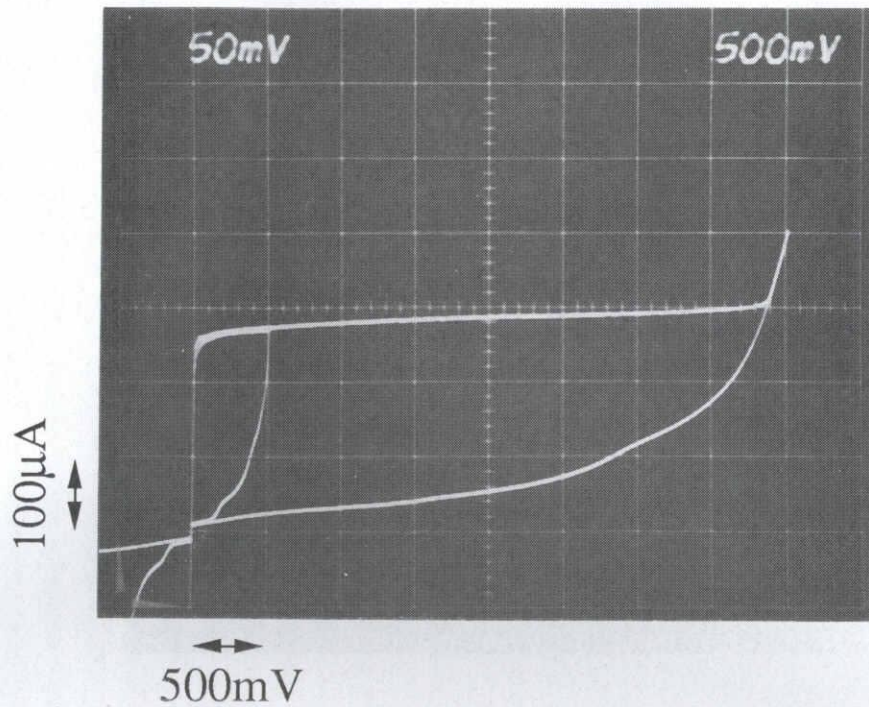


(b)

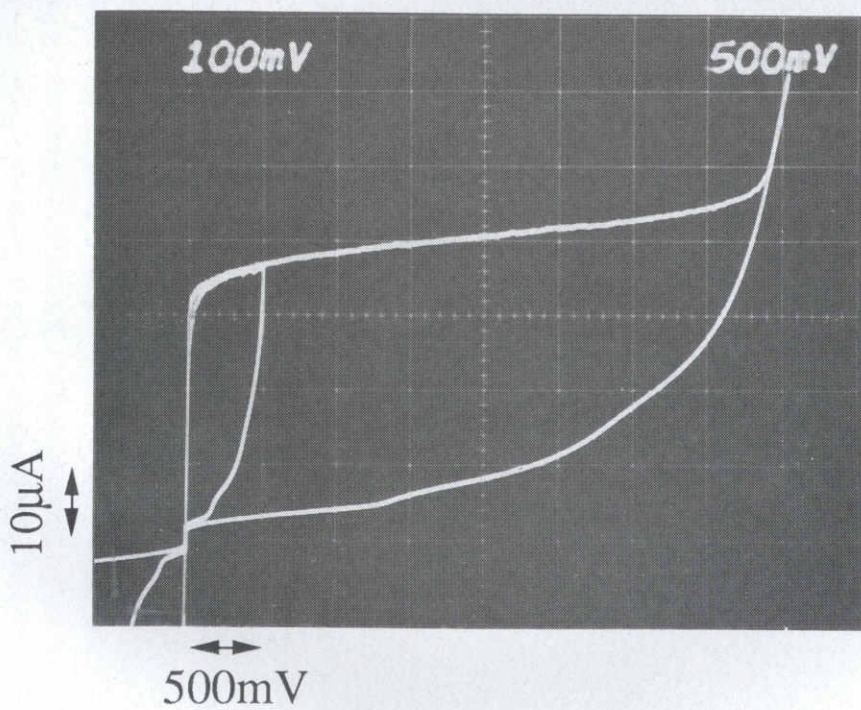
図6-3 CLIP法を用いて作製した直列接続されたNbN/oxide/NbN  
接合の配列のSEM写真  
(a)  $1\mu\text{m}$ 角の接合、(b)  $0.5\mu\text{m}$ 角の接合

あった。接合配列の占有面積は、 $1\mu\text{m}$ 角の接合では、 $160\times 160\mu\text{m}^2$ 、 $0.5\mu\text{m}$ 角の接合では、 $140\times 140\mu\text{m}^2$ であった。リソグラフィにおけるアライメントマージンを大きく設定したため、占有面積が、大きくなった。アライメントマージンを小さく設定すれば、





(a)



(b)

図6-4 4.2 Kで測定されたCLIP法を用いて作製した  
1024個直列接続されたNbN/oxide/NbN接合のI-V特性

占有面積を小さくすることが可能である。図6-4より、 $I_c$ のばらつきを評価すると、 $1\ \mu\text{m}$ 角の接合では、最大最小で $\pm 8.9\%$ 、標準偏差で $3.6\%$ であり、 $0.5\ \mu\text{m}$ 角の接合では、最大最小で $\pm 21\%$ 、標準偏差で $8.6\%$ であった。

図 6-5 は、CLIP 法を用いて作製した、1024 個の NbN/oxide/NbN 接合の  $I_c$  の標準偏差  $\sigma$  を接合寸法  $L$  に対して、プロットした図である。正方形の二層レジストを用いて作製した接合の  $\sigma$  値も、比較のためにプロットした。2.5  $\mu\text{m}$  角以上の接合については、両者の間にほとんど差がないが、2.5  $\mu\text{m}$  角以下の接合については、明らかに CLIP 法を用いたほうが、接合の  $I_c$  のばらつきに関して、有利なことがわかる。得られた最小の  $\sigma$  値は、1.25  $\mu\text{m}$  角で 2.7%、1  $\mu\text{m}$  角で 3.6%、0.75  $\mu\text{m}$  角で 4.5%、0.5  $\mu\text{m}$  角で 8.6% であった。

図 6-6 は、 $I_c$  のばらつき  $3\sigma$  が、すべて接合面積のばらつき  $\Delta (L^2)$  に起因するものと仮定して算出した接合寸法  $L$  のばらつき  $\Delta L$  を、接合寸法  $L$  に対してプロットした図である。この  $\Delta L$  の値は、正方形のレジストによる接合では、2  $\mu\text{m}$  角以下で急激に大きくなるのに対して、CLIP 法による接合では、接合寸法によらず 0.06  $\mu\text{m}$  でほぼ一定の値となっている。これは、CLIP 法を用いた接合作製プロセスでは、リソグラフィや

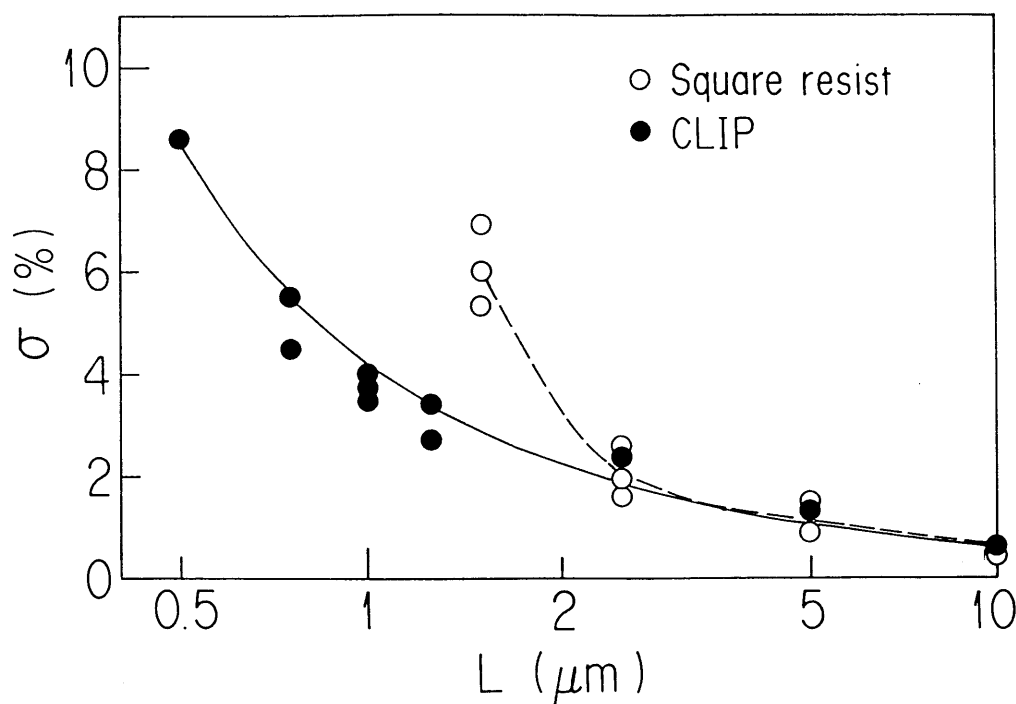


図 6-5 接合寸法  $L$  に対してする CLIP 法を用いて作製した 1024 個の NbN/oxide/NbN 接合のジョセフソン臨界電流  $I_c$  の標準偏差  $\sigma$



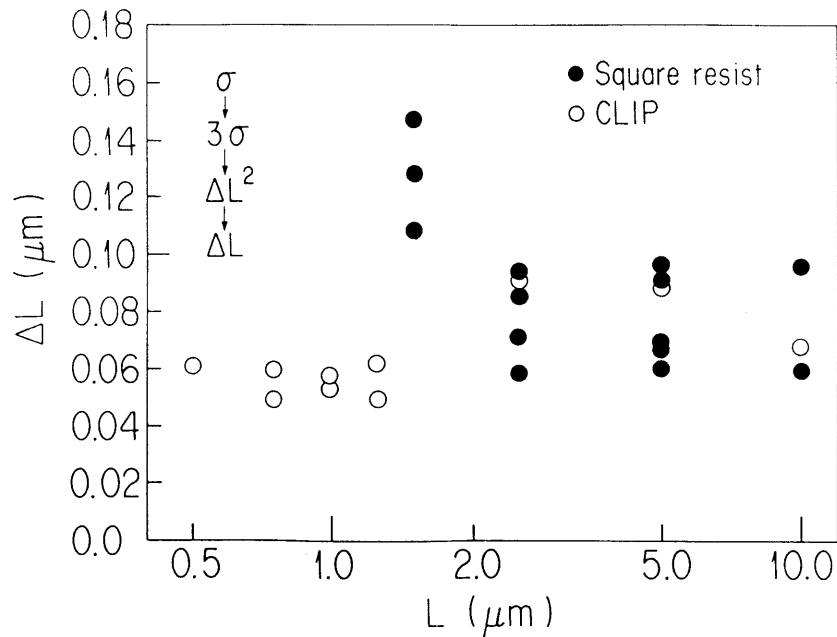
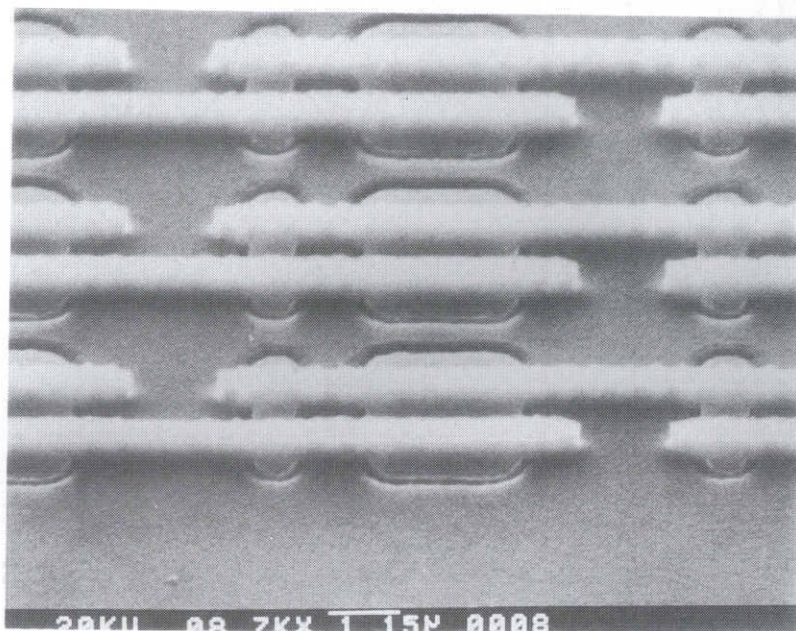


図6-6 接合寸法Lに対する接合寸法のばらつき $\Delta L$

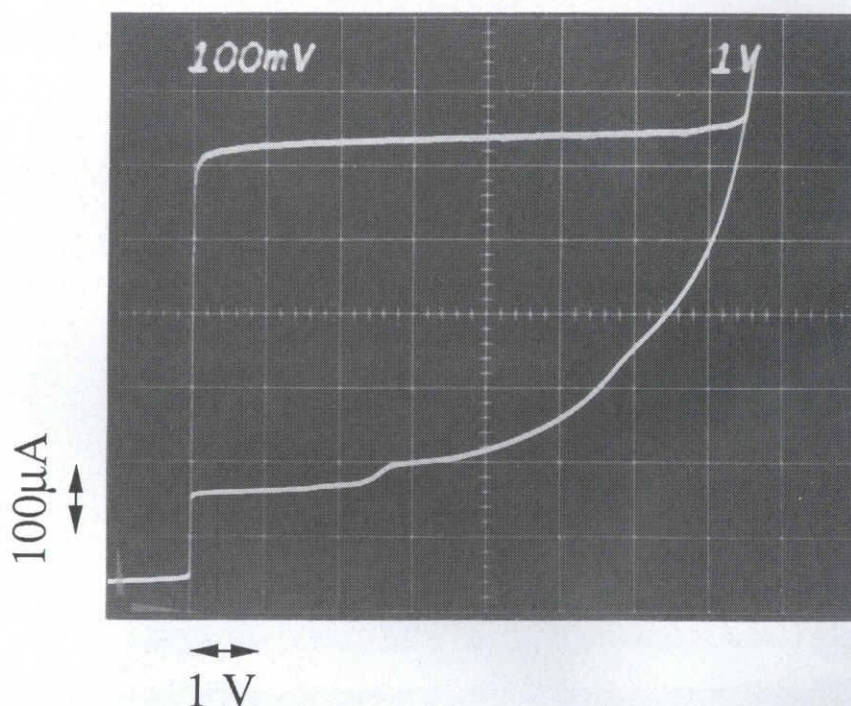
ドライエッチングなどの接合面積に関わる工程が、接合寸法によらず、一定の寸法精度を保持していることを示している。また、 $0.5\mu\text{m}$ 角の微小な接合についても、 $\Delta L$ は同じ値を示すことから、鉛合金系の接合に見られたような、結晶粒界の影響による本質的なばらつきの増加は、 $10\mu\text{m}$ の寸法でもまだ現われていないと考えられる。

CLIP法によるクロスライン型の接合の応用例として、1024個の4JL論理ゲート<sup>15)</sup>の配列について述べる。図6-7(a)は、配列の一部を示すSEM写真である。図6-7(b)は、配列のI-V特性である。最小接合は、 $1\mu\text{m}$ 角であり、接合の臨界電流密度は、 $15\text{ kA/cm}^2$ である。クロスライン型の接合を4JLゲートに用いれば、従来の接合より小型になる。図6-7(b)より、最大ゲート電流 $I_g$ のばらつきを評価すると、最大最小 $\pm 7.1\%$ 、標準偏差2.3%であった。4JLゲートでは、最大ゲート電流のばらつきが、最小接合の臨界電流のばらつきより小さくなる。

次に、第2CLIP法について述べる。初めに、第1CLIP法の問題点について考える。第一は、集積回路の全工程を考える時、下部電極の配置に制約がある。また、第二には、



(a)



(b)

図6-7 CLIP法によるクロスライン型接合を用いた1024個の4JLゲートの配列  
(a) SEM写真、(b) 4.2 Kで測定したI-V特性

接合部について、二回目のエッチングで、接合部周辺のエッチングが不均一になるため、接合部側面が波打つ現象がある。これは、エッチングで下地が絶縁膜とNbN膜の二種類となるのでエッチングレートに差が生じたためであると考えられる。この様子は、図6



- 3 (a)のSEM 写真に現われている。

このような問題点に対して、第2 CLIP 法には、次のような利点がある。第一に、下部電極の配置が自由である。第二に、接合部のエッチングにおいて下地が一種類である。実際に、この方法により作製した $0.75\mu\text{m}$ 角のNbN 接合のSEM 写真を図6-8に示す。第1 CLIP 法による場合と比べて、接合部側面の波打ちが抑制されていることが分かる。

### 6.3 電子ビーム直接描画法を用いた接合作製技術

本節では、電子ビーム直接描画法を用いた接合作製技術について述べる。NbN ジョセフソン接合の作製技術の中で行なわれるリソグラフィ工程において、従来用いていた紫外線露光の代わりに、電子ビーム露光を用いた場合、大幅な寸法精度の向上が期待される。

用いた露光装置は、ベクタ・スキャン型の電子ビーム露光装置 (JBX-5D2U、JEOL 社製) である。実際の露光における諸条件 (加速電圧、ビーム電流、ビーム径、スキャ

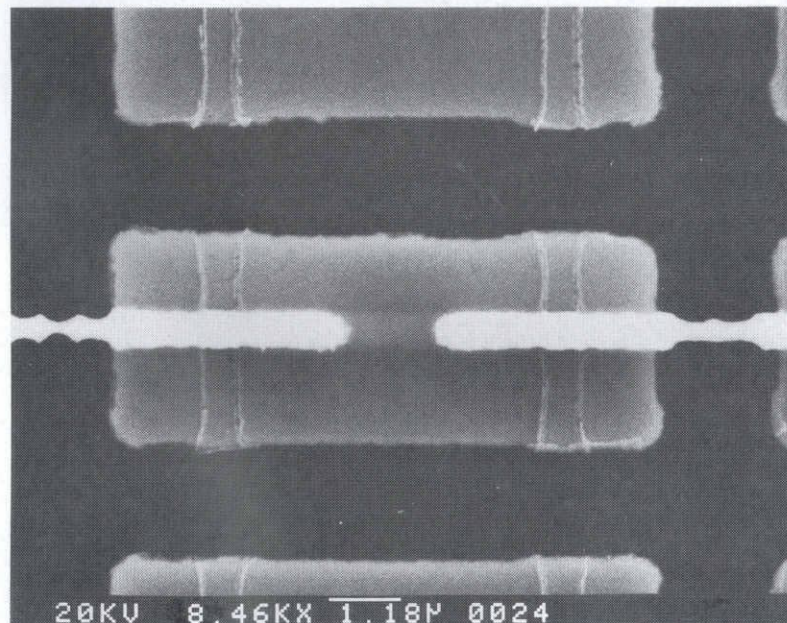


図6-8 第2 CLIP 法により作製した $0.75\mu\text{m}$ 角のNbN ジョセフソン接合のSEM 写真

ンステップ、アライメント精度、露光時間) を、表 6-1 に示す。この電子ビーム露光装置は、100 nm 幅の微細な像まで描画する能力をもっている<sup>16)</sup>。

レジストについては、接合作製においてドライエッチング技術を用いるため、コンタクトホールを除いて、エッチング耐性の強いネガ型レジストを使用した。具体的には、ネガ型レジストとして、 $\alpha$ M-CMS<sup>17)</sup> と SNR<sup>18)</sup> を用いた。コンタクトホールには、ポジ型レジストとして、PMMAを用いた。レジストの選択は、解像度が高いことを主眼に考えた。レジストの諸特性(感度、解像度、現像液)を表 6-2 に示す。感度と解像度については、実験的に得た値である。

また、接合作製において、最も重要な接合部のパターン形成には、寸法精度が高く、

Table 6-1 Conditions of EB exposure

EB system	Vector scan
Accelerating voltage	25kV
Beam current	200~600pA
Beam size	0.1~0.2 $\mu$ m
Scan increment	0.05 $\mu$ m
Alignment (3 $\sigma$ )	0.25 $\mu$ m
Junction pattern	26min/chip
Base contact pattern	67min/chip
Wiring pattern (Chip size 1cm <sup>2</sup> )	136min/chip

Table 6-2 Specific values of EB resists

Resists	$\alpha$ M-CMS	SNR	PMMA
Sensitivity ( $\mu$ C/cm <sup>2</sup> )	23	23	130
Resolution ( $\mu$ m)	0.5	0.3	0.01
Developer	iAA/DnBE	PGME/DnBE	MIBK

アスペクト比の大きい像が得られる二層レジスト法を2種類用いた。第一の二層レジスト法は、PMMAと $\alpha$  M-CMSからなるPCM (Portable Conformal Mask) 二層レジスト法<sup>19)</sup>であり、第二の二層レジスト法は、AZ-1400とSNRからなる二層レジスト法<sup>18)</sup>である。それぞれの特長は、PMMA/ $\alpha$  M-CMSの場合は、アセトン浸潤により容易に剥離できるため、リフトオフ工程に適用できる点にあり、AZ-1400/SNRの場合は、CF<sub>4</sub>のドライエッチングに対して、強い耐性がある点にある。但し、剥離には酸素プラズマを用いなければならない。これらについて形成法の違いは、前者が、上層のパターンの下層への転写をDeep UV照射によるのに対して、後者は、酸素プラズマのアッシングによる点にある。

図6-9にしたがって、Nb膜をRIEによりエッチングする場合について、PMMA/ $\alpha$  M-CMS二層レジスト法の工程の手順を説明する。

(a) PMMA (OEBR-1000、200cp、東京応化社製) を500 nm厚さにスピコートする。120 °Cで60分ベーキングする。PMMAを500 nm厚さにスピコートする。150 °Cで60分ベーキングする。 $\alpha$  M-CMS (R、Toso社製) を500 nm厚さにスピコートする。135 °Cで20分ベーキングする。 $\alpha$  M-CMSを電子ビーム露光装置 (JBX-5D2U、JEOL社製) により露光する。

(b) 現像液 (iAA (酢酸イソアミル) /DnBE (ジ-n-ブチルエーテル) ) により現像する。プロキシミティプリンター (PLA-521F、Cannon社製) により全面をDeep-UV (200-260nm) 露光する。PMMAを現像液 (MIBK (メチルイソブチルエーテル) ) により現像し、二層レジスト像を得る。

(c) 二層レジスト像をマスクにしてRIEによりNb膜をエッチングする。

(d) 二層レジスト像をアセトンに侵潤させて剥離する。微細に加工されたNb膜のパターンを得る。

図6-9にしたがって、同様の場合について、AZ-1400/SNR二層レジスト法の工程の手順を説明する。

(a) AZ-1400 (31cp、Shipley社製) を1.5 $\mu$  m厚さにスピコートする。200 °Cで30

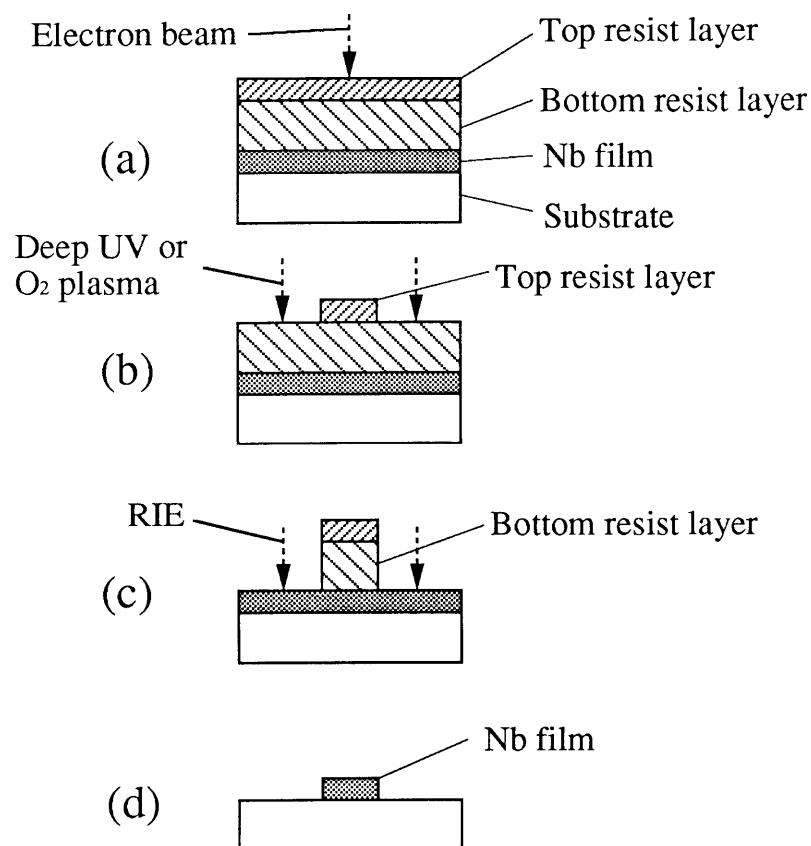


図6-9 電子ビーム露光による二層レジスト法の工程図

分ベーキングする。SNR (M2、Toso 社製) を 200 nm厚さにスピンコートする。80 °Cで 20分ベーキングする。SNR を電子ビーム露光装置 (JBX-5D2U、JEOL 社製) により露光する。

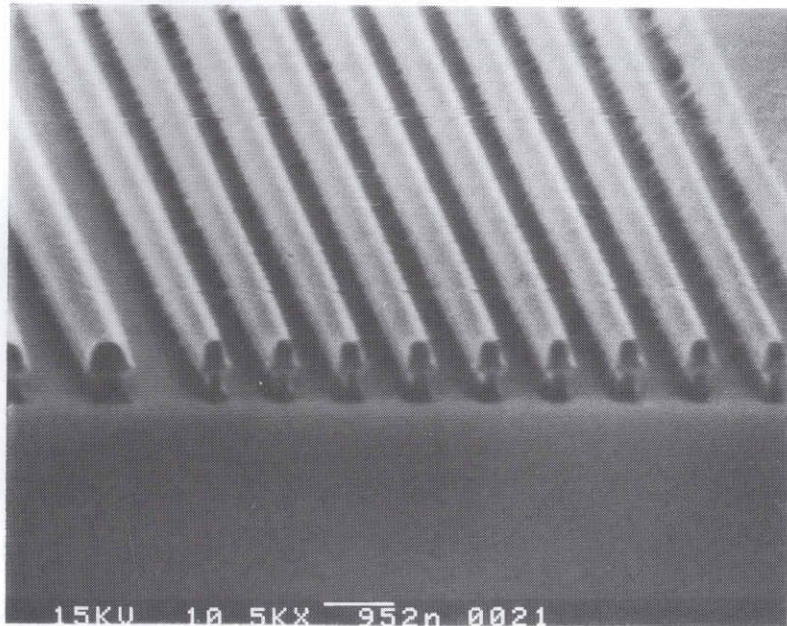
(b) それを現像液 (PGME (プロピレングリコール- $\alpha$ -モノメチルエーテル) / DnBE (ジ-n-ブチルエーテル) ) により現像する。ガス圧力 10 mTorr、高周波電力 40 W、エッチング時間 40 minで酸素プラズマによるアッシングを行い、二層レジスト像を得る。

(c) 二層レジスト像をマスクにして RIE により Nb 膜をエッチングする。

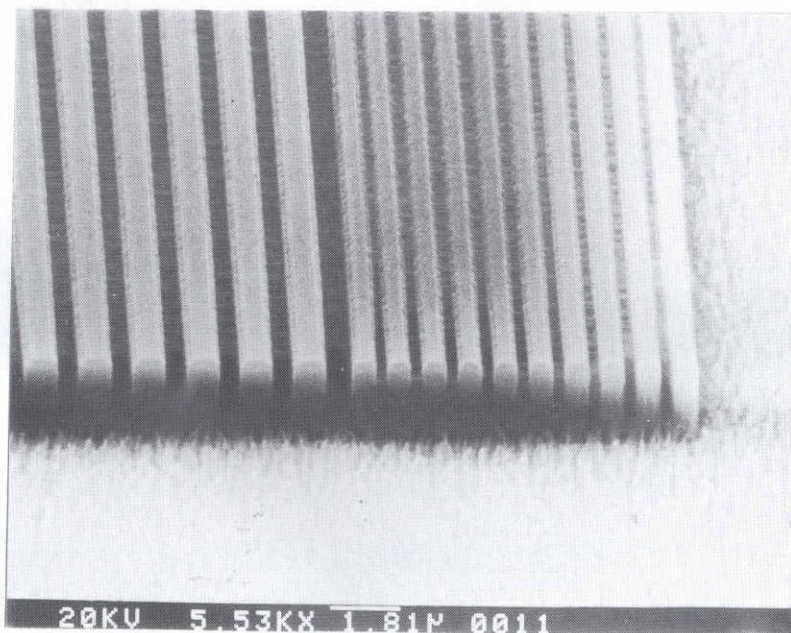
(d) 二層レジスト像を酸素プラズマアッシングにより剥離する。微細に加工された Nb 膜のパターンを得る。



図6-10に、これらの二層レジスト法による0.75、0.5 $\mu$ m幅の線状レジスト像のSEM写真を示す。図6-10(a)がPMMAと $\alpha$ M-CMSによる二層レジスト法のレジスト像であり、図6-10(b)がAZ-1400とSNRによる二層レジスト法のレジスト像である。



(a)



(b)

図6-10 二層レジスト法による0.75、0.5 $\mu$ m幅ラインのレジスト像のSEM写真  
(a) PMMA/ $\alpha$ M-CMS、(b) AZ-1400/SNR



レジスト像の寸法精度を決めているのは、ビーム径とビームを動かすステップ間隔の値である。また、ビーム径は、ビーム電流と絞りによって決まっている。寸法精度を上げるために、ビーム径を小さくすると、ビーム電流が減少し、露光時間の増加を招く。表6-1には、典型的な露光時間を示しておいた。

一般に、電子ビーム直接描画技術において、各層間の重ね合わせは問題である。この実験では、Si基板上に形成された $3.0\mu\text{m}$ 幅で $0.7\mu\text{m}$ 深さのエッチマークを、電子ビームでスキャンして得られる信号から、マークの位置を検出して、各層間の重ね合わせを行なった。エッチマークには、二つの種類があり、一つは、ウエハーマークであり、もう一つは、チップマークである。前者のマークは、ウエハーの中心位置、回転量、伸縮量を測定するためのもので、後者は、各チップの中心位置、回転量、伸縮量を測定するためのものである。実際には、これらのマークを用いて、接合作製工程全体で、 $3\sigma = 0.25\mu\text{m}$ の重ね合わせ精度が、確保された。

第1 CLIP法によるNbNジョセフソン接合作製プロセスの全層に、電子ビーム露光技術を用いて、レジストに $\alpha$  M-CMSを使用し、接合作製を行なった場合、良好な接合特性を得ることができなかった。この理由は、最終配線層のエッチングにおいて、レジストがエッチング終了前に、消滅するためである。図6-11に、作製した $1.0\mu\text{m}$ 角

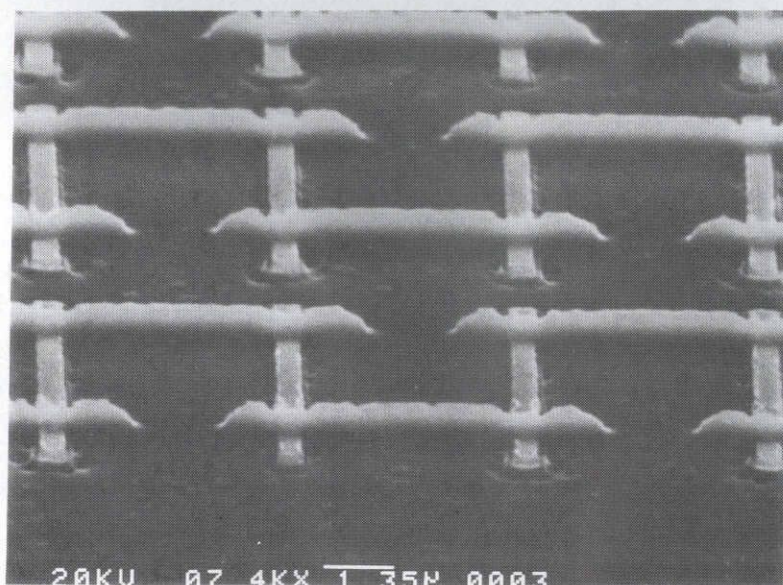
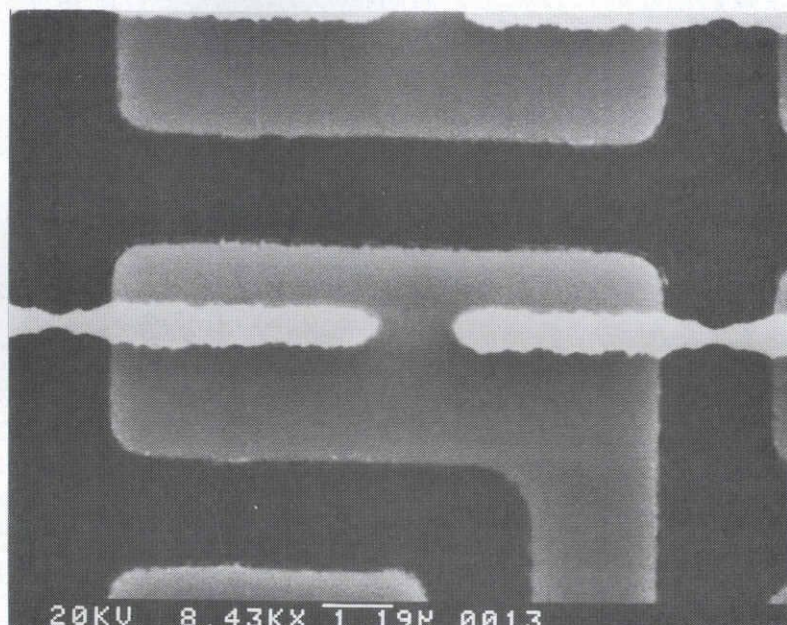


図6-11 電子ビーム露光技術を用いて作製した $1.0\mu\text{m}$ 角のNbNジョセフソン接合のSEM写真

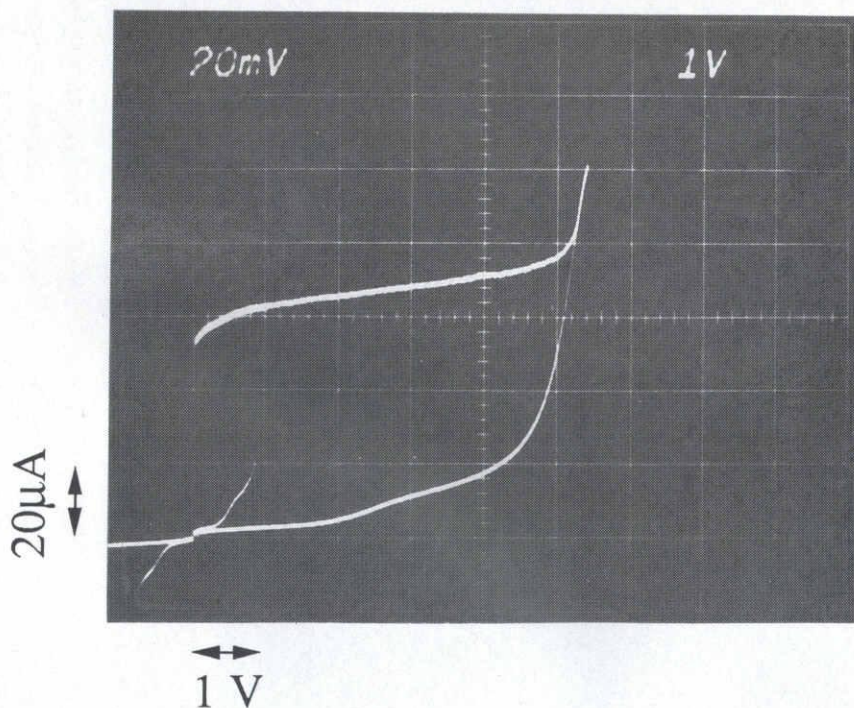


のNbN/MgO/NbN 接合の SEM 写真を示す。配線及び上部電極が、エッチングにより異常に細くなった様子を見ることができる。

これに対して、第2 CLIP 法を用いた場合は、良好な接合特性を示す接合が得られた。図6-12 (a)に、作製した $0.75\mu\text{m}$  角の NbN/MgO/NbN 接合の SEM 写真を示す。



(a)



(b)

図6-12 (a) 作製した $0.75\mu\text{m}$  角の NbN/MgO/NbN 接合の SEM 写真  
(b) 1024 個直列接続された接合配列の I - V 特性

図6-1 2(b)に、この接合を1024個直列に接続した配列のI-V特性を示す。接合の臨界電流密度は、 $20 \text{ kA/cm}^2$ である。臨界電流のばらつきは、最大最小で $\pm 21.5\%$ 、標準偏差で $9.6\%$ であった。これは、NbNジョセフソン接合作製プロセスの接合部のリソグラフィ工程の一部に電子ビーム露光を用いて作製された。電子ビーム露光は、1回目のレジスト形成に用いた。ここで、ネガ型の $\alpha$ M-CMSを含むPCM二層レジスト法を用いたため、接合部の直上を電子ビームでスキャンすることになったが、特に接合特性への影響は、見られなかった。

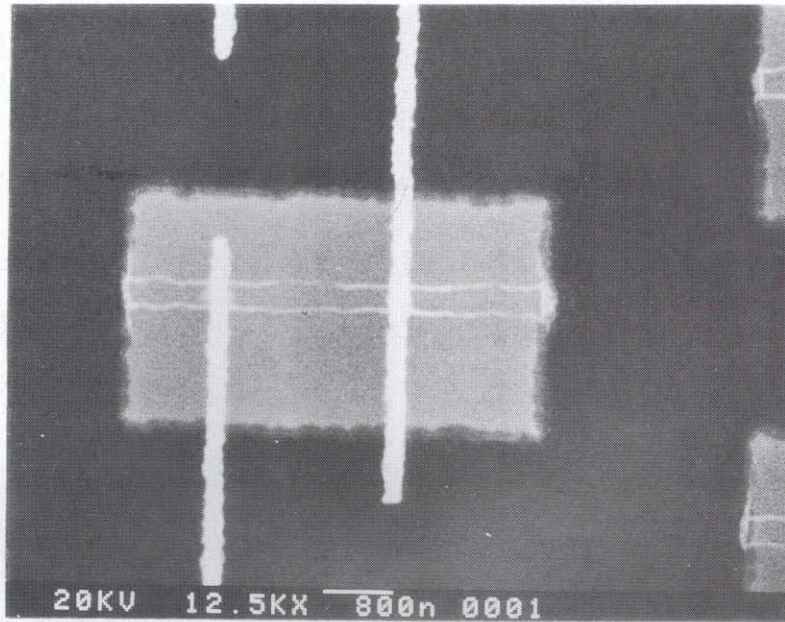
図6-1 3(a)は、第2 CLIP法を用いて、作製した $0.45 \mu\text{m}$ 角のNbN/MgO/NbN接合のSEM写真である。図6-1 3(b)は、この接合について測定されたI-V特性である。接合部のパターン形成には、1回目、2回目ともに電子ビーム直接描画を用いた。レジストは、1回目にPMMA/ $\alpha$ M-CMS二層レジスト、2回目にAZ-1400/SNR二層レジストを用いた。実際の接合部の大きさは、 $0.25 \times 0.3 \mu\text{m}^2$ であった。

#### 6.4 サブミクロン NbN 接合を用いた集積回路技術

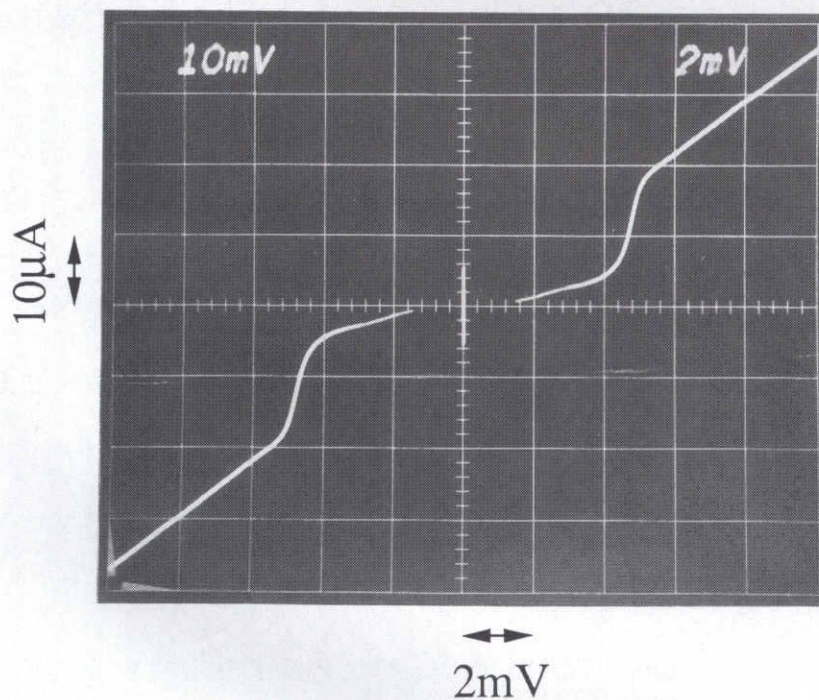
本節では、NbN/MgO/NbN接合のデジタル集積回路への応用について述べる。初めに、第2 CLIP法と電子ビーム直接描画技術を用いたNbN/MgO/NbN接合集積回路プロセスについて詳説する。電子ビーム露光は、接合部のリソグラフィ工程に用いて、その他の工程は、UV露光によった。図6-1 4は、NbN/MgO/NbN接合集積回路プロセスの工程図である。これにしたがって、集積回路プロセスの流れを説明する。

(a) 5cm径のSiウエハー上に350nm厚のNb膜をスパッタにより堆積する。ランドプレーン用のレジストパターンを用いて $\text{CF}_4$ ドライエッチングを行なう。ランドプレーンの周辺の段差を減らすために、250nm厚のSiO膜を蒸着により堆積し、レジスト上のSiO膜をリフトオフ法により取り除く。300nm厚のNb膜をDCマグネトロンスパッタにより堆積し、ランドコンタクト用のレジストパターンによりドライエッチングを行なう。250nm厚のSiO膜と20nm厚のMgO膜を蒸着により堆積し、レジスト上の膜をリフトオフ法により取り除く。ここで、MgO膜は、この後のドライエッチング工程に





(a)



(b)

図 6-13 作製した  $0.45\mu\text{m}$  角の NbN/MgO/NbN 接合  
(a) SEM 写真、(b) 4.2 K で測定した I - V 特性

において、エッチングに対する保護層として機能する。

(b) 抵抗用 Pd 膜<sup>20)</sup> を EB 蒸着により堆積し、リフトオフ法により抵抗パターンを形成する。Pd 膜のシート抵抗は、 $1\Omega/\square$  である。エッチングに対する保護用として、

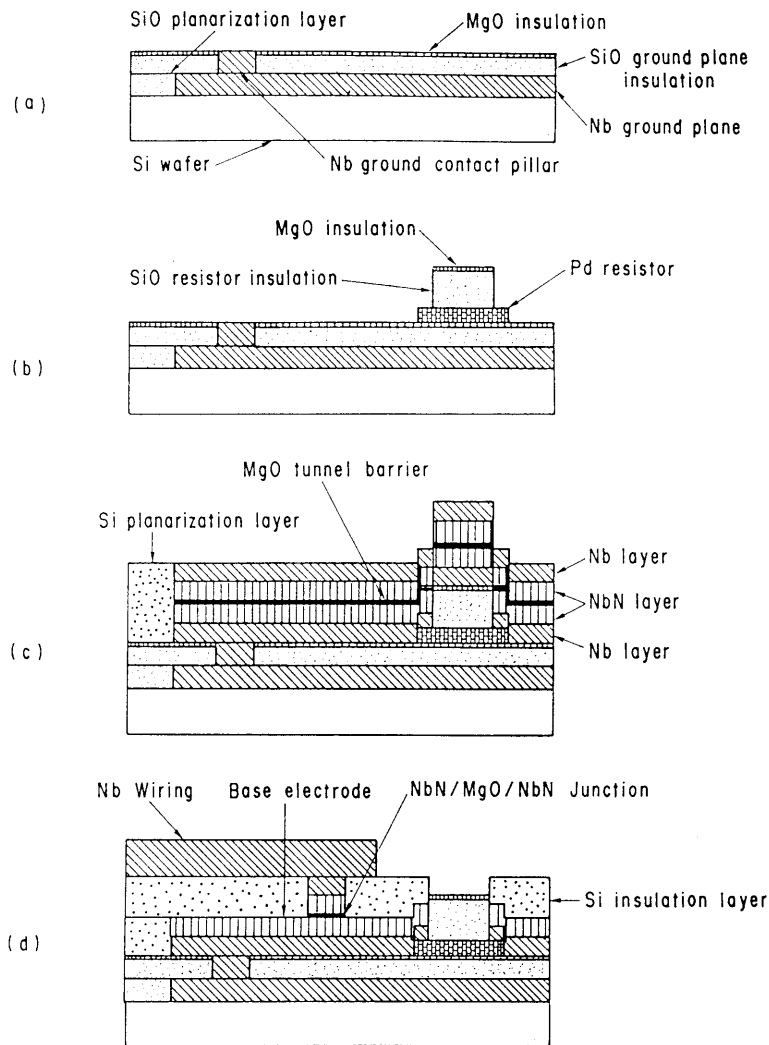


図 6-1 4 NbN/MgO/NbN 接合集積回路プロセスの工程図

200nm 厚のSiO 膜と 20nm 厚のMgO 膜を堆積し、リフトオフ法により抵抗保護パターンを形成する。

(c) 150nm 厚の Nb 膜、50nm 厚の NbN 膜、0.5~0.8nm 厚の MgO トンネル障壁、50nm 厚の NbN 膜、および、150nm 厚の Nb 膜を連続的に RF マグネトロンスパッタにより堆積して、NbN/MgO/NbN 接合多層膜を作製する。スパッタの条件は、表 6-3 にまとめて示した。下部電極用のレジストパターンを用いてドライエッチングを行ない、平坦化のため 400nm 厚の Si 膜を EB 蒸着により堆積する。レジスト上の膜をリフトオフ法により取り除く。

Table 6-3 Sputtering conditions of films

Film	Nb		NbN	MgO
Mode	rf	dc	rf	rf
Gas	Ar	Ar	Ar, N <sub>2</sub> , CH <sub>4</sub>	Ar
Gas pressure (mTorr)	8.5	10	8.5 (Total) 0.45* (N <sub>2</sub> ) 0.12 *(CH <sub>4</sub> )	10
Power density (W/cm <sup>2</sup> )	2.5	1.5	2.2	1.1
Deposition rate (nm/min)	92	120	36	0.5

\*Partial Pressure

(d) サブミクロン形状の接合用二層レジスト (PMMA/ $\alpha$  M-CMS) パターンを電子ビーム直接描画により形成する。上部電極の Nb、NbN 膜をドライエッチングにより取り除く。このエッチングは、MgO トンネル障壁が露出したところで停止し、下部電極を全く侵食しない。200nm 厚の絶縁用 Si を蒸着により堆積し、リフトオフによりレジスト上の膜を取り除く。下部電極と配線を接続するためのコンタクトホールをドライエッチングにより形成する。350nm 厚の配線用 Nb 膜を DC スパッタにより堆積する。二層レジスト (PMMA/ONPR-830) により、接合用サブミクロンパターンを含む配線用レジストパターンを UV 露光によって形成し、ドライエッチングを行なう。このエッチングでは、配線用 Nb 膜と、同時に、不要な上部電極の Nb、NbN 膜も取り除かれる。

このようにして、サブミクロン NbN ジョセフソン接合を含む、ジョセフソン集積回路が作製される。表 6-4 に、完成したジョセフソン集積回路について、各層のデータをまとめて示した。

図 6-15 には、作製した 4 J L ゲートの SEM 写真を示す。ゲートの大きさは、電源供給用の抵抗を除いて  $10 \times 20 \mu\text{m}^2$  である。最小接合の大きさは、 $0.8 \times 0.8 \mu\text{m}^2$  の設計値に対して、 $0.58 \times 0.65 \mu\text{m}^2$  であった。この差は、レジストがエッチングされたため



Table 6-4 Layers for Josephson logic circuits

Layer	Material	Thickness (nm)
Ground plane	Nb	350
Planarization insulation	SiO	250
Ground contact pillar	Nb	300
Ground plane insulation	SiO/MgO	250/20
Resistor	Pd	40
Resistor insulation	SiO/MgO	200/20
Base electrode	Nb/NbN	150/50
Tunnel barrier	MgO	0.5~0.8
Counter electrode	NbN/Nb	50/150
Planarization insulation	Si	200
Junction insulation	Si	200
Wiring	Nb	350

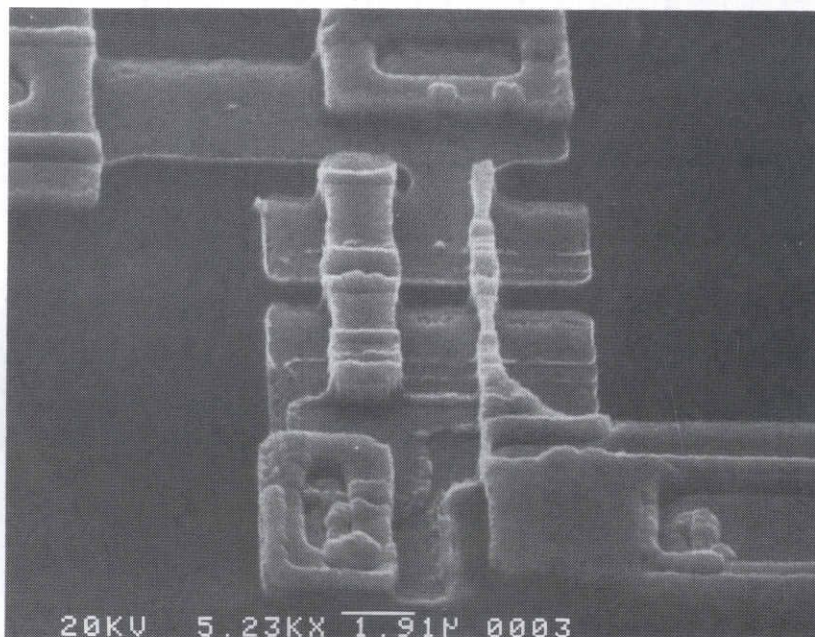


図 6-15 作製した4JLゲートのSEM写真

と考えられる。当初、接合部の工程に用いる2回目のレジスト形成について、当初、電子ビーム露光を用いたが、そのレジストがエッチングに十分耐えられないため、2回目のみ紫外線露光に変更した。

図 6-16 に作製したゲートの I-V 特性を示す。最大ゲート電流は、 $90\mu\text{A}$  で、設計値の4分の1であった。図 6-17 は、このゲートのしきい値特性である。ゲートの

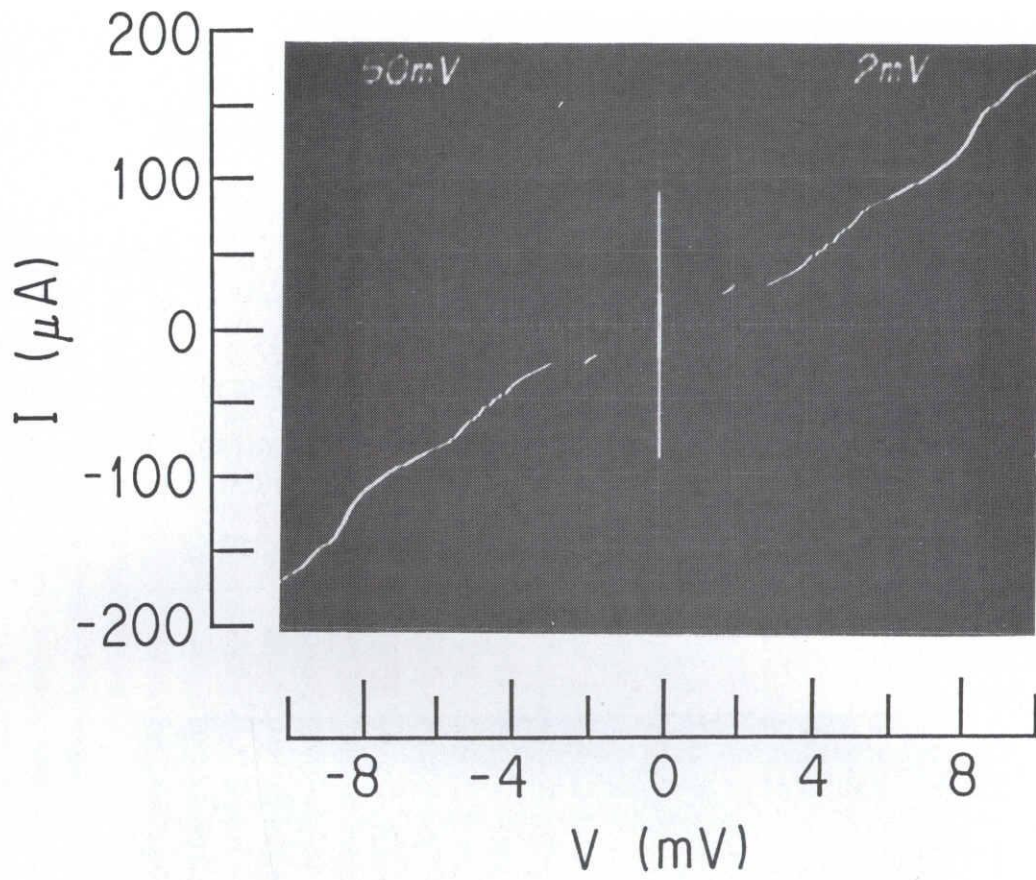


図 6-1 6 4.2 Kで測定した4JLゲートのI-V特性

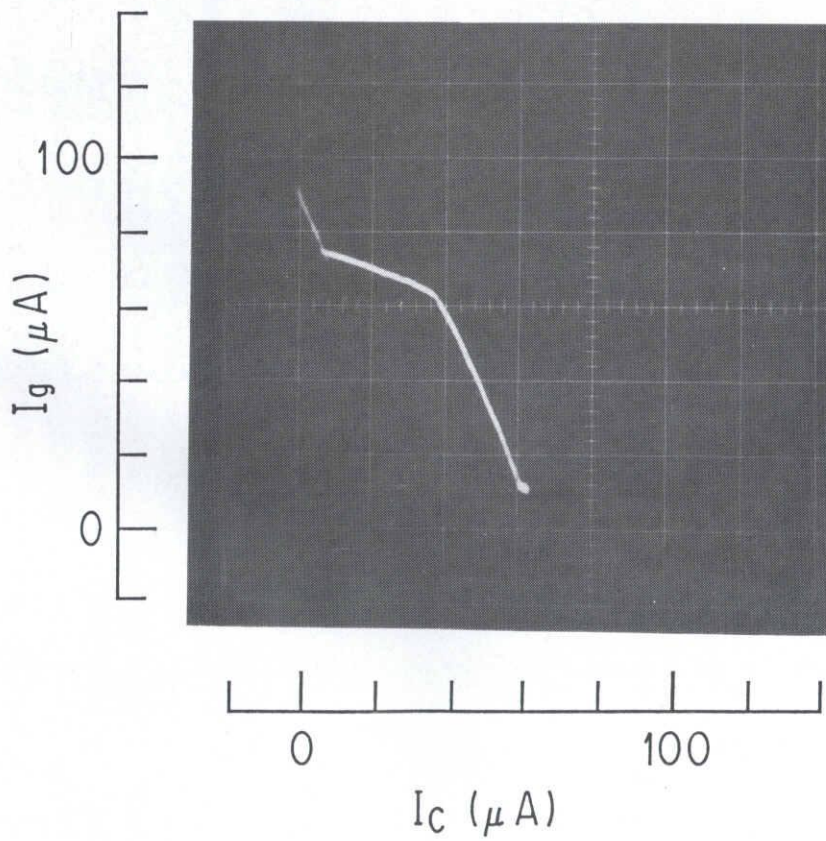


図 6-1 7 4.2 Kで測定した4JLゲートのしきい値特性

電流利得は、設計値の2に近い、2.25が得られた。動作マージンは、±10%であった。マージンが、設計よりかなり小さくなった原因は、接合の臨界電流値が設計値に対して4分の1とかなり低くなったためと考えられる。

## 6.5 サブミクロン接合を用いた集積回路の論理遅延測定

### 6.5.1 サブミクロンNbN接合作製方法の改善

本章の前半で述べた接合作製方法（第2 CLIP法）により、多数個の接合を集積することは、むずかしい。その方法では、第2回目の接合部用のラインパターン形成において、配線用のパターン形成と同じパターンにより、同一のエッチング工程で行なうため、レジストの目減りが大きくなり、そのため、エッチングが終了した時点でのパターンの崩れが大きかった。

そこで、この問題点を解決する方法として、次に述べる方法（第3 CLIP法と呼ぶ）を提案する。接合部用のパターン形成と配線用のパターン形成を別工程にする。図6-18に接合の完成図を示す。作製手順について、以下に説明する。

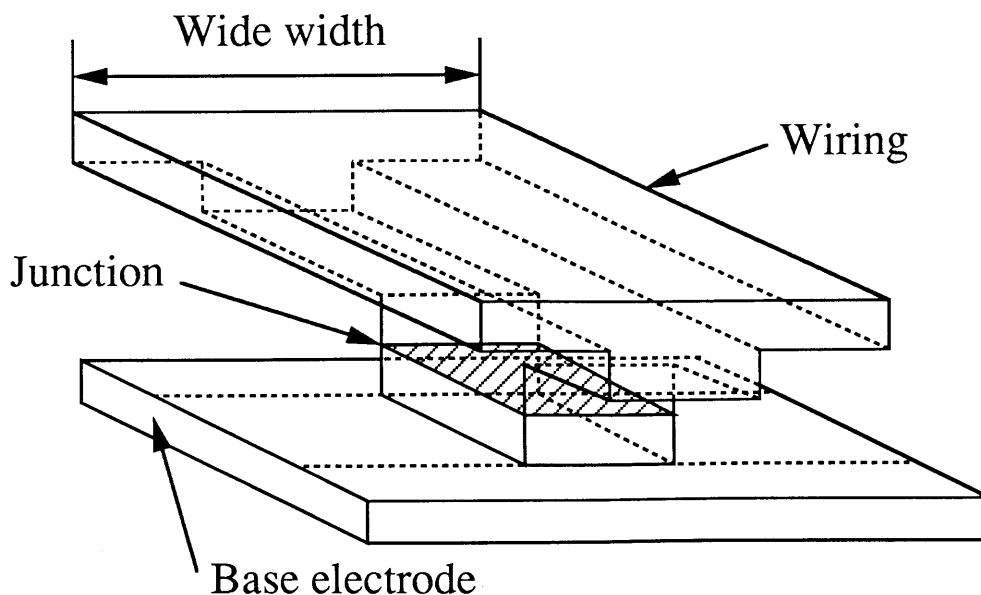


図6-18 新しい接合作製工程による接合の完成図



下部電極パターンが形成された後から述べる。

1) 第1回目の接合部用のパターンを2層レジスト $\alpha$ M-CMS/PMMAを用いて電子ビーム直接描画により形成し、上部電極のエッチングを行なう。

2) レジストをそのままにして、絶縁用Si膜を堆積する。リフトオフ法により、レジスト上のSi膜を取り除く。

3) 接続部をArエッチングでクリーニングした後に、接続用のNbN膜を堆積する。

4) 第2回目の接合部用のパターンを2層レジスト $\alpha$ M-CMS/PMMAを用いて電子ビーム直接描画により形成し、NbN膜と上部電極のエッチングを行なう。

5) レジストをそのままにして、絶縁用Si膜を堆積する。リフトオフ法により、レジスト上のSi膜を取り除く。

6) 配線用のレジストパターンをUVステッパーにより形成し、配線用のPb-In合金膜を堆積する。リフトオフ法により、レジスト上のPb-In合金膜膜を取り除く。

以上の手順により、接合を完成させる。

この方法と以前の方法を比較してみると、接続用NbN膜の堆積とそのパターン形成工程および絶縁膜の堆積工程の増加が、不利な点であるが、接合部の2回目のパターン形成でのエッチング時間の減少が、有利な利点である。これにより、接合部のパターン形成が良好に行われる。

### 6.5.2 論理遅延測定回路の作製

ファンイン、ファンアウトともに1であるような、4JL-OR論理ゲートについて、論理遅延を測定する回路の試作について述べる。図6-19に回路のブロックダイアグラムを示す。本回路は、50ゲート分が連なったチェーン回路、トリガーゲート、バイパスゲート、出力ゲートから構成される。

入力ゲートは、外部より与えられたトリガー信号を増幅するゲートである。チェーン回路は、50ゲート分の論理遅延を測定するための回路である。バイパスゲートは、信号についてチェーン回路をバイパスさせるゲートである。バイパスゲートの電源をオ

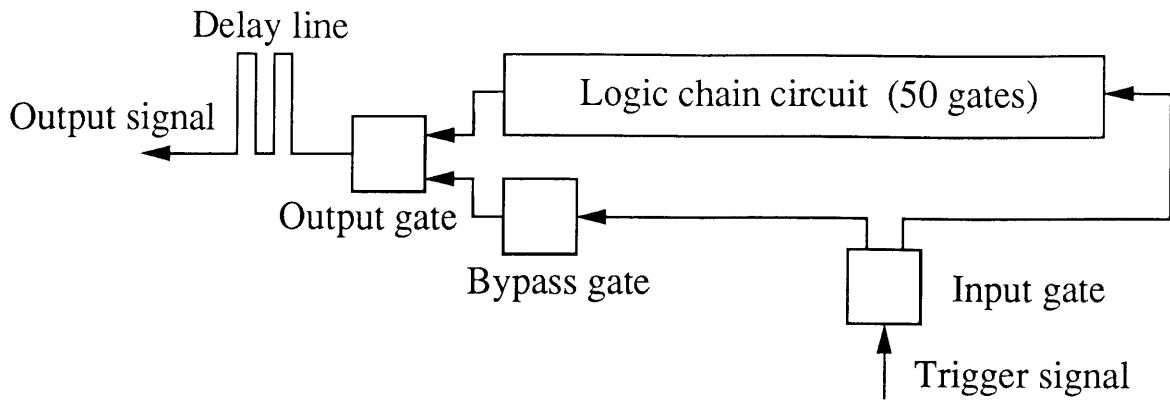


図 6-19 論理遅延測定回路のブロック図

ンオフすることにより、信号の伝搬経路が、変更される。

論理遅延の測定は、チェーン回路を通った信号とバイパスゲートを通った信号の時間差を計測し、1ゲートあたりの遅延時間を評価することによって、行なわれた。

図 6-20 には、実際に作製した回路の顕微鏡写真を示す。チェーン回路への電源供給は、 $3\ \mu\text{m}$  巾  $300\ \mu\text{m}$  長のインダクタンス ( $80\ \text{pH}$ ) を通して行なわれ、電源電圧を安定化するために、全体で  $1.6\ \Omega$  となるように低い抵抗を電源供給ラインに対して並列に接続した。これにより、ゲートに流れる電流と同じ電流が抵抗を通して流れ、電源電圧の変動が、抑えられる。また、インダクタンスは、ゲートがスイッチした時に生じる電源電圧の変動が、後段のゲートに伝わって、誤動作させるのを防ぐ目的で、用いられた。外部より与えられたトリガー信号が、クロストークにより、出力信号に影響を与えないように、出力ゲートの後に、 $3\ \mu\text{m}$  幅、 $51\ \text{mm}$  長の遅延線を接続し、約  $500\ \text{ps}$  の遅延を出力信号に付加した。

図 6-21 には、チェーン回路の中の一個の 4JL ゲートについて、SEM 写真を示す。ゲートの寸法は、 $14\ \mu\text{m} \times 20\ \mu\text{m}$  であった。最小接合のサイズは、 $0.9\ \mu\text{m}$  角であった。入力抵抗 ( $R_i$ )、負荷抵抗 ( $R_L$ )、電源供給抵抗 ( $R_p$ ) の値は、それぞれ、 $2.5$ 、 $10$ 、 $30\ \Omega$  であった。

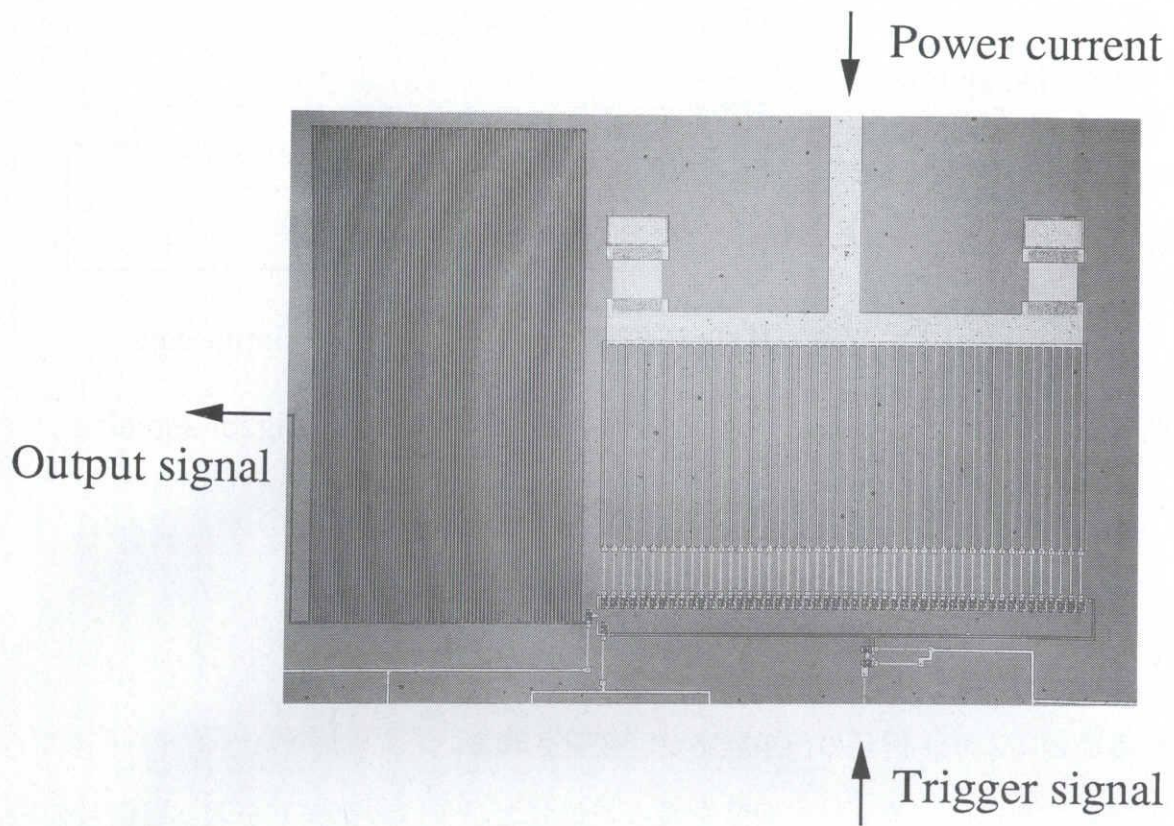


図6-20 作製した測定回路の顕微鏡写真

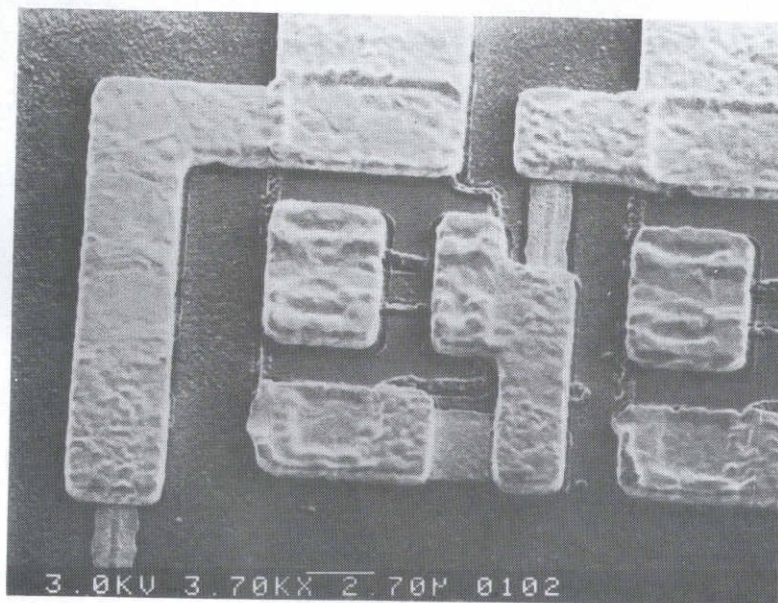


図6-21 チェーン回路における一個の4JゲートのSEM写真



### 6.5.3 測定実験と考察

出力信号は、サンプリングオシロスコープにより、波形の観測を行った。トリガー信号として、立ち上がり20 psのパルス信号を用いた。図6-22に示す写真は、各ゲートに対するバイアス電流が最も大きい場合の出力信号波形である。ここで、バイパスゲートの電源をオンオフすることにより、チェーン回路を通った信号とバイパスゲートを通った信号を切り替えて得られた2種類の信号波形が重ねて表示された。両信号の時間差は、175 psと計測されたので、1ゲートあたりの論理遅延は、3.6 psと評価された。この値は、NbN ジョセフソン接合を用いて作製された論理回路において、今まで得られたなかで最小の値である。

次に、チェーン回路のバイアス電流を変化させて、論理遅延を測定した結果を示す。図6-23は、上で説明した方法により評価された1ゲートあたりの論理遅延の値をチェーン回路における1ゲートあたりのバイアス電流に対してプロットした図である。バイアス電流が、増加するにしたがって、論理遅延が減少することが分かった。実験にお

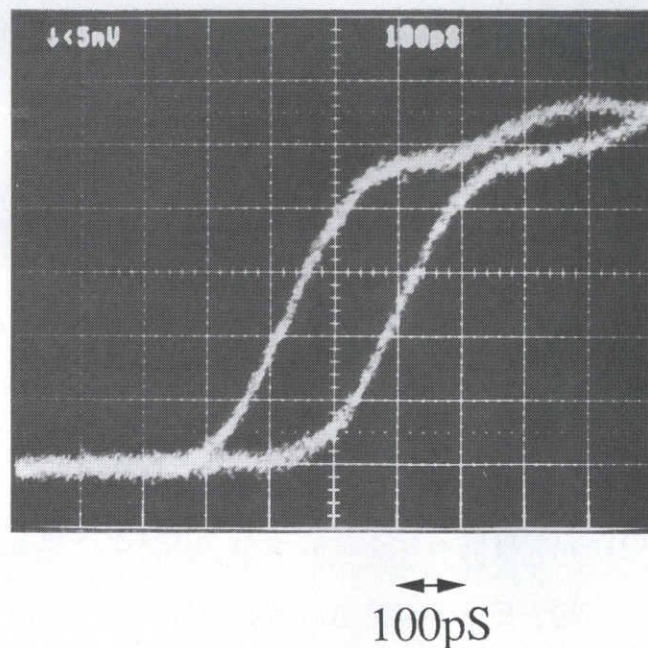


図6-22 最大バイアス電流における出力信号波形の写真

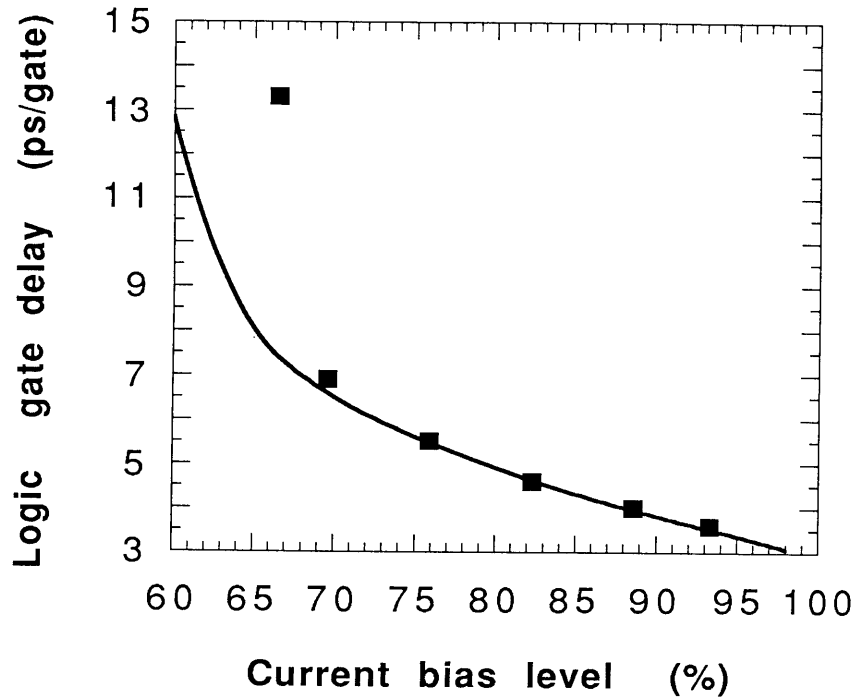


図6-23 バイアス電流レベルに対する1ゲートあたりの論理遅延

ける回路パラメータを用いて、汎用電子回路解析プログラム (FNAP) <sup>21)</sup> を使ったコンピュータシミュレーションにより求めた論理遅延のバイアス電流依存性を、図6-23の中に実線で示した。シミュレーションの結果は、実験結果との良い一致を示した。

## 6.6 結 言

サブミクロン NbN ジョセフソン接合の作製のために、独自に開発した種々の技術について詳細に述べた。二つのライン状のレジストパターンを交差させて用いることにより、微小な接合を作製するCLIP法について、詳しく述べた。この方法により、サブミクロン形状の接合の作製が可能となった。また、リソグラフィ工程における精度の向上と微細化を目指して、電子ビーム直接描画技術を用いたジョセフソン接合の作製技術について、詳しく述べた。この技術により、クオータミクロンの形状をもつ接合の作製が可能となった。また、サブミクロン NbN ジョセフソン接合のよるデジタル集積回路

への応用例について報告した。0.9  $\mu\text{m}$  角の NbN ジョセフソン接合による論理遅延測定集積回路を作製し、NbN ジョセフソン接合についての論理回路のスイッチング速度としては、最高速である 3.6 ps/gate の値を得た。

## 第6章 参考文献

- 1) S. Kosaka, H. Nakagawa, H. Kawamura, Y. Okada, Y. Hamazaki, M. Aoyagi, I. Kurosawa, A. Shoji, and S. Takada: IEEE Trans. Magn. MAG-25 (1989) 789
- 2) M. Aoyagi, A. Shoji, S. Kosaka, H. Nakagawa, and S. Takada: IEEE Trans. Magn. MAG-25 (1989) 1223
- 3) 平野、矢野、山田、川辺：電子通信学会論文誌 J69-C (1986) 816
- 4) 小高、三村、湯田、中野、植木：電子通信学会技術研究報告 SCE84-36 (1984) 7
- 5) N. Miyamoto, Y. Tarutani, M. Hirano, T. Shimotsu, and U. Kawabe: J. Appl. Phys. 60 (1986) 2187
- 6) A. Shoji, F. Shinoki, S. Kosaka, M. Aoyagi, and H. Hayakawa: Appl. Phys. Lett. 41 (1982) 1097
- 7) A. Shoji, F. Shinoki, S. Kosaka, M. Aoyagi, and H. Hayakawa: IEEE Trans. Magn. MAG-19 (1983) 827
- 8) A. Shoji, M. Aoyagi, S. Kosaka, F. Shinoki, and H. Hayakawa: Appl. Phys. Lett. 46 (1985) 1098
- 9) A. Shoji: Proc. of IC SQUID'85 (1985) 631
- 10) M. Aoyagi, A. Shoji, S. Kosaka, F. Shinoki, and H. Hayakawa: Proceedings of the 6th International Cryogenic Materials Confs. (Advances in Cryogenic Engineering Materials 32 Plenum Publishing) (1986) 557
- 11) 青柳、東海林、幸坂、篠木、早川：電子通信学会技術研究報告 SCE85-34 (1985) 13
- 12) 青柳、東海林、幸坂、篠木：電子通信学会技術研究報告 SCE86-28 (1986) 43
- 13) M. Aoyagi, A. Shoji, S. Kosaka, F. Shinoki, and S. Takada: Extended Abstracts of 1987 International Superconductivity Electronics Conf. (1987) 222

- 14) M. Aoyagi, A. Shoji, S. Kosaka, H. Nakagawa, and S. Takada: IEEE Trans. Magn. MAG-25 (1989) 1223
- 15) S. Takada, S. Kosaka, and H. Hayakawa: Jpn. J. Appl. Phys. Suppl. 19-1 (1980) 607
- 16) M. Hassel Shearer, H. Takemura, M. Isobe, N. Goto, K. Tanaka, and S. Miyauchi: J. Vac. Sci. Technol. B4 (1986) 64
- 17) K. Sukegawa and S. Sugawara: Jpn. J. Appl. Phys. 20 (1981) L583
- 18) M. Morita, A. Tanaka, S. Imamura, T. Tamamura, and O. Kogure: Jpn. J. Appl. Phys. 22 (1983) L659
- 19) B. J. Lin: Solid State Technol. 26 (1983) 105
- 20) K. Kuroda, J. Nakano, M. Yuda, and M. Ueki: Electronics Lett. 23 (1987) 163
- 21) 富士通：FACOM OS IV/F4 FNAP 解説書（汎用電子回路解析プログラム）  
64AR-7600-2 (1983)



## 第7章 総括

本研究では、窒化ニオブ (NbN) を電極に用いたジョセフソン接合について、LSI レベルの集積回路作製技術の開発を行なった。具体的な集積回路として、ジョセフソンコンピュータのための読みだし専用メモリ (ROM) 集積回路を取り上げ、実際に集積回路の設計試作を行ない、動作させることに成功した。また、今後の大規模集積化、高速化に対応するために、集積回路作製技術を高度化する二つの方法（接合特性容量の低減化、接合面積の微小化）について検討した。以下に、本研究で得られた主要な成果を列挙し、本論文のまとめとする。

(1) NbN 超伝導膜について、堆積方法と作製された膜の特性について述べた。

超伝導臨界温度について、最も高い値として 15.2 K を得た。平行平板型リアクティブイオンエッチング装置を用いた接合作製のドライエッチング工程について、NbN、Nb、SiO 膜に対するエッチング条件を調べ、最適条件を求めた。ドライエッチング工程を用いた NbN 電極ジョセフソントネル接合作製技術について述べた。(第2章)

(2) 各種のトンネル障壁を用いた NbN 電極ジョセフソントネル接合の作製技術について述べた。トンネル障壁として、NbN 放電酸化膜を用いた NbN 電極ジョセフソントネル接合の作製技術について述べた。放電酸化の条件と接合特性の間の関係について、報告した。次に、トンネル障壁として、スパッタ法による MgO 膜を用いた NbN 電極ジョセフソントネル接合の作製技術について述べた。MgO 膜堆積の条件と接合特性の間の関係について報告した。

(第2章)

(3) ジョセフソン接合作製技術におけるリソグラフィ工程について、2層レジスト法を適用することにより、ジョセフソン臨界電流のバラツキが従来の単層レジストに比べて3分の1に減少することを示した。多数個集積されたジョセ

フソン接合について、ジョセフソン臨界電流のバラツキが、その大部分がレジスト形状のバラツキによることを明らかにした。(第3章)

(4) NbN/MgO/NbN ジョセフソン接合に関して、ジョセフソン臨界電流密度の再現性を検討した。トンネル障壁としての MgO 膜について、堆積工程の諸条件を詳細に調べ、MgO 膜の堆積速度の再現性を改善する方法を提案した。実際に、改善方法をジョセフソン接合の作製に適用して、ジョセフソン臨界電流密度の再現性については、電流密度  $610 \text{ A/cm}^2$  に対して  $\pm 28\%$  に、電流密度  $15 \text{ kA/cm}^2$  に対して  $\pm 20\%$  に改善された。また、ジョセフソン臨界電流密度の均一性については、電流密度  $650 \text{ A/cm}^2$  に対して、 $\pm 12\%$  の値を得た。(第3章)

(5) MgO トンネル障壁を用いた NbN ジョセフソン接合による大規模集積回路 (LSI) 作製技術について述べた。集積回路作製技術に基づいて行った読みだし専用メモリ (ROM) 集積回路の設計および試作について報告した。作製された集積回路チップについて、アクセス時間の測定を中心に動作試験について詳しく報告した。この結果により、NbN/MgO/NbN トンネル接合についてジョセフソン LSI 作製技術への適用の可能性が世界で初めて実証された。(第4章)

(6) トンネル障壁として低誘電率の水素化アモルファスシリコン (a-Si:H) 膜を用いた NbN ジョセフソン接合の作製工程と作製された接合特性について、詳しく報告した。この接合による論理ゲートの遅延時間測定用回路の作製と動作試験についても、報告した。低誘電率のトンネル障壁を用いることにより、接合容量の減少による論理ゲートの遅延時間の短縮を 4JL ゲートについて実証した。(第5章)

(7) サブミクロン NbN ジョセフソン接合の作製のために独自に開発した種々の技術について詳細に述べた。二つのライン状のレジストパターンを交差させて用いることにより、微小な接合を作製する CLIP 法について、詳しく述べた。この方法により、サブミクロン形状の接合を作製することが可能となった。(第6章)

(8) リソグラフィ工程における精度の向上と微細化を目指して、電子ビーム直接描画技術を用いたジョセフソン接合の作製技術について、詳しく述べた。この技術により、クオータミクロンの形状をもつ接合の作製が可能となった。サブミクロン NbN ジョセフソン接合によるデジタル集積回路への応用例について報告した。0.9  $\mu\text{m}$  角の NbN ジョセフソン接合を用いて作製した論理遅延測定用集積回路において、NbN ジョセフソン接合による論理回路のスวิตチング速度としては、最高速である 3.6 ps/gate の値を得た。(第 6 章)

以上、本研究で得られた成果について列挙した。本研究では、超高速の電子デバイスとして期待されてきたジョセフソン接合について、応用技術の展開のために必要不可欠な集積回路技術を LSI レベルまで発展させることに成功した。今後、この集積回路技術を基にして様々な応用技術の展開が期待される。

## 謝 辞

本論文を結ぶにあたり、終始懇切なる御指導と御鞭撻を賜った、名古屋工業大学教授 和田隆夫博士に、衷心より感謝の意を表します。

また、本論文を作製するにあたり、懇切なる御指導と御討論を賜った、名古屋工業大学教授 鈴木昱雄博士、名古屋工業大学教授 丸野重雄博士に深く感謝いたします。

そして、名古屋工業大学在学中から今日まで、御指導と御鞭撻をいただいた、名古屋工業大学助教授 宇佐見晶博士に深く感謝いたします。

また、本研究の遂行にあたり、熱心な御指導と御激励をいただいた、元ジョセフソンコンピュータ技術特別研究室長 早川尚夫博士（現名古屋大学工学部教授）、超伝導エレクトロニクス研究室長 高田進博士に深く感謝いたします。

また、本研究の機会を与えていただいた、元名古屋工業大学教授 井上彌治郎博士、元ジョセフソンコンピュータ技術特別研究室長 柏木寛博士（現電子技術総合研究所長）、元電子デバイス部長 鶴島稔夫博士（現九州大学工学部教授）、元大型プロジェクトリーダー 田村浩一郎氏（現情報科学部長）に、深く感謝いたします。

本研究について、多くの方々のご支援とご協力をいただきました。電子デバイス部超伝導エレクトロニクス研究室主任研究官 仲川博氏、同主任研究官 黒沢格博士、同主任研究官 東海林彰博士、極限技術部超伝導技術研究室長 幸坂紳博士、青森県産業技術センター長 篠木藤敏博士、電子デバイス部超伝導エレクトロニクス研究室主任研究官 赤穂博司博士、同研究官 神代暁博士、基礎計測部計測基礎研究室長 小柳正男博士、情報アーキテクチャー部情報ベース研究室長 岡田義邦氏、同部分散システム研究室主任研究官 濱崎陽一氏には、有益な議論と実験への御協力をいただきました。このほかに、元ジョセフソンコンピュータ技術特別研究室と超伝導エレクトロニクス研究室の方々とは、有意義な議論を活発に交わすことができたことに、深く感謝致します。

また、河村裕樹氏（日本DEC（株））、木戸照雄氏（ダイキン工業（株））、鳥鷹幸弘氏（ダイキン工業（株））、細田真人氏（テキサスインスツルメント（株））、岸野和孝氏（日本ユニシス（株））、以上の方々には、試料の設計、試作、および測定実験を手伝っていただきました。

なお、液体ヘリウムの安定な供給に御尽力いただいた極低温センターの皆様、計算機の利用に御協力いただいた共同利用計算機室の皆様、CADシステムの利用に御協力いただいた工業技術院計算機センターの皆様には、厚く御礼を申し上げます。

最後に本研究を進めるにあたって、多大な御協力をいただいた電子技術総合研究所の皆様には、厚く御礼を申し上げます。

(A) 発表論文

- (1) "All Niobium Nitride Josephson Junction with Hydrogenated Amorphous Silicon Barrier and its Application to the Logic Circuit."  
M. Aoyagi, A. Shoji, S. Kosaka, F. Shinoki, H. Nakagawa, S. Takada, and H. Hayakawa  
Jpn. J. Appl. Phy. 23 (1984) L916
- (2) "A 1  $\mu$  m Cross Line Junction Process"  
M. Aoyagi, A. Shoji, S. Kosaka, F. Shinoki, and H. Hayakawa  
Proceedings of the 6th International Cryogenic Materials Confs.  
(Advances in Cryogenic Engineering Materials 32 Plenum Publishing) (1986) 557
- (3) "Fabrication of Submicron Josephson Tunnel Junctions by Electron Beam Lithography"  
M. Aoyagi, A. Shoji, S. Kosaka, F. Shinoki, and S. Takada  
Extended Abstracts of 1987 International Superconductivity Electronics Conf.  
(1987) 222
- (4) "Submicron NbN Josephson Tunnel Junctions for Digital Applications"  
M. Aoyagi, A. Shoji, S. Kosaka, H. Nakagawa, and S. Takada  
IEEE Trans. Magn. MAG-25 (1989) 1223
- (5) "A Josephson 10-bit Instruction ROM Unit for a Prototype Computer"  
M. Aoyagi, H. Nakagawa, I. Kurosawa, Y. Okada, Y. Hamazaki, S. Kosaka, A. Shoji, and S. Takada  
Extended Abstracts of 1989 International Superconductivity Electronics Conf.  
(1989) 271
- (6) "A Josephson 10-bit Instruction 128-Word ROM Unit"  
M. Aoyagi, H. Nakagawa, I. Kurosawa, S. Kosaka, Y. Okada, Y. Hamazaki, and S. Takada  
IEEE J. Solid-State Circuits 25 (1990) 971
- (7) "Josephson LSI Fabrication Technology Using NbN/MgO/NbN Tunnel Junctions"  
M. Aoyagi, H. Nakagawa, I. Kurosawa, and S. Takada  
IEEE Trans. Magn. MAG-27 (1991) 3180
- (8) "NbN Josephson Junction with High Critical Current Density for Integrated Circuits"  
M. Aoyagi, H. Nakagawa, I. Kurosawa, and S. Takada  
Extended Abstracts of 1991 International Superconductivity Electronics Conf.  
(1991) 448
- (9) "NbN/MgO/NbN Josephson Tunnel Junctions for Integrated Circuits"  
M. Aoyagi, H. Nakagawa, I. Kurosawa, and S. Takada  
Jpn. J. Appl. Phy. (1992) to be published

(B) 研究会発表

- (1) 「NbN/oxidized a-Si:H/NbNジョセフソン素子の接合容量とスイッチング速度」  
青柳昌宏、東海林彰、幸坂紳、篠木藤敏、仲川博、高田進、早川尚夫  
電子通信学会超伝導エレクトロニクス研究会 SCE84-32 (1984) 13
- (2) 「二層レジスト法によるNbNジョセフソン素子の均一性の評価」  
青柳昌宏、東海林彰、幸坂紳、篠木藤敏、早川尚夫  
電子通信学会超伝導エレクトロニクス研究会 SCE85-34 (1985) 13
- (3) 「NbNジョセフソン接合の微細化技術」  
青柳昌宏、東海林彰、幸坂紳、篠木藤敏  
電子通信学会超伝導エレクトロニクス研究会 SCE86-28 (1986) 43
- (4) 「ジョセフソンコンピュータETL-JC1の命令ROM(IROU)の設計」  
青柳昌宏、仲川博、黒沢裕、河村裕樹、岡田義邦、濱崎陽一、幸坂紳、  
東海林彰、高田進  
電子情報通信学会超伝導エレクトロニクス研究会 SCE88-38 (1988) 67
- (5) 「10ビット×128ワード命令用ジョセフソンROM」  
青柳昌宏、仲川博、黒沢裕、幸坂紳、岡田義邦、濱崎陽一、高田進  
電子情報通信学会集積回路研究会 VLD90-13, ICD90-49 (1990) 39

(C) 関連論文

- (1) "New Fabrication Process for Josephson Tunnel Junctions with (Niobium Nitride Niobium) Double-Layered Electrodes"  
A. Shoji, F. Shinoki, S. Kosaka, M. Aoyagi, and H. Hayakawa  
Appl. Phys. Lett. 41 (1982) 1097
- (2) "All Refractory Josephson Tunnel Junctions Fabricated by Reactive Ion Etching"  
A. Shoji, S. Kosaka, F. Shinoki, M. Aoyagi, and H. Hayakawa  
IEEE Trans. Magn. MAG-19 (1983) 82
- (3) "High Speed Logic Operations of All Refractory Josephson Integrated Circuit"  
S. Kosaka, A. Shoji, M. Aoyagi, F. Shinoki, H. Nakagawa, S. Takada, and  
H. Hayakawa  
Appl. Phys. Lett. 43 (1983) 213
- (4) "An Integration of All Refractory Logic LSI Circuit"  
S. Kosaka, A. Shoji, M. Aoyagi, F. Shinoki, S. Tahara, H. Ohigashi, H. Nakagawa,  
S. Takada, and H. Hayakawa  
IEEE Trans. Magn. MAG-21 (1985) 102

- (5) "Fabrication and Performance of All Refractory Josephson Logic Circuits for 1 kbit SFQ Memory"  
S. Tahara, S. Kosaka, A. Shoji, M. Aoyagi, F. Shinoki, and H. Hayakawa  
IEEE Trans. Magn. MAG-21 (1985) 733
- (6) "Niobium Nitride Josephson Tunnel Junctions with Magnesium Oxide Barriers"  
A. Shoji, M. Aoyagi, S. Kosaka, F. Shinoki, and H. Hayakawa  
Appl. Phys. Lett. 46 (1985) 1098
- (7) "High Quality Nb/Al-AlO<sub>x</sub>/Nb Josephson Junction"  
S. Morohashi, F. Shinoki, A. Shoji, M. Aoyagi, and H. Hayakawa  
Appl. Phys. Lett. 46 (1985) 1179
- (8) "Temperature-Dependent Properties of Niobium Nitride Josephson Tunnel Junctions"  
A. Shoji, M. Aoyagi, S. Kosaka, and F. Shinoki  
IEEE Trans. Magn. MAG-23 (1987) 1464
- (9) "PECVD-SiO<sub>2</sub> Film as a Junction Isolation for All Refractory Josephson IC"  
S. Kosaka, A. Shoji, M. Aoyagi, Y. Sakamoto, F. Shinoki, and H. Hayakawa  
IEEE Trans. Magn. MAG-23 (1987) 1389
- (10) "Integrated DC-SQUID Magnetometer"  
M. Nakanishi, M. Koyanagi, S. Kosaka, A. Shoji, M. Aoyagi, and F. Shinoki  
Jpn. J. Appl. Phys. 26 (1987) 1050
- (11) "Niobium Nitride Josephson Junctions with Double-Tunnel Barriers"  
A. Shoji, M. Aoyagi, S. Kosaka, and F. Shinoki  
Proceedings of 18th International Conf. on Low Temperature Physics  
Jpn. J. Appl. Phys. Suppl. 26-3 (1987) 1611
- (12) "Fabrication of NbN/MgO/NbN/MgO/NbN Josephson Tunnel Junctions"  
A. Shoji, M. Aoyagi, S. Kosaka, and S. Takada  
Extended Abstracts of 1987 International Superconductivity Electronics Conf.  
(1987) 73
- (13) "Josephson Array Potentionmeter at the ETL"  
Y. Sakamoto, T. Endo, Y. Murayama, T. Sakuraba, M. Nakanishi, M. Koyanagi,  
M. Aoyagi, F. Shinoki, H. Nakagawa, S. Takada  
Extended Abstracts of 1987 International Superconductivity Electronics Conf.  
(1987) 84
- (14) "All NbN DC SQUID Magnetometer Operationg above 10K"  
M. Koyanagi, M. Nakanishi, A. Shoji, F. Shinoki, S. Kosaka, M. Aoyagi, K. Murata,  
N. Kasai, H. Kado, T. Sakuraba, T. Endo, T. Iwasa, K. Hara  
Extended Abstracts of 1987 International Superconductivity Electronics Conf.  
(1987) 33

- (15) "Integrated DC-SQUID Magnetometer"  
M. Nakanishi, M. Koyanagi, S. Kosaka, A. Shoji, M. Aoyagi, F. Shinoki,  
H. Nakagawa, S. Takada, N. Kasai, H. Kado, and T. Endo  
Extended Abstracts of 1987 International Superconductivity Electronics Conf.  
(1987) 265
- (16) "A High Speed 1-kbit Variable Threshold Josephson RAM Chip"  
I. Kurosawa, H. Nakagawa, S. Kosaka, M. Aoyagi, and S. Takada  
Extended Abstracts of 1988 20th Conf. on Solid State Devices and Materials  
(1988) 605
- (17) "Josephson Address Control Unit IC for a 4-bit Microcomputer Prototype"  
S. Kosaka, H. Nakagawa, H. Kawamura, Y. Okada, Y. Hamazaki, M. Aoyagi,  
I. Kurosawa, A. Shoji, and S. Takada  
IEEE Trans. Magn. MAG-25 (1989) 789
- (18) "A Josephson 4-bit Processor for a Prototype Computer"  
H. Nakagawa, S. Kosaka, I. Kurosawa, M. Aoyagi, Y. Hamazaki, Y. Okada, and  
S. Takada  
Extended Abstracts of 1989 International Superconductivity Electronics Conf.  
(1989) 387
- (19) "A 1-kbit Variable Threshold Josephson RAM Chip"  
I. Kurosawa, H. Nakagawa, S. Kosaka, M. Aoyagi, and S. Takada  
Extended Abstracts of 1989 International Superconductivity Electronics Conf.  
(1989) 395
- (20) "A Data RAM Chip for a Josephson Computer Prototype"  
I. Kurosawa, H. Nakagawa, S. Kosaka, M. Aoyagi, Y. Hamazaki, Y. Okada, and  
S. Takada  
Extended Abstracts of 1989 International Superconductivity Electronics Conf.  
(1989) 302
- (21) "A 1-kbit Josephson Random Access Memory Using Variable Threshold Cells"  
I. Kurosawa, H. Nakagawa, S. Kosaka, M. Aoyagi, and S. Takada  
IEEE J. Solid-State Circuits SC-24 (1989) 1034
- (22) "A Josephson 4-bit RALU for a Prototype Computer"  
H. Nakagawa, S. Kosaka, H. Kawamura, I. Kurosawa, M. Aoyagi, Y. Hamazaki,  
Y. Okada, and S. Takada  
IEEE J. Solid-State Circuits SC-24 (1989) 1076
- (23) "Fabrication Process for a Josephson Computer ETL-JC1 Using Nb Tunnel Junctions"  
H. Nakagawa, I. Kurosawa, M. Aoyagi, and S. Takada  
IEEE Trans. Magn. MAG-27 (1991) 3109



- (24) "A Multichip Superconducting Microcomputer ETL-JC1"  
S. Takada, H. Nakagawa, I. Kurosawa, M. Aoyagi, S. Kosaka, Y. Okada, and  
Y. Hamazaki  
IEEE Trans. Magn. MAG-27 (1991) 2610
- (25) "A 4-Bit Josephson Computer ETL-JC1"  
H. Nakagawa, I. Kurosawa, M. Aoyagi, S. Kosaka, Y. Hamazaki, Y. Okada, and  
S. Takada  
IEEE Trans. Appl. Superconductivity ASC-1 (1991) 37
- (26) "A Fully Operational 1-kb Variable Threshold Josephson RAM"  
I. Kurosawa, H. Nakagawa, M. Aoyagi, S. Kosaka, and S. Takada  
IEEE J. Solid-State Circuits SC-26 (1991) 572
- (27) "Properties of Large-Sized Nb-Based Superconducting Tunnel Junctions for X-Ray  
Detection"  
K. Takeno, K. Ishibashi, K. Mori, T. Nagae, Y. Matsumoto, A. Katase, C. Kinoshita,  
K Nakai, S. Takada, H. Nakagawa, H. Akoh, M. Aoyagi, and S. Kohjiro  
Jpn. J. Appl. Phy. 30 (1991) 1969