

半導体デバイスの高周波特性向上
とその応用に関する研究

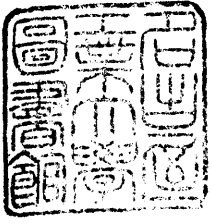
平成5年12月

石川 修

名古屋工業大学博士論文

乙第 56 号(論文申請による)

1993 年 12 月 2 日授与



半導体デバイスの高周波特性向上とその応用に関する研究

石 川 修

目 次

第 1 章 序論

1.1	本研究の背景	5
1.2	本研究の目的	7
1.3	本研究の概要	8
	参考文献	

第 2 章 高周波半導体デバイスの基本特性と評価方法

2.1	序	12
2.2	F E T の基本動作	12
2.3	半導体デバイスの高周波における性能指数	13
2.4	[S]パラメーターによる評価	
2.4.1	[S]パラメーター	16
2.4.2	誤差補正	17
2.5	結言	19
	参考文献	

第 3 章 U H F 帯 S i - M O S デバイスの高出力化

3.1	序	22
3.2	高利得・高出力化の課題	22
3.3	新構造 V D - M O S F E T の高周波特性	
3.3.1	デバイス構造	31
3.3.2	デバイスの特性	33
3.4	高周波プッシュプル回路による大出力化	35
3.5	結言	40
	参考文献	

第4章 S 帯 Si-MOS デバイスの高周波特性の向上

4.1 序	43
4.2 高周波特性を決める要因	43
4.3 新構造 LD-MOSFET の構造とプロセス技術	
4.3.1 デバイスの設計	45
4.3.2 デバイス構造の最適化	48
4.4 デバイスの DC 特性・高周波特性	51
4.5 結言	55
参考文献	

第5章 X 帯 GaAs デバイスの低雑音化と MMIC への応用

5.1 序	58
5.2 デバイスの雑音指数	58
5.3 新プロセスを用いたデバイスの特性	
5.3.1 プロセス	59
5.3.2 高利得化への取り組み	64
5.3.3 デバイス特性	65
5.4 雑音指数のオンウェーハー測定	
5.4.1 測定原理	69
5.4.2 測定系の確立	71
5.4.3 評価結果	73
5.5 低雑音 MMIC への応用	77
5.6 結言	82
参考文献	

第6章 UHF 帯 GaAs パワーデバイスの高効率化と応用

6.1 序	86
6.2 FET の低電圧・高効率動作	
6.2.1 高周波における B 級動作	86
6.2.2 FET の効率改善	88
6.3 パワーモジュールへの応用とその特性	
6.3.1 モジュールの構造	94

6.3.2	新回路・新評価方法の導入	96
6.3.3	総合特性	99
6.4	結言	101
	参考文献	
第7章	総括	104
	謝辞	106
	本研究に関する発表	107

第1章 序論

1.1 本研究の背景	5
1.2 本研究の目的	7
1.3 本研究の概要	8

参考文献

第1章 序論

1.1 本研究の背景

1948年にBardeen, Brattainらにより点接触トランジスタ^{1) 2)}が発明されて以来、半導体の研究は材料的にはゲルマニウム (Ge) からシリコン (Si) さらにはガリウム砒素 (GaAs) と変化し、機能的には半導体デバイスの基本特性である電流増幅率 (h_{re}) や相互コンダクタンス (G_m) の向上を図りながら高集積化 (LSI) による多機能化が行われてきた。具体的には、Siにおいて64bitのマイクロコンピュータ (CPU) や256Mbitのメモリーが既に発表され、GaAsにおいても64Kbitのメモリーまで登場している。

個別半導体デバイスの高周波性能の向上は、LSI化の基本を支える重要なファクターであり、前述した h_{re} や G_m 等の改善に加え、寄生容量の低減などの改良で行われてきた。高周波特性の改善に伴って、単なる音声 (数kHz) の増幅からラジオ・テレビ等の電波 (数MHzから数百MHz) の増幅が可能となり、さらには無線通信等に使用されるより高周波 (数GHz) の増幅へと広がってきている。

市場的に見ると、1979年に当時の日本電電公社から自動車電話のサービス、また1985年により高い周波数を利用する12GHz帯の衛星放送が開始され、我が国においても無線通信の公衆化が図られて以来、それまで特定者間で限定されていた無線通信の利用は爆発的な伸びを示し、数GHzから10数GHz帯の高周波半導体デバイスに対する大電力、高効率、低雑音、低電圧動作のニーズは大きく高まり、半導体デバイスの開発を促進させた。

SiのMOSFET高速化の歴史は1969年垂井³⁾によって検討されたのが最初である。プロセス技術におけるフォトリソグラフィの限界が5 μ mの時代に、拡散技術 (DSA法: Diffusion Self Aligned) を利用して1 μ m以下のMOSFETを試作した。また、GHz帯の高周波デバイスの開発は1970年IBM社のWolf⁴⁾やMiddelhockのSiショットキー接合FETの発表の後、1972年にSigg⁵⁾によって2GHzの利得が初めてMOSFETで示された所から始まる。当時はSiバイポーラトランジスタはリニヤールICやパワーデバイスに、MOSFETは集積化した小信号用のLSIに主に用いられており、バイポーラトランジスタのこれ以上の高速化 (高周波化) と大電力化が難しいとされていた時代に、MOSFETでブレイクスルーしようとする試みであった。デバイス構造的には、高速・高周波化、大電力化の為に種々の構造が試みられた。現在でもLSIに使用されている最も一般的なL-MOSFET (Lateral-MOSFET)、DSA法を用いた横型のLD-MOSFET、同じくDSA法を用いた縦型のVD-MOSFET、ゲート直下にV溝を形成したV-MOS

FET⁶⁾などがその代表例である。MOSFETのプロセス技術も革新を遂げた。当初は、ゲート電極としてアルミニウム (Al) をゲート酸化膜上に後から位置合わせして形成しており、ゲート電極とソース領域やドレイン領域との重なりで寄生容量が大きな構造となっていたが、多結晶シリコンを用いた自己整合拡散技術 (Self-alignment Technology) の開発と共に、プロセスの簡略化と位置合わせマージンの削除により寄生容量・抵抗が減少しデバイスの周波数特性も大きく改善された。さらに、ゲート電極の抵抗成分を低減し信号の遅延を低く抑えるために、高融点金属 (Mo、W) や半導体プロセスにおける加工のし易さから高融点金属シリサイド (MoSi₂、WSi₂) も使用されるに至っている。

GaAsデバイスにおける高周波化の歴史は、1970年にDrangeidらによって $f_{max}=30\text{GHz}$ のMESFETの発表から始まったと言える。Siデバイスにはない高周波特性が、その後の開発を促進させた。もちろん、1960年代の中ごろからGaAsのMESFETの高周波化に関する発表はMead⁷⁾によって行われていたが、当時のSiデバイスの性能を上回る所までは行かなかった。また、GaAs基板はCrのドーピングによる深い準位の為に半絶縁性となる⁸⁾というSi基板にはない特徴を有しており、この特徴を活かしてGaAs基板上にインダクターや容量等のパッシブ要素部品を形成できる可能性は1964年にUhlir⁹⁾によって示された。GaAs基板上にSiを凌ぐ能動デバイスを作成する技術^{10) 11)}と半絶縁性を利用した受動デバイスを作成する技術の2つが結合し、MMIC (Monolithic Microwave Integrated Circuit) へと発展^{12) 13) 14)}した。MMICは主に軍関係の利用を目的に開発が促進された。さらには、HEMTに代表されるヘテロ接合の開発も進み、現在に至っては f_{max} が200GHz以上の半導体能動デバイスも発表されている。

以上説明したように、より高速・高周波化されたデバイスが必要という応用面からの要求と、半導体の急速な加工技術・設計・評価技術の革新が相互に密接に関係し合い、半導体デバイスの高周波化が図られてきた。

Siデバイス及びGaAsデバイス共に、半導体デバイスの高出力、高利得、低雑音等の高周波特性の向上は他の表現を用いれば、微細化による高密度化と均一な並列動作、増幅率の向上と浮遊容量の低減、低抵抗化と言い替えることができ、その為の新規な構造、プロセス技術を考案し確立することが必要である。

第1の具体例としてSiのパワーデバイスを例に取り説明する。Siバイポーラトランジスタは開発が先行していたこともあり、高周波の電力用トランジスタとして既に確立した技術を有していた¹⁵⁾が、MOSFETでなければ解決できない次に示す大きな課題があった。

① Siバイポーラトランジスタは熱暴走を起こすため、発熱に対して十分な注意が必要で長期の信頼性に欠ける。

- ② Siバイポーラトランジスタは入力インピーダンスが低く周辺回路が大きくなると共に周辺回路の損失も大きい。
- ③ Siバイポーラトランジスタを用いた場合、信号の歪が大きくなる。

これに対してMOSFETは以下に示す特徴を有している。

- ① 電流の温度係数が負で熱暴走を起こしにくい。
- ② 入力インピーダンスが大きく、ゲートが酸化膜で絶縁されているので順方向のDC電流は流れない。
- ③ 2乗特性を有しておりSiバイポーラトランジスタに比較して歪が低減される。

高周波電力用MOSFETが実現されれば通信関係の基地局の送信用半導体デバイスとして、公衆化された無線通信の拡大に寄与することができ、この残された大きなテーマであるMOSFETの高周波化・大電力化の為に、新規な構造のMOSFETの開発が必要とされていた。

第2の具体例としてGaAsデバイスを例に取り説明する。GaAsデバイスは従来より高周波デバイスとしてSiには困難な周波数領域の信号処理、電力増幅^{16) 17)}を受け持っており両者は比較的競合する領域は少なかった。事実、12GHz帯の低雑音デバイスにおいてはHEMT¹⁸⁾しか他にデバイスがなく、HEMTとしてどこまで雑音指数を下げられるかが課題であった。しかしながら、数GHz帯を用いる携帯電話等の無線通信の機器が小型軽量化され電池駆動になると、効率つまり低電圧・低電流動作が機器の電池寿命を決定する要因となり、Siとの競合が始まった。現在の無線通信に用いられる周波数は1GHzから3GHzであるのでGaAsデバイスにとっては比較的低い周波数であるが、ドレイン効率を極限まで高めしかもハイブリットIC化（例えばパワーモジュール¹⁹⁾）し、効率以外の出力や高調波などの特性も一定以上の規格も満足する必要があった。ドレイン効率は、動作電圧と動作電流に大きく左右されるが、無線通信機器の小型化を考慮すると動作電圧は低いほど望ましく、しかも従来と同じ電力を出力しなければならないので、送信用デバイス及びそのパワーモジュールは無線通信機の最重要部品と言っても過言ではない。

以上説明したように、半導体デバイスの高周波化は今後の無線通信の拡大・情報化社会の成立に向けて重要なテーマとして残されている。

1.2 本研究の目的

本研究は、まずSi パワーMOSFETに関して高周波における高利得・高出力動作を可能にするための問題点、具体的には相互コンダクタンス及び入力容量のカットオフ周波数 (f_c) への影響、ゲート容量及びゲート抵抗の利得への影響、微細化とゲート耐圧の電力への影響を考察し、問題点を解決するための新規構造を考案、デバイ

スとして実現させ広く工業的に応用することを目的としている。

また、本研究の第2の目的はGaAsの高周波低雑音デバイス及び高周波高効率デバイスにおいて、ソース抵抗の低減と相互コンダクタンスの向上により雑音指数と電力効率が改善されることを示し、この問題点を解決する為の新しいプロセスを確立すると共に、これらGaAsデバイスを工業的に価値のある形態で実用化することである。

また、本研究の第3の目的は高周波半導体デバイスの性能を確認する上で重要な、ウェーハー状態での雑音指数の新しい評価方法を確立し、高周波半導体デバイスの性能向上を支える技術を開発することである。

1.3 本研究の概要

本研究は、半導体デバイスの高周波特性向上、具体的にはSiバイポーラトランジスタの次の世代を担うSi-MOSFETの900MHz帯における大電力化及び高利得化技術、同じくMOSFETの2.45GHz動作を可能にする高周波化技術、GaAsデバイスにおける12GHz帯の低雑音・高利得化技術、同じくGaAsデバイスの950MHz帯の高効率・低電圧動作技術とその応用に関する研究であり、高周波動作を特徴とするSi及びGaAs半導体デバイスの工業化につながるものである。また、半導体デバイスの高周波化を通じて新規に開発されたオンウェーハー（on wafer）雑音指数及びその信号源インピーダンスの測定方法に関する研究も含んでいる。

本研究の成果により、高融点金属シリサイドを用いた低抵抗ゲートの高周波での効果及びDSA法を用いた短チャンネル化によるMOSFETの高周波大電力化が図られ、Siバイポーラに代わる次世代デバイスに道が開かれた。また、GaAsデバイスにおいては12GHzで雑音指数0.5dBのHEMTを世界で初めて実現すると共に、950MHz帯で効率65%のパワーモジュールを既に工業化し、今後移動体通信の分野の拡大と共に事業としての発展が期待されている。また、本研究を通じて開発されたオンウェーハー雑音指数及び信号源インピーダンスの測定方法は、今後拡大する半導体のチップ直接実装における新しい検査方法としてその用途は拡大するものと考えられる。

ここで本研究の概要を章を追って述べる。

第1章は序論であり、半導体デバイスの高周波化及びMMICの発展の歴史、本研究の背景、目的及び概要について説明した。

第2章は、高周波半導体デバイスの基本特性と評価方法について説明した。デバイスの等価回路を用いた利得の計算結果から、高周波特性の制限要因を明らかにし本研究の方向づけを行なった。また、高周波デバイスに用いる[S]パラメータの測

定の基本技術を説明し、等価回路との関係を示した。

第3章では、UHF帯縦型VD-MOSFETの大電力化・高利得化に関する研究結果を説明した。ゲート電極の抵抗・容量成分による高周波信号の遅延と減衰を計算すると共に、チャンネル長の短縮を高融点金属シリサイドを用いた2重拡散により実現し、相互コンダクタンスの向上、ゲート抵抗の低減を図った。また、シールド電極を用いて帰還容量を2分の1に低減し、帰還容量と利得の関係を実際のデバイスの入出力特性で示した。また、デバイスの並列動作による大電力化は、900MHz帯のプッシュプル回路を応用し、UHF帯で初めて出力100Wを越えるMOSFETを実現した。

第4章では、UHF帯縦型VD-MOSFETをさらに発展させたS帯(2.45GHz)で動作可能なMOSFETの研究結果を説明した。2GHz以上の動作を制限するのはソースインダクタンスであることを明確にし、ソースへのボンディングワイヤーが不要でインダクタンスを極限まで下げられる、V溝ソース接地型LD-MOSFETを考案し検討した。この結果、2.45GHzで9dBの小信号電力利得と約8Wの出力電力が得られ、電力用パワーMOSFETの動作周波数をS帯まで伸ばした。

第5章では、GaAs MESFETの低雑音化について、ソース抵抗及びゲート抵抗を低減できる新規なプロセスを用いて素子の特性を評価した結果について報告した。特に、ゲートリセス領域内でゲート電極がソース側にオフセットされた構造を実現できるプロセスとそのデバイス特性について研究成果をまとめた。オフセット構造が可能になり、ソース抵抗が 2.5Ω と半減し、12GHzで雑音指数0.5dBの高周波低雑音デバイスを初めて実現した。また、ネットワークアナライザとノイズメーターと高周波プローブを一体接続し、低雑音デバイスのMMIC化に必要なノイズ最小値を与える最適信号源インピーダンスを直接測定できる新しい測定方法を[S]パラメーターの基本に戻って考案した。この測定方法を用いて実際にMMICを設計し、低雑音MMICの設計手法を確立した。

第6章では、GaAs パワーMESFETの高効率化とその応用についての研究結果を説明した。低電圧動作による高効率化の為に、ソース・ドレイン間隔の短縮と低加速注入と表面ダメージの低減により相互コンダクタンスと立ち上がり電圧を改善し、950MHzの出力電力約1.5Wを確保した状態で動作電圧を従来の5.8Vから4.7Vに低電圧化した。また、このGaAs MESFETを応用し、GaAs MESFETの2段構成で総合効率65%以上の小型通信機器用の低電圧・高効率950MHz動作パワーモジュールを完成させた。

第7章では、前章までの研究結果をまとめ、本論文の総括を行った。

半導体デバイスの高周波特性の向上は、通信機器の小型化高性能化を促した。本研究で得られた成果の一部は既に実用化されており、この技術が今後更に応用発展していくものと考えられる。

参考文献

- 1) J. Bardeen and W. H. Brattain, Phys. Rev., vol. 74, p. 230 (1948)
- 2) W. Shockley, Bell Syst. Tech. J., vol. 28, p. 435 (1949)
- 3) Y. Tarui, Y. Hayashi and T. Sekigawa, Proc. 1st Conf. Solid-State Devices, p. 105 (1969)
- 4) P. Wolf, IBM J. Res. Develop. 14, p. 125 (1970)
- 5) H. J. Sigg, G. D. Vendelin, T. P. Cauge and J. Kocsis, IEEE Trans. Electron Devices, vol. ED-19, No. 1, p. 45 (1972)
- 6) D. C. Mayer, N. A. Masnari and R. J. Lomax, IEEE Trans. Electron Dvices, vol. ED-27, No. 5, p. 956 (1980)
- 7) C. A. Mead, Proc. IEEE vol. 54, p. 307 (1966)
- 8) G. R. Cronin and R. W. Haisty, J. Electrochem. Soc., vol. 111, p. 874 (1964)
- 9) A. Uhlir, Proc. IEEE, vol. 52, p. 1617 (1964)
- 10) W. W. Hooper and W. I. Lehrer, Proc. IEEE vol. 55, p. 1237 (1967)
- 11) K. E. Drangeid, R. Sommerholder and W. Walker, Electron. Lett., vol. 6, p. 228 (1970)
- 12) E. W. Mehal and R. W. Wacker, IEEE Trans. MTT, vol. MTT-16, p. 455 (1968)
- 13) R. S. Pengelly and J. A. Turner, Electron. Lett., vol. 12, p. 251 (1976)
- 14) V. Sokolov, R. E. Williams and D. W. Shaw, ISSCC Dig. Tech. Papers, p. 118 (1979)
- 15) R. Allison, IEEE Trans. MTT vol. MTT-27, No. 5, p. 415 (1979)
- 16) L. S. Napoli, R. E. DeBrecht, J. J. Hughes, W. F. Reichert, A. Dreeben and A. Triano, ISSCC Dig. Tech. Papers, p. 82 (1973)
- 17) M. Fukuta, T. Mimura, I. Tujimura and A. Furumoto, ISSCC Dig. Tech. Papers, p. 84 (1973)
- 18) T. Miura, S. Hiyamizu, T. Fujii and K. Nanbu, Jpn. J. Appl. Phys., Vol. 19, p. L225 (1980)
- 19) Y. Hirano, 1991 Microwave Workshop and Exhibition Digest, p. 319 (1991)

第2章 高周波半導体デバイスの基本特性と評価方法

2.1 序	12
2.2 FETの基本動作	12
2.3 半導体デバイスの高周波における性能指数	13
2.4 [S]パラメータによる評価	
2.4.1 [S]パラメータ	16
2.4.2 誤差補正	17
2.5 結言	19

参考文献

第2章 高周波半導体デバイスの基本特性と評価方法

2.1 序

半導体デバイスの基本特性を理解することは高周波における利得、雑音指数、電力の向上に関して、その向かうべき方向を解析的に判断することができ有用である。半導体デバイス基本動作に関しては、近年デバイスシミュレーターや回路シミュレーターなどの発達により、各種のモデルが提案され簡単にその特性を計算できる状況にあるが、今一度基本に少し戻って理解を深める。

また、高周波半導体デバイスの高周波特性を評価する上で主に用いられる[S]パラメーターについても、その意味及び等価回路との関係を明らかにする。

2.2 FETの基本動作

ここで説明するFETは、MOSFETとJunction-FET（以下、J-FETと記す）の2種類で、線形領域と飽和領域のドレイン電流 I_d と相互コンダクタンス G_m について式に示す。

MOSFET のドレイン電流 I_d と相互コンダクタンス G_m は以下の式で示される¹⁾。

・ 線形領域

$$I_d = (Z/L) \mu_n C_i (V_g - V_t) V_d \quad (2-1)$$

$$G_m = (Z/L) \mu_n C_i V_d \quad (2-2)$$

・ 飽和領域

$$I_d = (mZ/L) \mu_n C_i (V_g - V_t)^2 \quad (2-3)$$

$$G_m = (2mZ/L) \mu_n C_i (V_g - V_t) \quad (2-4)$$

但し、 Z : 総ゲート幅	m : フィット係数 ≈ 0.5
L : チャンネル長	μ_n : 電子移動度
C_i : 単位面積当たりの容量	V_t : しきい値電圧
V_g : ゲート電圧	V_d : ドレイン電圧

他方、J-FET のドレイン電流 I_d と相互コンダクタンス G_m 特性は次式で示される²⁾。

・ 線形領域

$$I_d = G_o \cdot (1 - \sqrt{\left(\frac{8K_s \epsilon_o (\phi_b - V_g)}{qN_d d^2} \right)}) \cdot V_d \quad (2-5)$$

$$G_m = G_o \cdot \sqrt{\left(\frac{8K_s \epsilon_o}{qN_d d^2} \right)} \cdot [\sqrt{(V_d + \phi_b - V_g)} - \sqrt{(\phi_b - V_g)}] \quad (2-6)$$

・ 飽和領域

$$I_d = G_o \cdot \left\{ \left[\frac{2}{3} \sqrt{\left(\frac{8K_s \epsilon_o (\phi_b - V_g)}{qN_d d^2} \right)} - 1 \right] (\phi_b - V_g) + \frac{1}{3} \cdot \frac{qN_d d^2}{(8K_s \epsilon_o)} \right\} \quad (2-7)$$

$$G_m = G_o \cdot \left[1 - \sqrt{\left(\frac{8K_s \epsilon_o (\phi_b - V_g)}{qN_d d^2} \right)} \right] \quad (2-8)$$

但し、 $G_o = \frac{Zq\mu_n N_d d}{L}$
 ϕ_b : ビルトイン電圧
 K_s : 比誘電率
 ϵ_o : 真空の誘電率
 d : チャンネル厚さ

q : 電子電荷量

N_d : チャンネルの不純物濃度

以上示した式より、それぞれのドレイン電流及び相互コンダクタンスを改善する方向を明確にすることができる。例えばMOSFETの相互コンダクタンスの向上についてはチャンネル長 L の短縮とゲート単位面積当たりの容量 C_i を増加することで達成される。ゲート単位面積当たりの容量 C_i の増加はゲート酸化膜を薄くする方向である。JFETの相互コンダクタンスの向上は、チャンネル厚さ d の低減とチャンネル長 L の短縮によって達成される。

2.3 半導体デバイスの高周波における性能指数

FET系の簡略化された等価回路を用いて半導体デバイスのデバイスパラメーターと各種の性能指数との関係を明らかにして高周波化の基本を説明する。デバイスの等価回路を図2-1に示す。各変数の定義は以下に示す。

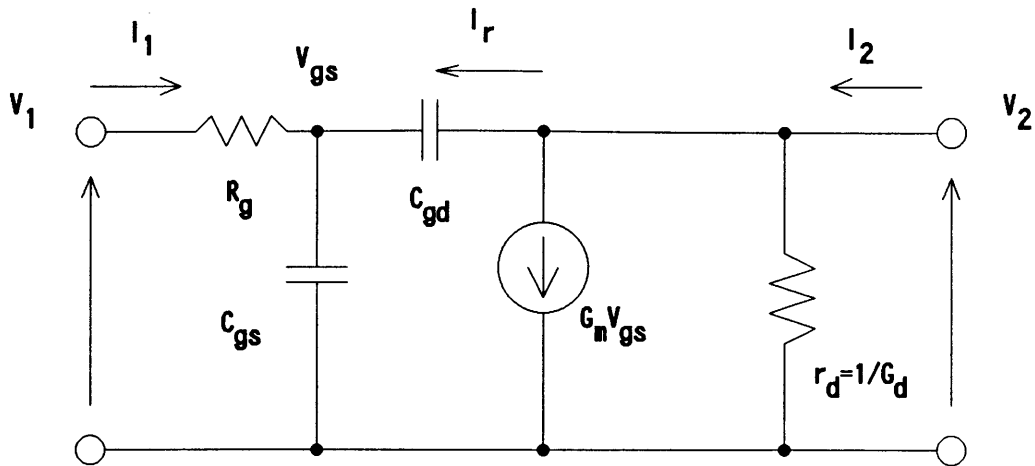


図 2 - 1 デバイスの等価回路

まず、半導体デバイスのカットオフ周波数(f_t)を計算し次に安定係数(K)、最大有能電力利得(MAG)、最大安定電力利得(MSG)を導出する³⁾。

R_g :ゲート抵抗 C_{gs} :ゲート・ソース間容量
 G_m :相互コンダクタンス C_{gd} :ゲート・ドレイン間容量
 r_d :ドレイン抵抗

$$V_{gs} = V_1 - R_g I_1 = (I_1 + I_r) / (j\omega C_{gs}) \quad (2-9)$$

$$V_2 = V_{gs} + I_r / (j\omega C_{gd}) = r_d (I_2 - I_r - G_m V_{gs}) \quad (2-10)$$

$$I_r = j\omega C_{gs} V_{gs} - I_1 \quad (2-11)$$

$$I_r = j\omega C_{gd} (V_2 - V_{gs}) \quad (2-12)$$

$$V_{gs} = (I_1 + j\omega C_{gd} V_2) / (j\omega C_{gs}) \quad (2-13)$$

$$I_r = (I_1 + j\omega C_{gd} V_2) C_{gd} / C_{gs} \quad (2-14)$$

$$V_1 = (R_g + 1 / (j\omega C_{gs})) I_1 + C_{gd} / C_{gs} \cdot V_2 \quad (2-15)$$

$$I_2 = -(\omega C_{gd} + jG_m) / \omega C_{gs} \cdot I_1 + (G_d + C_{gd} G_m / C_{gs} + j\omega C_{gs} C_{gd} / C_{gs}) V_2 \quad (2-16)$$

式(2-15)と式(2-16)は[h]パラメータの基本式であるので、[h]パラメータは以下の式(2-17)で表される。

$$[h] = \begin{bmatrix} R_g + 1/(j\omega C_{i..}) & C_{gd}/C_{i..} \\ -(\omega C_{gd} + jG_m)/\omega C_{i..} & G_d + C_{gd}G_m/C_{i..} + j\omega C_{gs}C_{gd}/C_{i..} \end{bmatrix} \quad (2-17)$$

f_t の定義は $h_{21} = 1$ となる周波数であるので式(2-18)が得られる。

$$f_t = G_m / [2\pi \sqrt{(C_{i..}^2 - C_{gd}^2)}] \quad (2-18)$$

もし、 $C_{gs}/C_{gd} > 2$ ならばさらに式(2-19)に簡略化される。

$$f_t = G_m / (2\pi C_{i..}) \quad (2-19)$$

安定係数(K)は、トランジスタの不安定・条件付き安定・絶対安定の目安になると共に他の性能指数の表現の中でも用いられる。半導体デバイスの安定係数(K)、最大安定電力利得(MSG)、最大有能電力利得(MAG)は[y]パラメーターを用いて次のように表現される。

$$K = 2R_e(y_{11})R_e(y_{22}) - R_e(y_{21}y_{12}) / |y_{12}y_{21}| \quad (2-20)$$

$$MSG = |y_{21}| / |y_{12}| \quad (2-21)$$

$$MAG = MSG \cdot (K - \sqrt{K^2 - 1}) \quad (2-22)$$

[h]パラメーターと[y]パラメーターには次式(2-23)の関係があるので、先に求めたFETの[h]パラメーターを[y]パラメーターに変換すると、K、MSG、MAGが式(2-24)、式(2-25)、式(2-26)として得られる。

$$\left. \begin{aligned} y_{11} &= 1/h_{11} \\ y_{12} &= -h_{12}/h_{11} \\ y_{21} &= h_{21}/h_{11} \\ y_{22} &= (h_{11}h_{22} - h_{12}h_{21})/h_{11} \end{aligned} \right\} \quad (2-23)$$

$$K = (2R_g(G_d C_{i..} + C_{gd} G_m) C_{i..} + C_{gd}^2) / (C_{gd} \sqrt{((\omega C_{gd})^2 + G_m^2)}) \quad (2-24)$$

$$MSG = \sqrt{((\omega C_{rd})^2 + G_m^2) / \omega C_{rd}} = \sqrt{(1 + (G_m / \omega C_{rd})^2)} \quad (2-25)$$

$$MAG = \sqrt{(1 + (G_m / \omega C_{rd})^2)} \cdot (K - \sqrt{K^2 - 1}) \quad (2-26)$$

以上説明した項目を含め、半導体デバイスの高周波化には大きく分けて次に示す3つのポイントがある。この3点を改善する為の新構造・新プロセスが本研究の目的とするところである。

- ① 高周波の利得(MSG)を上げるためには、式(2-25)より相互コンダクタンス(G_m)の向上と帰還容量(C_{rd})の低減が必要
- ② G_m の向上には式(2-2)と式(2-6)よりチャンネル長 L の短縮が最も効果的
- ③ 真性FETに付随する各種の抵抗成分(ゲート抵抗、ソース抵抗)とインダクタンス成分の低減

2.4 [S]パラメータによる評価

2.4.1 [S]パラメータ

高周波半導体デバイスの基本評価項目として[S]パラメータがある⁴⁾。ここでは実用的な意味で[S]パラメータを使用する利点と、デバイスパラメータとの関係について述べる。

[S]パラメータを高周波デバイス測定に用いる利点

- ① [S]パラメータは抵抗(50Ω)終端を基本に用いるパラメータで、他の[y]パラメータで必要な短絡・開放が不要で発振等の問題がない。逆に、高周波で短絡・開放が難しい為このパラメータが必要となった。
- ② [S]パラメータの S_{11} 及び S_{22} がそれぞれインピーダンスの不整合を表す反射係数と等価であるので、直接スミスチャートと関連付けることができる⁵⁾。
- ③ [S]パラメータの終端抵抗を50Ωとすると測定器やアンテナのインピーダンスと一致し、回路に実装したときの利得を S_{21} から直読することができる。

[S]パラメータは進行波電圧と反射波電圧を関係付けるパラメータで、基本式は、次式で示される進行波と反射波の関係を、線路の特性インピーダンスの平方根 $\sqrt{Z_0}$ で割ることで導出される。

$$E_{r1} = S_{11}E_{i1} + S_{12}E_{i2} \quad (2-27)$$

$$E_{r2} = S_{21}E_{i1} + S_{22}E_{i2} \quad (2-28)$$

但し、 E_{i1} :入力進行波電圧 E_{i2} :出力進行波電圧
 E_{r1} :入力反射波電圧 E_{r2} :出力反射波電圧

$$b_1 = S_{11} a_1 + S_{12} a_2 \quad (2-29)$$

$$b_2 = S_{21} a_1 + S_{22} a_2 \quad (2-30)$$

$$\text{但し、 } a_1 = E_{i1} / \sqrt{Z_0} \quad a_2 = E_{i2} / \sqrt{Z_0}$$

$$b_1 = E_{r1} / \sqrt{Z_0} \quad b_2 = E_{r2} / \sqrt{Z_0}$$

Z_0 : 特性インピーダンス

もちろん、[y]パラメーター等の各種パラメーターとの変換も可能で、[S]パラメーターを測定することで[h]パラメーターに変換し前述した半導体デバイスのカットオフ周波数(f_c)も算出することが出来る。

半導体デバイスの等価回路と[S]パラメーターとはもちろん密接に関係しており、例えば入力インピーダンスである S_{11} は等価回路ではゲート抵抗とゲート容量に対応しており、ゲート抵抗が高くなると S_{11} はスミスチャート中の高い定抵抗円を回ることになる。さらに、利得を代表する S_{21} からは G_m の変化が、 S_{12} からは帰還容量(C_{rd})の変化を読みとることができる。ここで、 S_{11} 、 S_{21} 、 S_{12} 、 S_{22} は次の意味を持つ。

S_{11} : ゲート抵抗、入力容量、FETの総ゲート幅に対応

S_{21} : 相互コンダクタンス、帰還容量に対応

S_{12} : 帰還容量に対応

S_{22} : ドレイン抵抗の変化に対応

2.4.2 誤差補正⁵⁾

[S]パラメーターの測定には、いわゆるネットワークアナライザを用いて行うのが一般的である。ネットワークアナライザは、測定器端から測定端までの線路または治具の誤差補正を行いそのデータを内部に蓄え、等価的に測定端からみた[S]パラメーターを算出して表示する形式となっている。誤差補正といっても、線路または治具の[S]パラメーターを測定するのと同じである。被測定物の[S]パラメーターと誤差補正される線路の[S]パラメーターが直列接続された形で測定された全体の[S]パラメーターから誤差補正される線路の[S]パラメーターを差し引き、被測定物の[S]パラメーターを求める。

第5章で述べる今回の研究を通じて新たに開発された雑音指数のオンウェーハー測定は[S]パラメーターの誤差補正の方法を応用しているので、ここでその手法を明確にしておく。

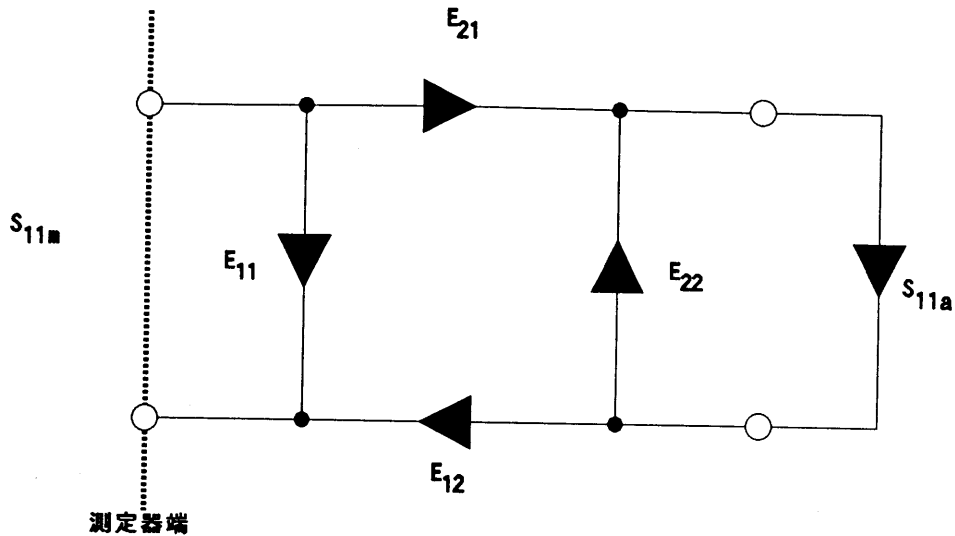


図 2 - 2 誤差補正のシグナルフローグラフ

図 2 - 2 に示す誤差補正のシグナルフローグラフにおいて、被測定物の真の反射係数 S_{11a} と測定器端の間に E_{11} 、 E_{12} 、 E_{21} 、 E_{22} で代表される線路または治具が挿入された場合、測定器端で測定される係数 S_{11m} は次式で示される。

$$S_{11m} = E_{11} + S_{11a} (E_{21} E_{12}) / (1 - E_{22} S_{11a}) \quad (2-31)$$

ここで E_{11} 、 E_{12} 、 E_{21} 、 E_{22} が分かっておれば、測定器端で測定された S_{11m} から目的とする被測定物の真の反射係数 S_{11a} を算出することができる。誤差補正とは E_{11} 、 E_{12} 、 E_{21} 、 E_{22} の 4 つのパラメーター（実際には、 E_{12} と E_{21} は積の形 $E_{12} E_{21}$ でしか出てこないで 3 つのパラメーター）を前もって求めておくことで、被測定物の真の反射係数 S_{11a} をその場表示出来る。

E_{11} 、 $E_{12} E_{21}$ 、 E_{22} のパラメーターを出すためには、既に反射係数の分かっている被測定物を測定し（具体的には 50Ω 負荷、ショート、オープン）その測定結果を用いて連立方程式を解くことにより求められる。

① 50Ω 負荷を S_{11a} として接続した場合

50Ω 負荷の反射係数 $S_{11a} = 0 \angle 0^\circ$ を式 (2-31) に代入すると測定器端で次の値が測定される。

$$S_{11m50} = E_{11} \quad (2-32)$$

② ショートを S_{11s} として接続した場合

ショートの反射係数 $S_{11s}=1\angle 180^\circ$ を式(2-31)に代入すると測定器端で次の値が測定される。

$$S_{11ms}=E_{11}+(-1)(E_{21}E_{12})/(1-E_{22}\cdot(-1)) \quad (2-33)$$

③ オープンを S_{11o} として接続した場合

オープン反射係数 $S_{11o}=1\angle 0^\circ$ を式(2-31)に代入すると測定器端で次の値が測定される。

$$S_{11mo}=E_{11}+(+1)(E_{21}E_{12})/(1-E_{22}\cdot(+1)) \quad (2-34)$$

式(2-32)、式(2-33)、式(2-34)で示した3つの連立方程式により E_{11} 、 $E_{12}E_{21}$ 、 E_{22} のパラメーターを算出した次式が誤差補正の係数で、線路または治具のSパラメーターに相当する。

$$E_{11} = S_{11ms0}$$

$$E_{22} = (S_{11ms} - 2 \cdot S_{11ms0} + S_{11mo}) / (S_{11mo} - S_{11ms}) \quad (2-35)$$

$$E_{21}E_{12} = (S_{11ms0} - S_{11ms}) \cdot (1 + E_{22}) \quad (2-36)$$

2.5 結言

デバイスの基本特性についてまとめた。カットオフ周波数、最大安定電力利得を向上させるためには、チャンネル長の短縮による相互コンダクタンスの向上、帰還容量の低減、デバイスに付加される抵抗成分・インダクタンス成分の低減が必要であることを再度明確にしデバイス開発の全体的な方向付けを行った。また、デバイスの高周波特性の基本評価方法である[S]パラメーターの実用的な意味と誤差補正についてまとめると共に、デバイスパラメーターとの関係を説明した。

参考文献

- 1) S. M. Sze, Physics of Semiconductor Devices. New York: Wiley (1969)
- 2) A. S. Grove, Physics and Technology of Semiconductor Devices.
New York: Wiley (1967)
- 3) R. S. Carson, High-Frequency Amplifiers, New York: Wiley (1975)
- 4) K. Kurokawa, IEEE Trans. MTT, vol. MTT-13, p. 194 (1965)
- 5) Hewlett Packard Co., Application Note 95 (1968)
- 6) W. H. Leighton, R. J. Chaffin and J. G. Webb, IEEE Trans. MTT, vol. MTT-21, No. 12,
p. 809 (1973)

第3章 UHF帯Si-MOSデバイスの高出力化

3.1 序	22
3.2 高利得・高出力化の課題	22
3.3 新構造VD-MOSFETの高周波特性	
3.3.1 デバイス構造	31
3.3.2 デバイスの特性	33
3.4 高周波プッシュプル回路による大出力化	35
3.5 結言	40

参考文献

第3章 UHF帯Si-MOSデバイスの高出力化

3.1 序

第1章でも述べたように、MOSFETの高周波大電力化への要望は非常に大きい、その実現には次のような大きな課題が残されていた。

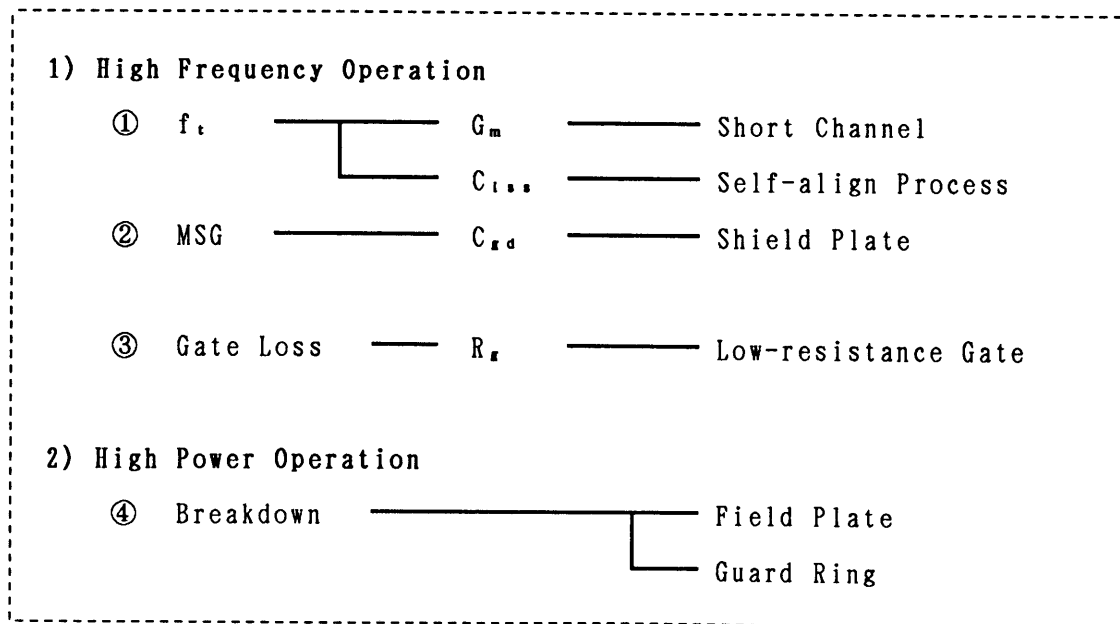
- ①高周波の利得を改善するにはチャンネル長を短くすれば良いが、フォトリソグラフィの限界を越える微細化は実現不可能である。
- ②利得が低く、デバイスの実際の使用にはさらに利得の向上が必要。
- ③MOSFETと言えば横型のL-MOSFETがLSIで使用されているが、大電力化するためには総ゲート幅を数十ミリに大きくする必要があり、横型のL-MOSFETではチップサイズが余りにも大きくなり過ぎる。

この章では、これら従来不可能であった高周波大電力^{1) 2) 3)}の壁をブレイクスルーして実現されたUHF帯Si-MOSFETの研究成果について示す。

3.2 高利得・高出力化の課題

高周波化大電力化のために、次の4点についてデバイス構成を改善した^{4) 5)}。その検討したポイントを表3-1に示す。

表3-1 高周波化・大電力化のためのデバイス検討ポイント



①カutoff周波数(f_t)の向上

半導体デバイスのカutoff周波数(f_t)については既に第2章で説明を加えた。相互コンダクタンス(G_m)はチャンネル長の短縮で向上するが、そのため高融点金属シリサイドである $MOSi_2$ をゲート電極とし、ボロン(B)と磷(P)の2重拡散をゲート端

部から行う DSA 法を用いた。ゲート材料として MOSi_2 を用いた理由は、多結晶 Si に比べ抵抗率が 5 分の 1 と小さいこと、2 重拡散のマスクとして使用後にそのままゲート電極として用いることができ、自己整合でマスクのズレがないので余分な容量 (C_{gs}) の増加を防ぐことができるからである。

② 最大有能電力 (MSG) 向上

最大有能電力 (MSG) に一番影響が有るのは相互コンダクタンス (G_m) と帰還容量 (C_{rd}) である⁶⁾。相互コンダクタンス (G_m) の向上は 2 重拡散により達成した。

今回検討した VD-MOSFET は、縦型構造つまり基板裏面がドレイン電極になった構造である。従って、帰還容量 (C_{rd}) は次の 2 つに分離して考えることができる。

- I) デバイスのゲート電極による能動領域の C_{rd} 成分 (C_{rd1})
- II) ゲートのボンディングパッド等の受動領域の C_{rd} 成分 (C_{GPAD})

このうち、能動領域の C_{rd} 成分 (C_{rd1}) はゲート電極を 2 分割構造にして半減させ、受動領域の C_{rd} 成分 (C_{GPAD}) はボンディングワイヤーを接続するゲートのボンディングパッドの下にソース電極に接続されたシールド電極を配置し、帰還容量を低減した。図 3-1 にこの概念図を示す。図の C_{GPAD} が受動領域の C_{rd} 成分をあらわしている。基本的にはゲートのボンディングパッドの容量 (C_{GPAD}) がゲート・ソース間容量 C_{gs} とドレイン・ソース間容量 C_{ds} に変化することを利用して、ゲート・ソース間容量 C_{gs} とドレイン・ソース間容量 C_{ds} の増加は、高周波の電力利得を変化させない。ゲート・ソース間容量 C_{gs} は増加し、帰還容量 (C_{rd}) は低下するのでカットオフ周波数 (f_c) も大きく変化しない。

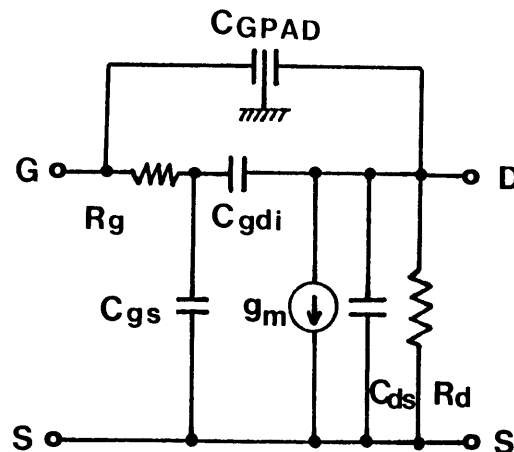


図 3-1 シールド電極の概念図

実際のチップ上でのシールド電極の構造を図3-2に示す。図3-2 a)が表面写真、b)がA-A'線における断面図である。シールド電極としては、高周波での抵抗成分を考慮し、ゲート電極と同じ材料である低抵抗な高融点金属シリサイドの MoSi_2 をそのまま残して使い、新たな電極導入によりプロセスが複雑になることを防いだ。

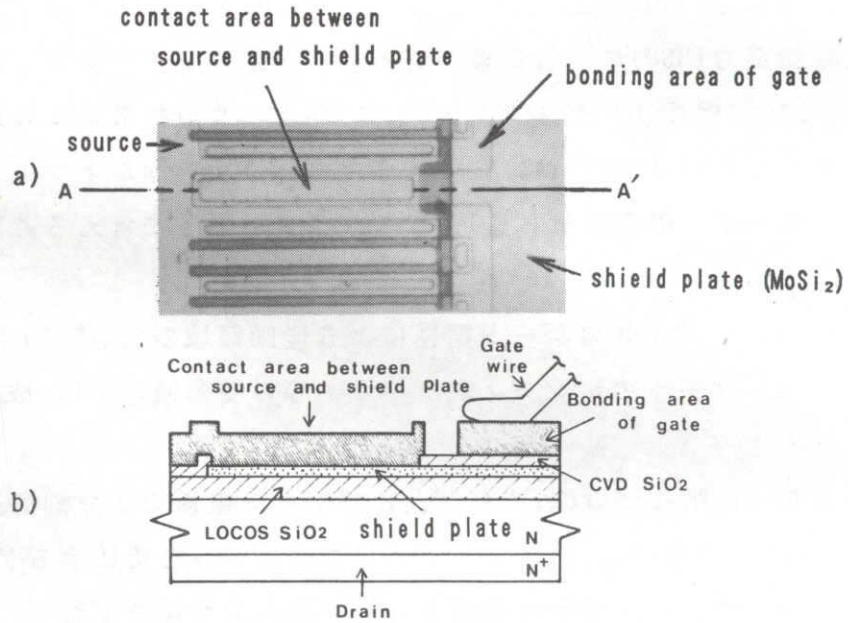


図3-2 チップ上でのシールド電極の構造

このシールド電極の効果を確認するために C_{gd} の電圧依存性を測定した結果を図3-3に示す。 $V_{ds} = 50\text{V}$ 近傍において約5割減少している。この帰還容量 C_{gd} の5割減少は高周波の利得に換算して約3dBの向上である。

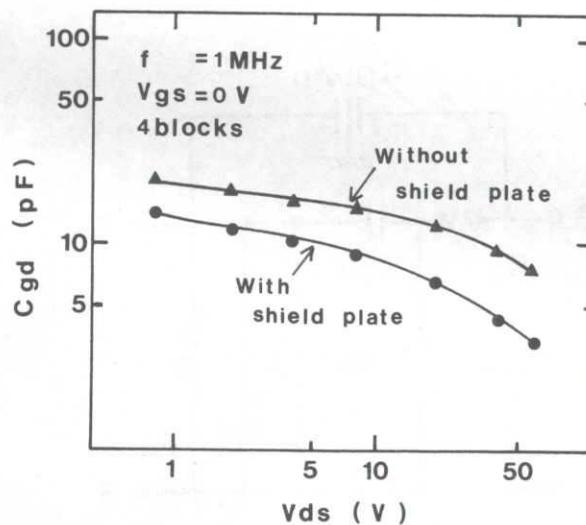
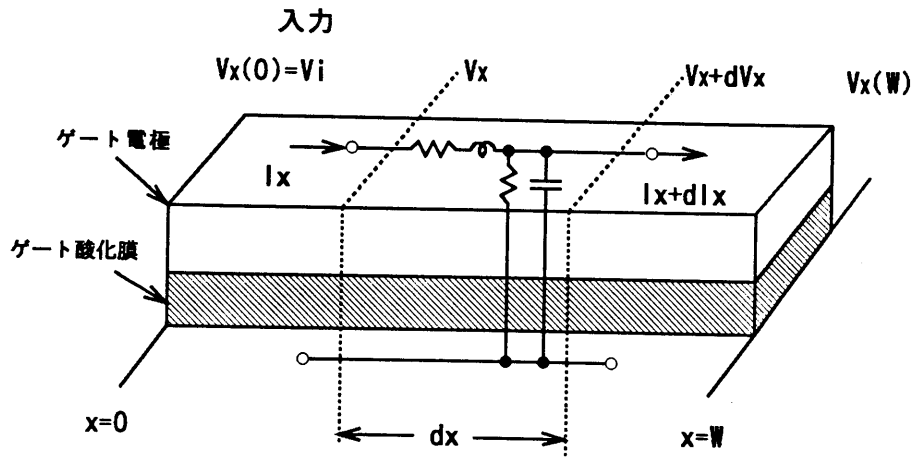


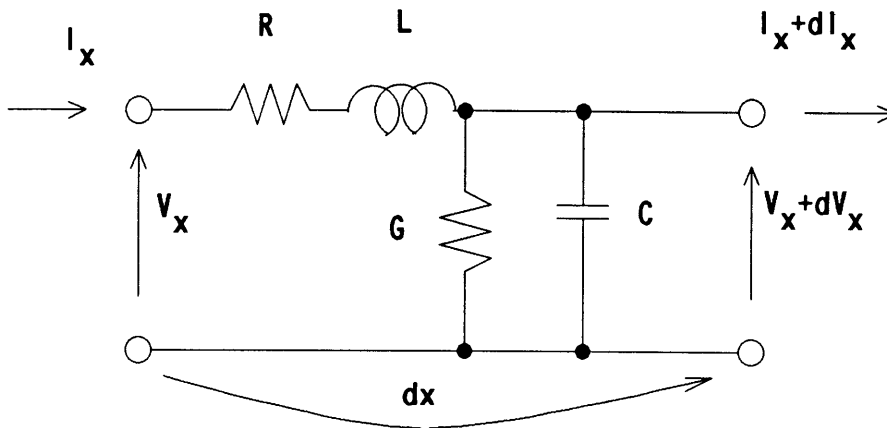
図3-3 C_{gd} の電圧依存性

③ ゲート抵抗(R_g)による信号の遅延・電力の消費

高周波デバイスにおいて、ゲート電極に入力された電力はデバイスのゲート電極の長手方向に対して均一に加えられて動作しなければチップ内に動作の不均一領域を作る。従って、ゲート電極の抵抗を小さく抑えなければゲート電極の給電点の電



a) 概念図



b) 等価回路

図 3 - 4 ゲート電極の分布定数回路

位とゲート先端部の電位及び位相がずれるだけでなく、ゲート電極で電力が消費されてしまいデバイス端部に入力電力の一部しか加わらない結果となる。このゲート電極の電位及び位相について計算⁷⁾し、低抵抗である高融点金属シリサイド MoSi_2 を選択した。

第3-4図に示したゲート電極の分布定数回路において次式が成立する。

$$\frac{d^2 V_x}{dx^2} = (R+j\omega L)(G+j\omega C)V_x \quad (3-1)$$

$$\frac{d^2 I_x}{dx^2} = (R+j\omega L)(G+j\omega C)I_x \quad (3-2)$$

この波動方程式の一般解は次式で与えられる。

$$V_x = a\text{EXP}(\gamma x) + b\text{EXP}(-\gamma x) \quad (3-3)$$

$$I_x = \frac{1}{Z_0} a\text{EXP}(\gamma x) + b\text{EXP}(-\gamma x) \quad (3-4)$$

$$\text{但し、} Z_0 = \sqrt{\left(\frac{R+j\omega L}{G+j\omega C} \right)} \quad : \text{特性インピーダンス} \quad (3-5)$$

$$\gamma^2 = (R+j\omega L)(G+j\omega C) = (\alpha + j\beta)^2 \quad : \text{伝播定数} \quad (3-6)$$

$$\alpha = \left\{ \frac{1}{2} \sqrt{((R^2 + \omega^2 L^2)(G^2 + \omega^2 C^2)) + (RG - \omega^2 LC)} \right\}^{0.5} \quad : \text{減衰定数} \quad (3-7)$$

$$\beta = \left\{ \frac{1}{2} \sqrt{((R^2 + \omega^2 L^2)(G^2 + \omega^2 C^2)) - (RG - \omega^2 LC)} \right\}^{0.5} \quad : \text{位相定数} \quad (3-8)$$

ここで、ゲート電極をRとCだけで表現すると次式に簡略される。

$$Z_0 = \sqrt{\left(\frac{R}{j\omega C} \right)} \quad (3-9)$$

$$\gamma^2 = j\omega CR = (\alpha + j\beta)^2 \quad (3-10)$$

$$\alpha = \sqrt{\left(\frac{\omega CR}{2} \right)} \quad (3-11)$$

$$\beta = j\sqrt{\left(\frac{\omega CR}{2}\right)} \quad (3-12)$$

以上の式より、ゲートフィンガー長をWとした場合、境界条件 $(V_x)_{x=0} = V_i$ 、 $(I_x)_{x=W} = 0$ で解くと次式が得られる。

$$V_x = \frac{V_i}{\text{EXP}(-\gamma x) + \text{EXP}(\gamma x)} \{ \text{EXP}[-\gamma(W-x)] + \text{EXP}[\gamma(W-x)] \} \quad (3-13)$$

入力電圧 V_i と任意の点の電位 $V_x(x)$ の比は次の式で表される。

$$\frac{V_x(x)}{V_i} = \frac{V_x(x)}{V_x(0)} = \frac{\cosh[\gamma(W-x)]}{\cosh(\gamma W)} \quad (3-14)$$

入力電圧の絶対値が $1/e$ に減衰する長さを特性長(characteristic length) λ_c とすると式(3-15)で表現できる。

$$\lambda_c = \frac{1}{\alpha} = \sqrt{\left(\frac{2}{\omega CR}\right)} = \sqrt{\left(\frac{2}{\omega C_0 R_0}\right)} \quad (3-15)$$

注) $C = [F/cm]$ $C_0 = [F/cm^2]$
 $R = [\Omega/cm]$ $R_0 = [\Omega]$: シート抵抗

ゲートで消費される入力電力は、次式で計算できる。

$$\frac{dV_x}{dx} = (R + j\omega L) I_x = R I_x \quad \text{但し、} G=L=C=0 \quad \text{の場合} \quad (3-16)$$

$$I_x(x) = \frac{1}{R} \left(- \frac{dV_x}{dx} \right) = \frac{1}{R} \gamma V_i \frac{\sinh[\gamma(W-x)]}{\cosh(\gamma W)} \quad (3-17)$$

$$I_x(0) = \frac{\gamma V_i}{R} \tanh(\gamma W) \quad (3-18)$$

ゲート一本当たりの損失分 ($P_{i_{1000}}$) は式(3-18)を用いて以下の式(3-19)で表現され、電圧振幅が一定であるならばデバイス全体のゲート損失 (P_i) はフィンガー数 (N_f) に比例して損失は増加する。

$$\begin{aligned} P_{i_{1000}} &= V_x(0) R_e [I_x(0)] \\ &\approx V_i^2 \frac{L}{6R_o X_c^4} W^3 \\ &\approx V_i^2 \frac{L}{24} W^3 (\omega C_o)^2 R_o \end{aligned} \quad (3-19)$$

$$P_i = N_f \cdot P_{i_{1000}} \quad (3-20)$$

但し、 V_i = 入力電圧振幅 (V) C_o = ゲート容量 (F/cm²)
 L = ゲート電極幅 (cm) R_o = ゲートシート抵抗 (Ω)
 W = ゲートフィンガー長 (cm)

ゲート電極材料として $MoSi_2$ と Poly Si の両方を仮定した場合の損失計算結果を表 3-2 に示す。高融点金属シリサイド $MoSi_2$ をゲートに用いることにより、ゲートフィンガー長は約二倍に伸ばすことが出来るだけでなく、ゲート電極による損失は約 0.25W 抑えることができ利得の増大を図ることが出来る。フィンガー長とゲート抵抗及びゲートによる損失との関係の計算結果を図 3-5 に示す。実際のフィンガー長は、特性長 (X_c) の 0.1~0.2 程度に設定した。

表 3 - 2 ゲート電極材料としてのMoSi₂とPoly Siの損失計算結果

ゲート材料	V _t (V)	L (μm)	W (μm)	C _o (F/cm ²)	R _o (Ω)	f=900MHz		f=2.45GHz	
						X _c (μm)	P _t (W)	X _c (μm)	P _t (W)
MoSi ₂	10	2.5	80	3E-8	5	410	.061	294	.455
Poly Si					25	217	.316	131	2.27

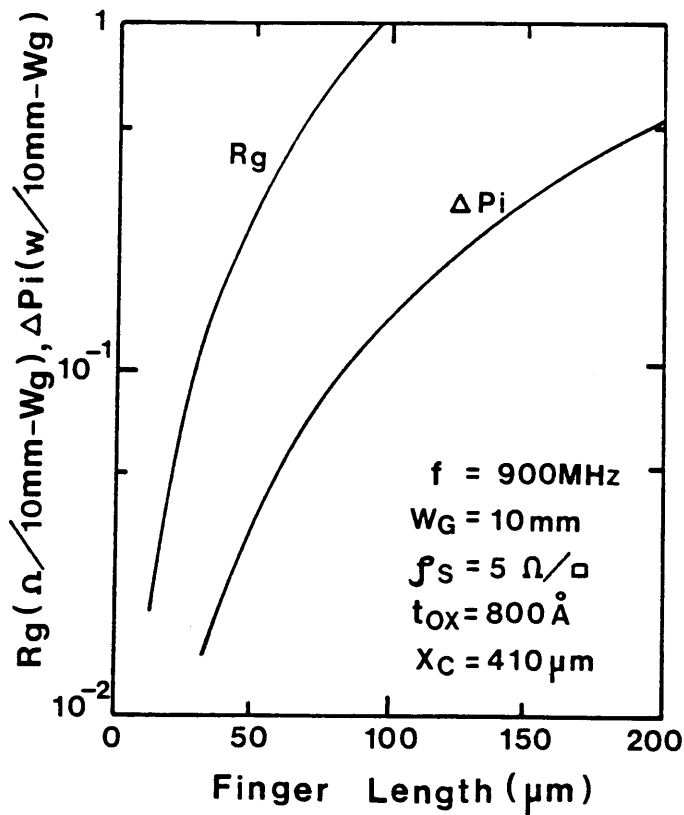


図 3 - 5 フィンガー長とゲート抵抗及びゲートによる損失との関係

④ ドレイン振幅電圧の拡大

出力電力を増加させる為には、オン抵抗を低減³⁾し、ドレイン振幅電圧の拡大をする必要がある。一般に、出力電力(P_{out})は次式で示される。

$$P_{out} = \frac{1}{4} I_{dmax} \cdot (V_{dd} - V_{dssat}) \quad (3-21)$$

- 但し、
 I_{dmax} : V_{dssat} におけるドレイン電流
 V_{dssat} : 飽和領域端部のドレイン電圧
 V_{dd} : ドレイン供給電圧

例えば、 $P_{out}=10W$ の出力を $I_{d,max}=1A$ 、 $V_{d,max}=5V$ の条件下で出そうとすると $V_{dd}=45V$ となる。A級動作を考えると、2倍の振幅が必要であるから90Vのドレイン耐圧(BVdss)が必要となる¹⁾¹⁰⁾。この耐圧を確保するため、以下の2点の構造を検討した。

I)ゲート電極周辺(表面近傍)の耐圧を確保するため、 C_{gd} の低減に効果がある分割ゲート電極間には、絶縁膜を介してソース電極に接続されたフィールドプレート電極を配置し空乏層を表面側から伸びる構造¹¹⁾を採用。図3-6にデバイスの断面構造図を示す。

II)能動領域の周辺に、ガードリング¹²⁾を反対導電型の不純物拡散により形成し、フローティング電位状態で浮かし、周辺部分の空乏層の伸びを制御した。このガードリング部分の角度ラップ写真とガードリングの役割を説明する断面構造図を図3-7と図3-8に示す。ガードリングのP領域の拡散深さは $3\mu m$ あり、隣接するチャンネルP領域の拡散深さ $1.68\mu m$ の1.8倍深く拡散されている。従って、ドレイン耐圧を決定する周辺部分の曲率半径が増加し耐圧が向上する。ガードリングの効果によりドレイン耐圧は60Vから100Vへと向上した。

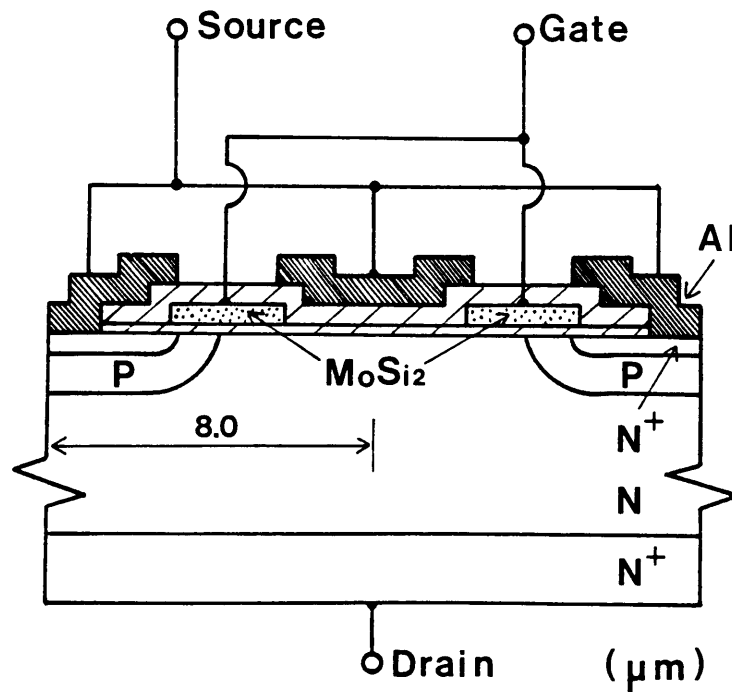


図3-6 デバイスの断面構造

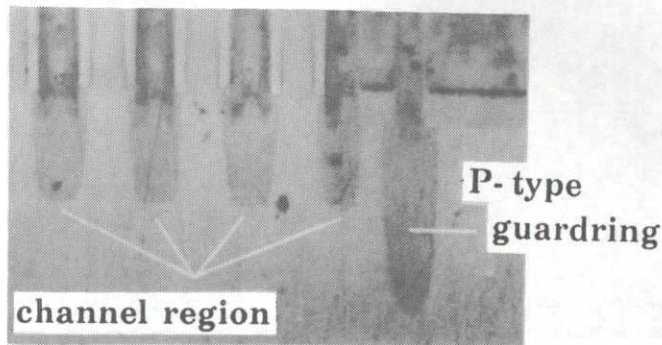


図 3 - 7 ガードリング部分の角度ラップ写真

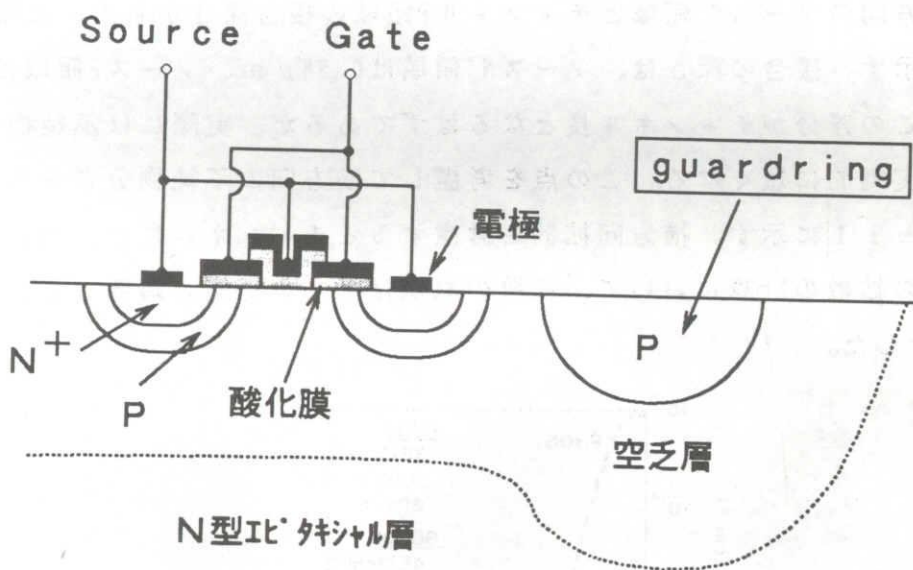


図 3 - 8 ガードリングの役割を説明する断面構造図

3.3 新構造VD-MOSFETの高周波特性

3.3.1 デバイス構造

図 3 - 6 及び図 3 - 9 にデバイスの断面図及びチップ表面写真を示す。大電力化のためソース領域の繰り返しピッチは $8\mu\text{m}$ として単位面積内のゲート電極数を増加させている。N型のエピタキシャル層は比抵抗 $2\Omega\text{cm}$ で厚さ $8\mu\text{m}$ である^{13) 14)}。ゲート酸化膜の厚さは $0.07\mu\text{m}$ 、ゲート電極幅はマスク上 $3\mu\text{m}$ である。2重拡散型のデバイスで有るためゲート電極は基板にはみ出ておりそのオーバーラップ分は約 $1.8\mu\text{m}$ である。1チップの中は4つのblockに分割されており、各blockは図 3 - 6

に示した構造が120回繰り返された配置になっている。

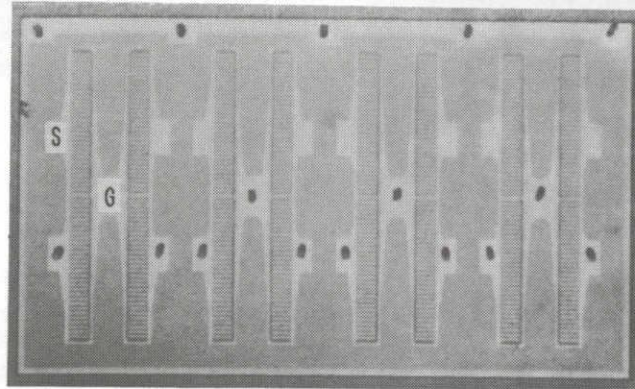


図3-9 チップ表面写真 : 4 blocks構成でチップサイズは 1.3mm×2.2mm

2重拡散によって形成されたチャンネル長を測定と計算により求めた。図3-10に、縦方向のソースN⁺領域とチャンネルP領域の接合深さから求めた縦方向の不純物分布を示す。接合の深さは、ソースN⁺領域は0.58 μ m、ソースP領域は1.68 μ mであった。この差分がチャンネル長となるはずであるが、実際には不純物は横方向拡散をして実効的に短くなる。この点を考慮して横方向の不純物分布を再計算した結果を図3-11に示す。横方向拡散を考慮するとチャンネル長は0.83 μ mであった。横方向の拡散の計算において、拡散の原点はゲート電極の端部とし、拡散の窓幅は7 μ mとした。

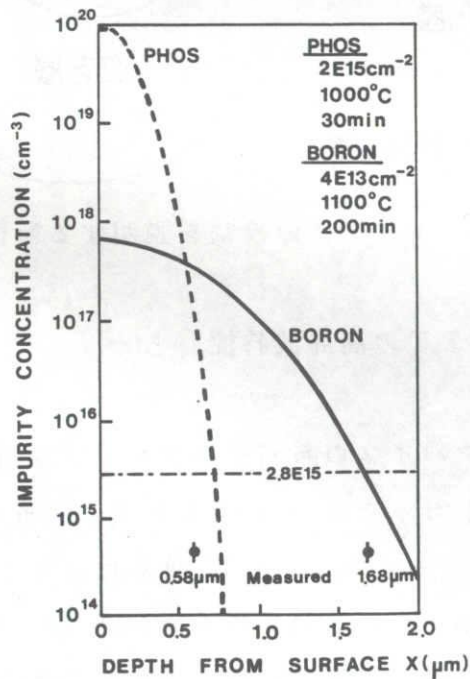


図3-10 ソースN⁺領域とチャンネルP領域の縦方向の不純物分布

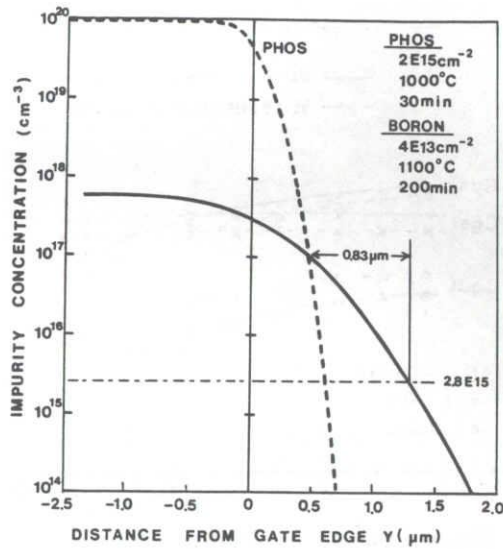
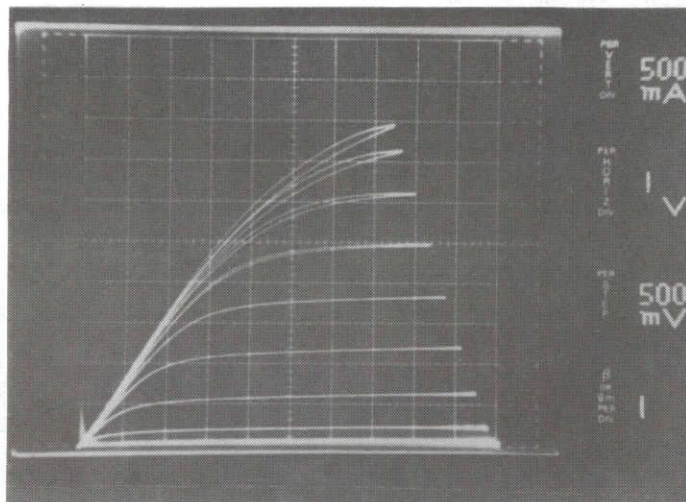


図 3 - 1 1 横方向の不純物分布とチャンネル長

3.3.2 デバイスの特性

試作したデバイスの DC と RF 特性の評価結果を示す。1 チップ (4 blocks) の電流電圧特性は図 3 - 1 2 に示すように総ゲート幅 15.4mm × 4 block の 1 チップにおいて、 $I_{ds} = 3.3A$ ($V_{gs} = 6.5V, V_{ds} = 5V$) の値が得られた。デバイス容量のドレイン電圧依存性を図 3 - 1 3 に示す。シールド電極により C_{gd} が減少するのは既に述べたが、他の容量 (C_{gs}, C_{gs}) が増加しているのが確認されている。表 3 - 3 に 1 チップのデバイス特性をまとめた。



$V_{GS} = 6.5 V_{max}$
4 blocks (1 chip)

図 3 - 1 2 1 チップ (4 blocks) の電流電圧特性

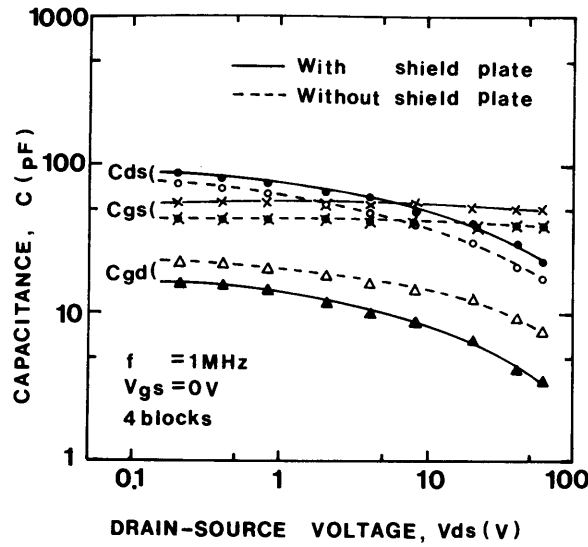


図 3 - 1 3 デバイス容量のドレイン電圧依存性

表 3 - 3 1チップのデバイス特性

Chip size	1.3 mm × 2.2 mm
Gate width	15.4mm × 4 blocks
Gate finger length	64 μm
Source pitch	16 μm
I_{dmax} (at $V_{ds}=5V, V_{gs}=6V$)	3.3 A
BV_{dss} (at $I_d=1 mA$)	100 V
G_m (at $V_{ds}=5V, I_{ds}=2A$)	1.4 S
V_t (at $V_{ds}=5V, I_{ds}=5mA$)	2.9 V
C_{gs} (at $V_{gs}=0V, V_{ds}=50V$)	48 pF
C_{gd} (at $V_{gs}=0V, V_{ds}=50V$)	4.5 pF
C_{ds} (at $V_{gs}=0V, V_{ds}=50V$)	19.5pF

他方、高周波の特性は図 3 - 1 4 に示すようにカットオフ周波数(f_c)として 3.5GHz の値が得られた。シールド電極による C_{gd} の減少は、高周波の利得に明確に現れた。図 3 - 1 5 は 1 チップ (4 blocks) をパッケージに実装しその入出力電力特性を測定した結果である。シールド電極が有る場合、線形利得は約 3dB 増加しており、出力 (P_{out}) 45W が利得 9dB で得られている。他方、シールド電極がない場合は出力飽和値に大きな差はないが、明らかに利得が低い。

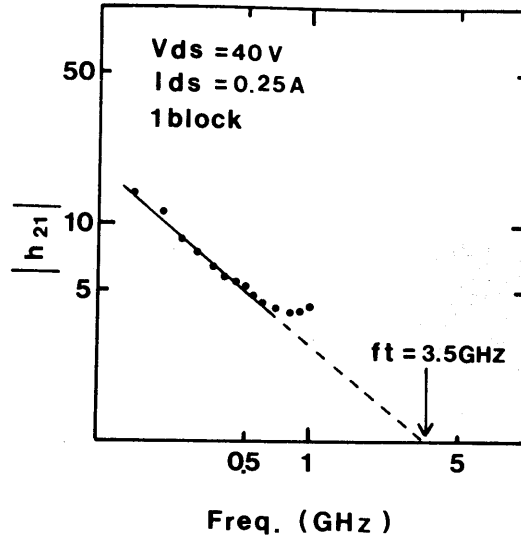


図 3 - 1 4 デバイスのカットオフ周波数 (f_t)

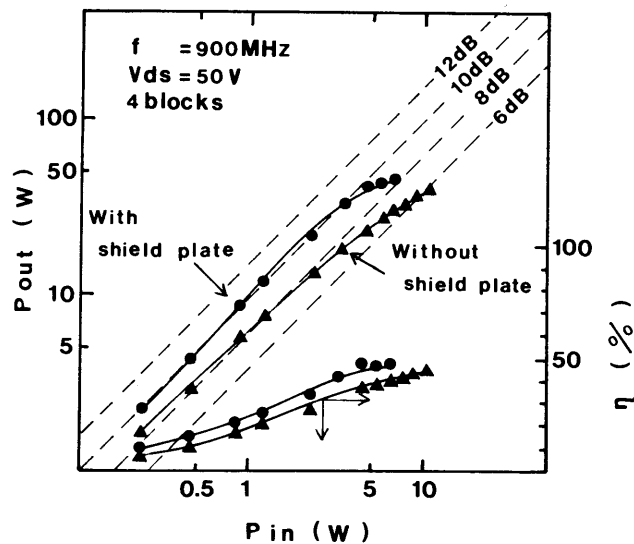


図 3 - 1 5 1 チップ (4 blocks) の入出力電力特性

3.4 高周波プッシュプル回路による大出力化

2チップ以上のデバイスのプッシュプル動作評価用として、新たに専用パッケージを試作した。図3-16はその外観写真である。特徴としては、銅製のフランジの上に複数個のベリリアのユニットを配置出来るようにし、各ベリリアのユニットには1対の入出力のリードを形成してある。ベリリアの1ユニットには最大2チップの半導体デバイスを搭載でき、このユニットを並べることで大電力化を図ることができる。図3-16はユニットを2個並べた場合の外観写真である。写真下部が入力側、写真上部が出力側である。入力側にはMOS容量とボンディングワイヤーで構

成される内部整合回路を配置してある。1対の入力リードは電氣的に独立しており、180度位相が異なる信号でも個別に増幅することができる。出力側も同様に2つのリードは電氣的に分離している。ベリリア1枚の寸法は6.1mm×9.5mmである。

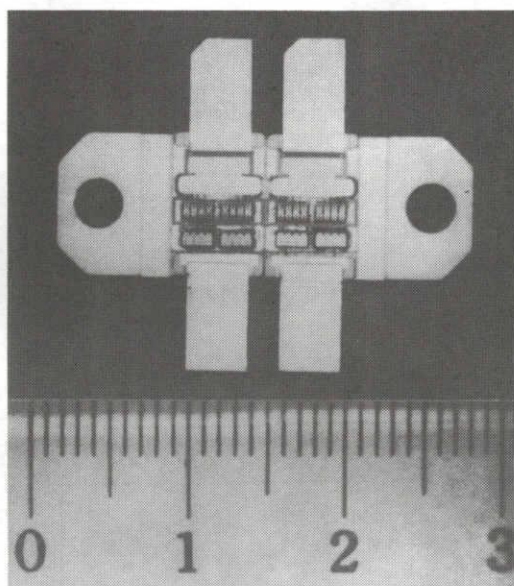


図3-16 プッシュプル動作評価用パッケージの外観写真

高周波におけるプッシュプル回路^{15) 16) 17) 18)}は、位相が180度異なり電力が2分割された2つの入力をデバイスに与え、増幅されたそれぞれの出力を入力側とは逆に位相を180度ずらして合成する回路形式となる。

プッシュプル回路の利点は次の2点である。

- ①入力インピーダンスが等価的に4倍になり整合設計が容易となるだけでなく整合回路の損失が減る。
- ②パッケージのユニットの一方がonの時、他方はoff状態で熱的に分散される。

位相の180度シフトと電力の2分割には、 balan を用いた。図3-17にbalanを900MHzに整合を取ったときの2つの入力(または、出力)のVSWRの測定結果を示す。この場合、終端抵抗は25Ωで整合させている。balanの2つの入力の位相は図3-18に示されているように約180度の位相差が確認されている。

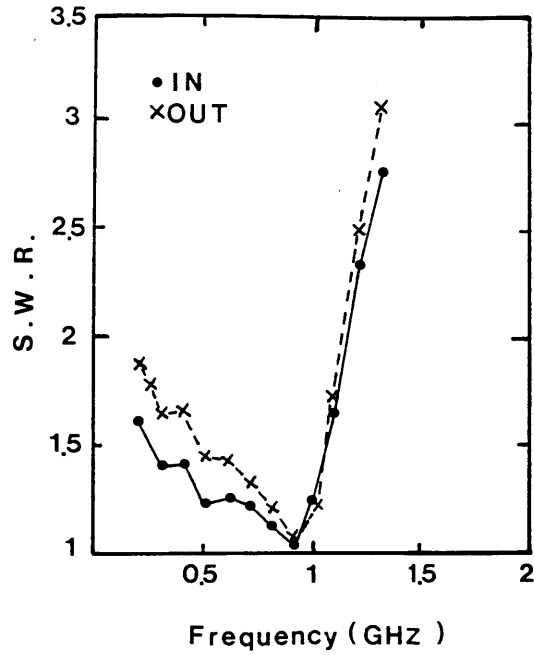


図 3 - 1 7 入出力バランの VSWR 測定結果

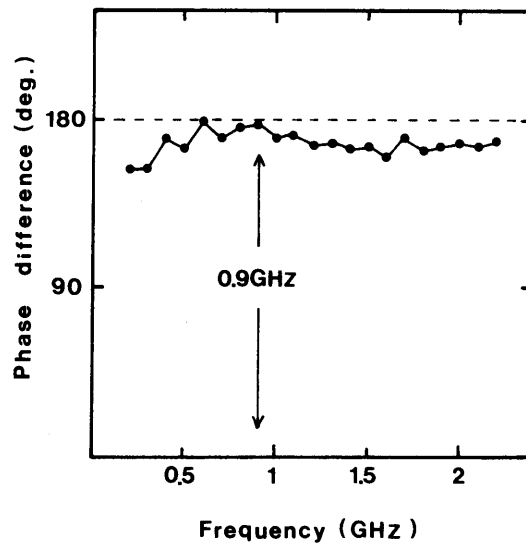
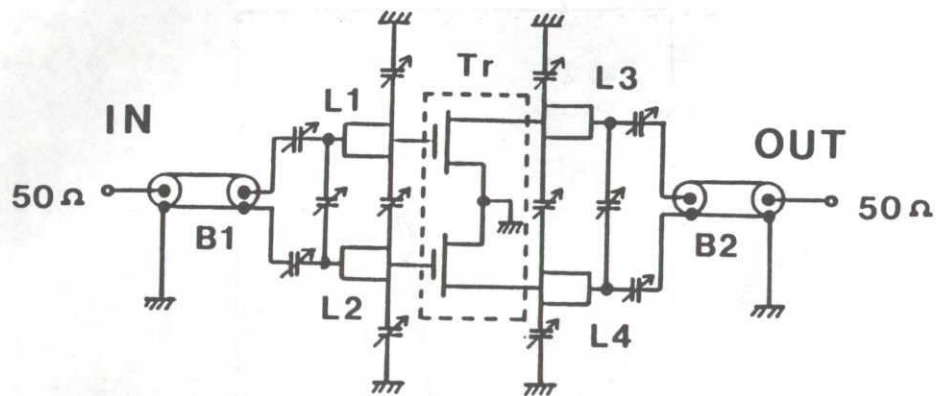


図 3 - 1 8 バランの 2 つの入力の位相差

図 3 - 1 7 及び図 3 - 1 8 に示した 900MHz に設計されたバランを用いて試作したプッシュプル電力評価用の治具の回路図及びその外観写真を図 3 - 1 9 及び図 3 - 2 0 に示す。整合は治具のトリマー容量を用いて、半導体デバイスのインピーダンスに合わせて最終的に調整した。



B₁, B₂ = Balun, 50Ω coax
 Trimmer = 14pF max

L₁, L₂) = 25Ω, 0.12λ
 L₃, L₄)

図 3 - 1 9 プッシュプル電力評価用治具の回路図

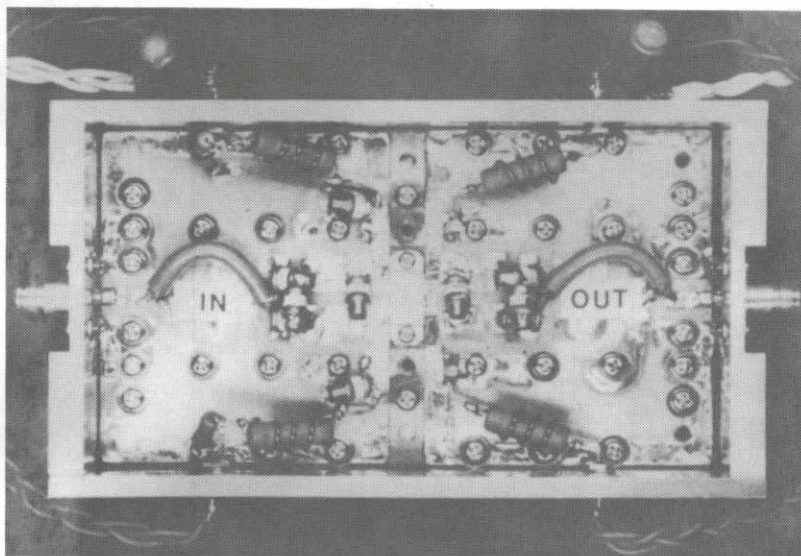


図 3 - 2 0 プッシュプル電力評価用治具の外観写真

プッシュプル回路を用いて、半導体デバイスの 2 チップ構成及び 4 チップ構成の入出力電力特性を測定した結果を図 3 - 2 1 及び図 3 - 2 2 に示す。周波数は 900M Hzで、2 チップ (8 blocks) の場合には出力 (Pout) 80W (利得 10dB)、4 チップ (12 blocks) の場合には出力 100W (利得 8dB) の値がパルスではなく CW で得られた。

(注) 4 チップは本来 16 blocks であるが、放熱のため 4 blocks は接続していない。

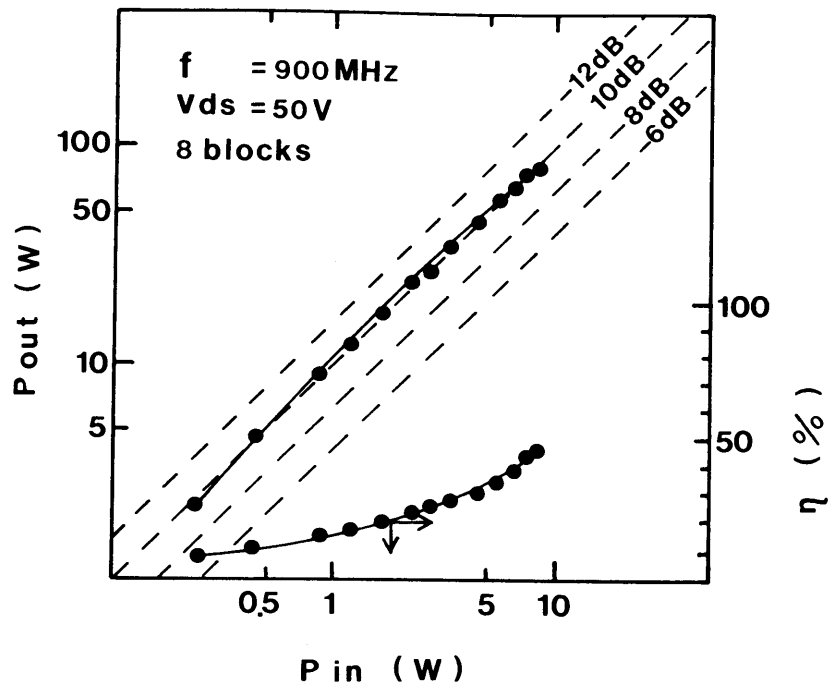


図 3 - 2 1 プッシュプル回路を用いたVD-MOSFET 2 チップ構成の入出力電力特性

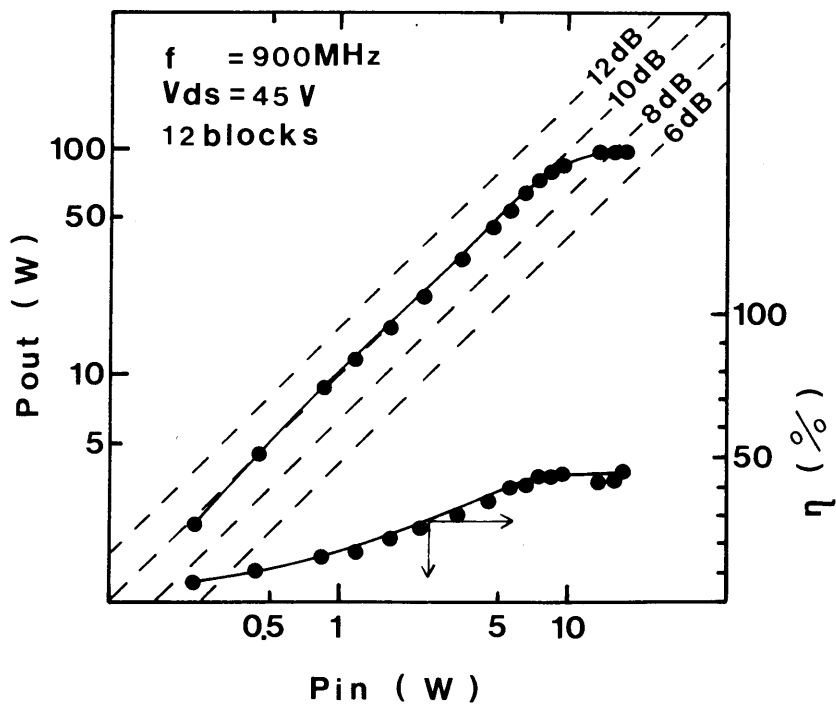


図 3 - 2 2 プッシュプル回路を用いたVD-MOSFET 4 チップ構成の入出力電力特性

3.5 結言

UHF帯縦型VD-MOSFETにおいて、ゲート電極の抵抗・容量成分による高周波信号の遅延と減衰の低減とチャンネル長の短縮の為に、高融点金属シリサイドを用いた2重拡散構造のデバイスを検討した。Poly Siをゲート電極に用いる場合と比較し、高融点金属シリサイドをゲート電極に用いることで、ゲート抵抗による電力の損失を約1/5まで低減できることを計算により示すと共に、2重拡散によりデバイスのチャンネル長を $0.83\mu\text{m}$ まで短縮し相互コンダクタンスを改善した。

また、2分割ゲートの導入とゲートボンディングパッド下へのシールド電極の形成により帰還容量を2分の1に低減し、帰還容量と利得の関係を実際のデバイスの入出力特性で確認した。シールド電極は、900MHz帯の線形利得で約3dB向上する効果があった。デバイスの並列動作による大電力化は、900MHz帯のプッシュプル回路を応用し、UHF帯(900MHz)で初めてCW動作・出力100Wを越えるMOSFETを実現した¹⁹⁾。

参考文献

- 1) H. J. Sigg, G. D. Vendelin, T. P. Cauge and J. Kocsis, IEEE Trans. Electron Devices, vol. ED-19, No. 1, p. 45 (1972)
- 2) H. Ikeda, H. Yoshida and T. Onikura, IEDM Tech. Digest, p. 246 (1982)
- 3) 柴田康雄、吉田浩、薄水行泰、信学技報 Vol. ED84 No. 5, p. 1 (1984)
- 4) H. Esaki and O. Ishikawa, IEDM Tech. Digest, p. 447 (1984)
- 5) O. Ishikawa and H. Esaki, IEEE Trans. Electron Devices, Vol. ED-34, No. 5, p. 1157 (1987)
- 6) E. F. Stikvoort, IEEE Trans. Electron Dvices, vol. ED-25, No. 12, p. 1388 (1978)
- 7) H. C. Lin, Y. F. Arzoumanian, J. L. Halsor, M. N. Giuliano and H. F. Bentz, IEEE Trans. Electron Dvices, vol. ED-22, No. 5, p. 255 (1975)
- 8) K. Board, D. J. Byrne and M. S. Towers, IEEE Trans. Electron Dvices, vol. ED-31, No. 1, p. 75 (1984)
- 9) M. J. Declercq and J. D. Plummer, IEEE Trans. Electron Dvices, vol. ED-23, No. 1, p. 1 (1976)
- 10) A. A. Tamer and J. L. Moll, IEEE Trans. Electron Dvices, vol. ED-30, No. 1, p. 73 (1983)
- 11) D. Ueda, H. Takagi and G. Kano, IEEE Trans. Electron Dvices, vol. ED-31, No. 4, p. 416 (1984)
- 12) B. J. Baliga and B. Tech, IEE Proc., Vol. 129, No. 5, p. 173 (1982)
- 13) X. B. Chen and C. Hu, IEEE Trans. Electron Dvices, vol. ED-29, No. 6, p. 985 (1982)
- 14) P. L. Hower, T. M. S. Heng and C. Huang, IEDM Tech. Digest, p. 87 (1983)
- 15) J. Johnson, MicroWaves, vol. 19, No. 2, p. 54 (1980)
- 16) R. Basset, MicroWaves, vol. 19, No. 7, p. 47 (1980)
- 17) D. Wisherd, MicroWaves, vol. 19, No. 7, p. 54 (1980)
- 18) L. B. Max, MicroWaves, vol. 16, No. 6, p. 42 (1977)
- 19) K. Ishii, H. Yamawaki, S. Kashiwagi, E. Yamashita, IEDM Tech. Digest, p. 225 (1983)

第4章 S 帯Si-MOSデバイスの高周波特性の向上

4.1 序	43
4.2 高周波特性を決める要因	43
4.3 新構造LD-MOSFETの構造とプロセス技術	
4.3.1 デバイスの設計	45
4.3.2 デバイス構造の最適化	48
4.4 デバイスのDC特性・高周波特性	51
4.5 結言	55

参考文献

第4章 S帯Si-MOSデバイスの高周波特性の向上

4.1 序

第3章で報告したように900MHz帯で動作する出力100WのVD-MOSFETは実現されたが、さらに高周波であるS帯（具体的には、2.45GHz）で動作させるためには半導体デバイスのソースインダクタンスと帰還容量(C_{gd})を一層低減する必要がある^{1) 2)}。デバイス構造を改良し、S帯での動作を可能にする研究成果を本章で述べる³⁾。

4.2 高周波特性を決める要因

デバイス構造を改良する前に、900MHz帯で動作する出力100WのVD-MOSFETのデバイスパラメータを抽出し、等価回路解析により各パラメータの高周波への影響度を確認した⁴⁾。デバイスの等価回路を図4-1に示す。等価回路には半導体デバイスだけでなく実装状態を仮定し、パッケージの容量・インダクタンス等の寄生成分とパッケージ内整合回路も含めて検討している⁵⁾。デバイスのパラメータは900MHz帯のVD-MOSFETの1 block（図3-9のチップ写真の4分の1）から求めた。等価回路解析に用いたデバイスパラメータを表4-1にまとめた。このパラメータを個別に条件を変化させて最大有能電力利得(MSG)を計算した。図4-2がソースインダクタンス(L_s)のMSGへの影響で、高周波になるにつれて利得が低下する傾向にある。

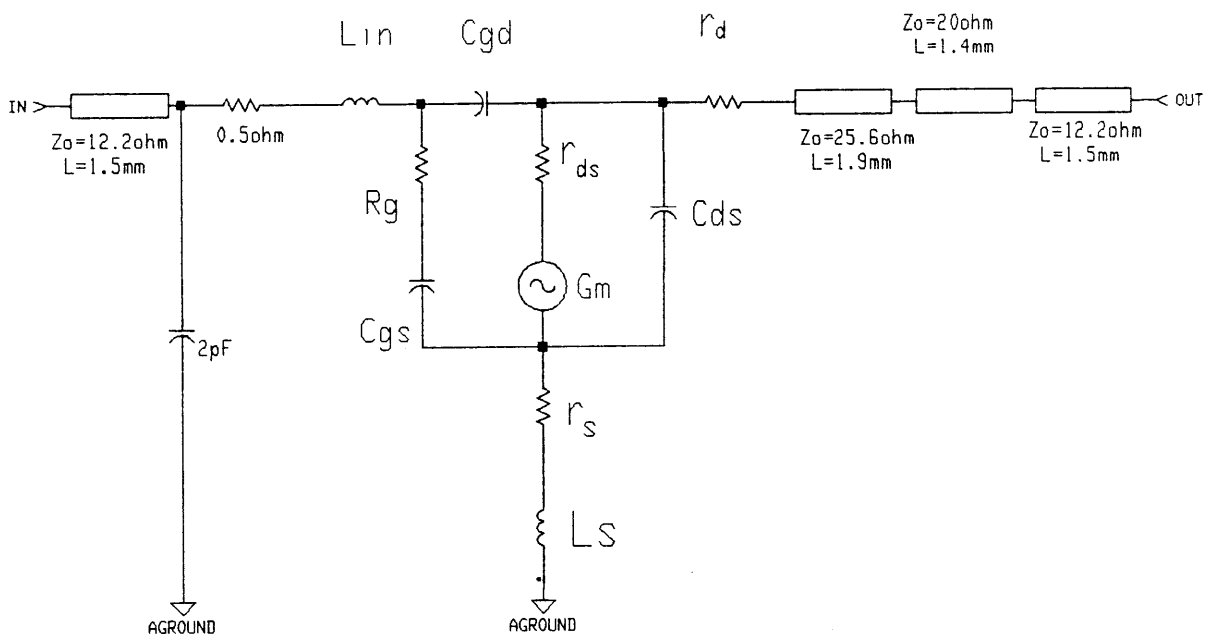


図4-1 デバイスの等価回路

表 4 - 1 等価回路解析に用いたデバイスパラメーター

C_{gs}	ゲート・ソース間容量	12.3pF
C_{gd}	ゲート・ドレイン間容量	1.13pF
C_{ds}	ドレイン・ソース間容量	4.75pF
r_{ds}	ドレイン・ソース間抵抗	60Ω
r_s	ソース抵抗	0.4Ω
r_d	ドレイン直列抵抗	1Ω
L_{in}	入力インダクタンス	3nH
L_s	ソースインダクタンス	0.4nH

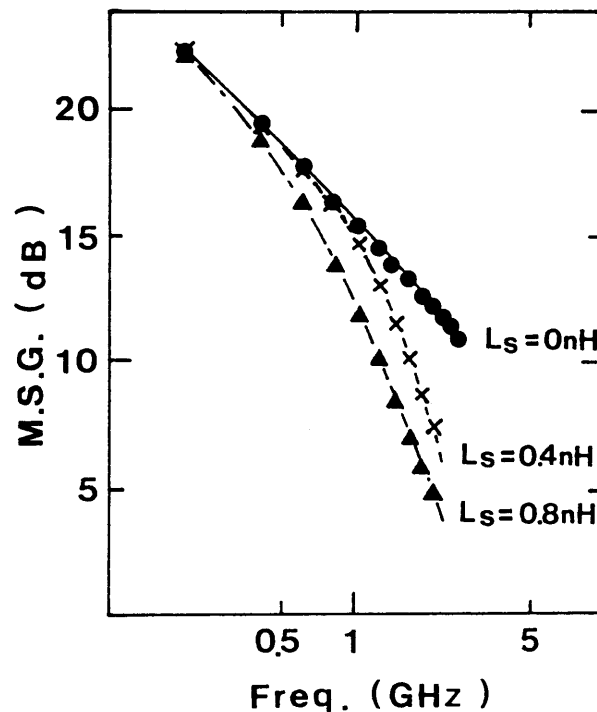


図 4 - 2 ソースインダクタンス(L_s)のMSGへの影響 (計算)

他方、900MHz帯VD-MOSFET 1 block から測定された最大安定電力利得 (MSG) の周波数特性を図 4 - 3 に示す。500MHzまでの低域において、利得は直線的に低下するが1GHz以上の周波数においては急激に下がる測定結果が得られた。ソースインダクタンスを低減するためにワイヤー本数を2本から6本に増やした場合の測定結果も図 4 - 3 に示した。図 4 - 2 に示した計算によるMSGの傾向と図 4 - 3 に示した実際のデバイスの測定結果より、1GHz以上の周波数におけるMSGの急激な低下は、ソースインダクタンスの低減により抑えられることが明確となった。

さらに、MOSFETをS帯で動作させ実用的な10dB程度の高い利得を確保する為には、1GHz以上の周波数におけるMSGの急激な低下をソースインダクタンスの低減で抑えるだけでなく、利得の絶対レベルを向上させることが必要である。この利得の絶対レベルの向上は、第2章のMSGの解析結果の式(2-25)に示したように、相互コンダクタンス (G_m) またはゲート・ドレイン間容量 (C_{gd}) の改善が必要となる。しかしながら、チャンネル長をVD-MOSFETの $0.83\mu\text{m}$ からさらに短縮し G_m の向上を図ることはドレイン耐圧が低下し大電力動作できなくなるので、 C_{gd} を低減する方が適切である。

以上まとめると、MOSFETをS帯で動作させ実用的な高い利得を確保する為には次の2点にそのポイントを絞ることができる。

- ① ソースインダクタンス (L_s) をVD-MOSFETの約1/2の 0.2nH 以下に低減する。
- ② 帰還容量 (C_{gd}) をVD-MOSFETの約1/2の 0.5pF 以下に低減する。

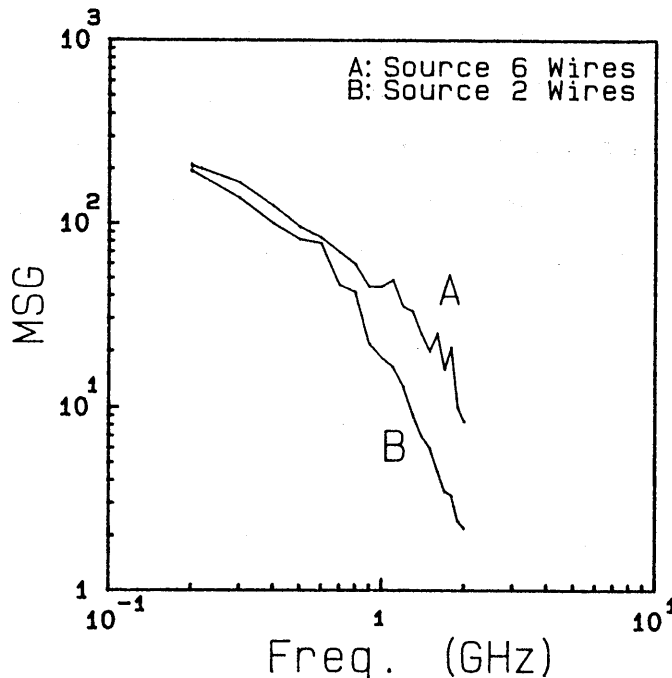


図4-3 VD-MOSFETの1blockのMSG特性 (測定値)

4.3 新構造LD-MOSFETの構造とプロセス技術

4.3.1 デバイスの設計

高周波特性を決める要因の解析結果を踏まえて、デバイスの最適構造を検討した。基本方針は以下の3点である。

- ① VD-MOSFETは縦型デバイスで基板表面にソースとゲート電極があり、基板裏面がドレインであった。ソースインダクタンスを減らす為には、ソースにインダクタンス

が接続されない構造、つまり基板裏面がソースである（ソース接地）構造にする必要がある⁶⁾⁷⁾。

②基板裏面をソースとするソース接地構造であれば、基板表面にドレインとゲートを配置でき、ゲートとドレインの対抗面積が著しく低減でき C_{gd} が減少する⁸⁾。VD-MOSFETで用いたシールド電極は必要ない。

③チャンネル長を短縮し高い相互コンダクタンスを確保する為に、2重拡散を用いたDSA構造はVD-MOSFETと同じ構成にする。

以上の検討結果を踏まえて、S帯（具体的には、2.45GHz）で動作するデバイス構造を考案した。図4-4は、そのS帯Si-MOSデバイスの断面構造図である。その基本構造は、シリコンのP/P⁺基板上にドレイン領域となるN⁻領域をイオン注入により形成すると共に、高融点金属シリサイドであるMoSi₂をマスクにしてチャンネル領域となるP領域とソース領域となるN⁺領域を2重拡散により形成する構成である。

一方、ソース接地構造として低抵抗・低インダクタンスにするために、基板のP型エピタキシャル層を貫通するV溝をFETの活性領域の周辺に設けソース電極に接続した。チップの表面写真を図4-5に示す。中央のパッドがゲートのボンディングパッド、周辺4ヶ所のパッドがドレインのボンディングパッド、チップ裏面がソースになっている。V溝を含む表面部分のSEM写真を図4-6に示す。活性領域の周辺にソース電極1本にV溝を1ヶ対応して形成し基板に接地しているのが確認できる。

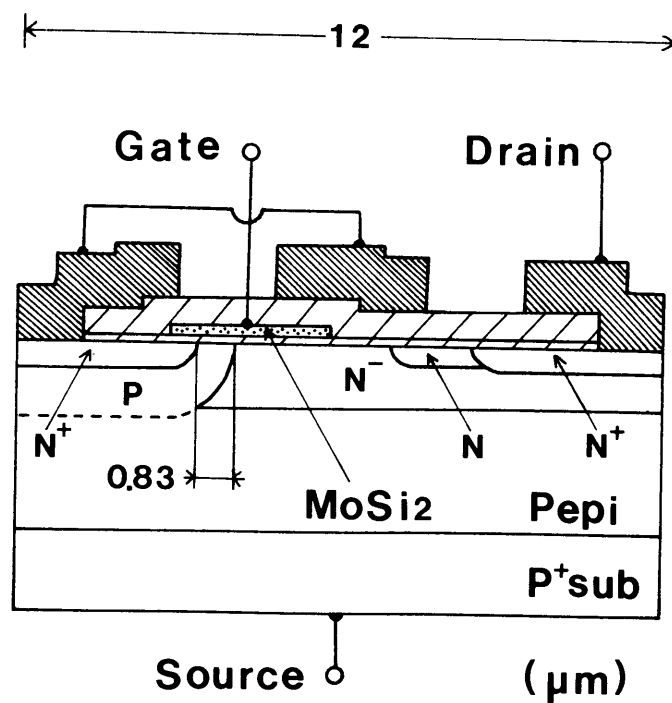


図4-4 S帯Si-MOSデバイスの断面構造図

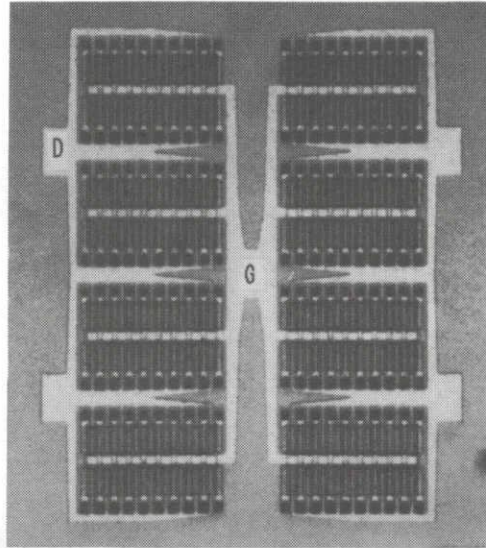


図 4 - 5 チップの表面写真 (1 block)

中央のハットがゲート電極領域(G)、周辺4ヶ所のハットがドレイン電極領域(D)、チップ裏面がV溝を介してソースになっている。

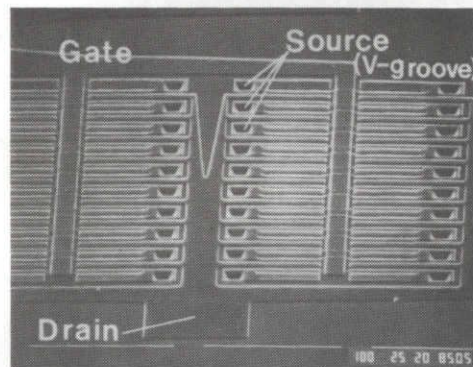


図 4 - 6 V溝を含む表面部分のSEM写真

チップ(1 block)の1/4の拡大写真である。ソース電極1本に1ヶのV溝が対応し基板裏面に接続されている。

4.3.2 デバイス構造の最適化

デバイスを実現し最適化するために、以下の項目について検討した。

① V溝の形成技術の確立

シリコン基板へのV溝の形成方法については各種のエッチング液が提案されているが、使用するデバイスがMOSFETであることを考慮し、KOH等の可動イオンを含むエッチング液はV_t変動を引き起こす原因となるので使用できない。結果として用いたエッチング液はエチレンジアミンとピロカテコールと水の混合液⁹⁾である。この液を用いることで基板方位に従って、シリコン基板にV溝を形成することとした。開口部の幅を10 μ mとすることで約7 μ mの深さのV溝を形成できた。

V溝の形成は、デバイスのMOSFET活性領域の近傍の選択酸化膜（窒化膜を用いたLOCOS法によって形成されたSiO₂膜）中に酸化をしない領域を形成し、プロセスの最後にV溝をエッチングし、アルミ電極を蒸着する手法で行った。V溝を最後に形成するのは、深い段差であるV溝にフォトレジストが堆積する工程を出来る限り避けるためである。図4-7と図4-8にV溝の壁開後のSEM写真とV溝とソース電極との接続部のSEM写真を示す。図4-9には、V溝部分の断面構造を図示した。V溝は開口部の幅10 μ mで決まる所定の深さ7 μ mで止まる。V溝へのアルミ電極の蒸着も、V溝周辺部の酸化膜段差を軽減することで解決している。

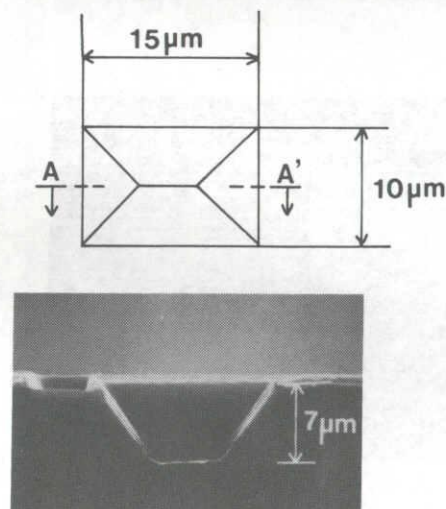


図4-7 V溝の壁開後のSEM写真

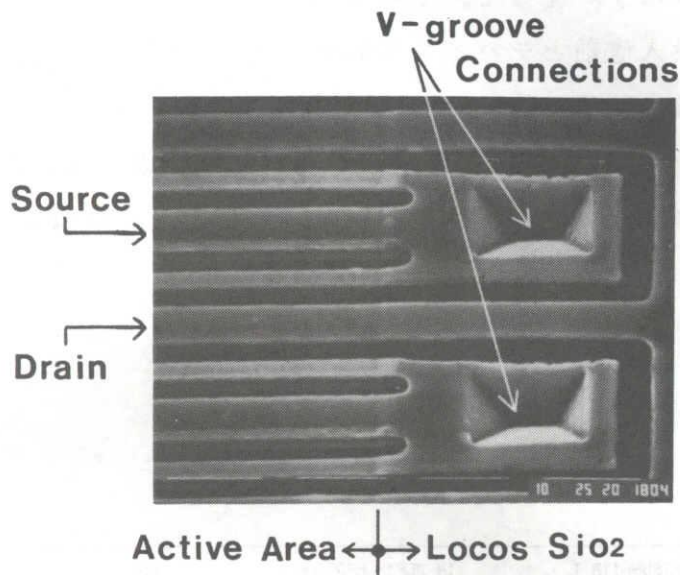


図 4 - 8 V溝とソース電極との接続部のSEM写真

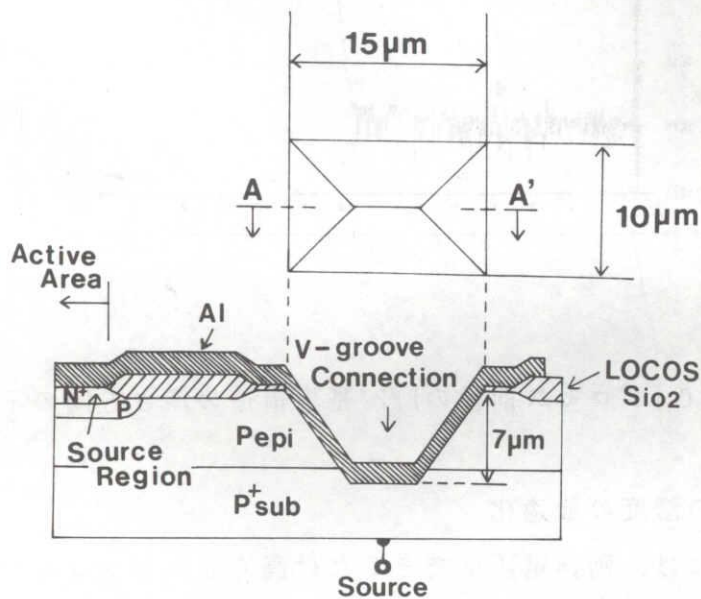


図 4 - 9 V溝部分の断面構造

②P型エピタキシャル層の最適化と基板P⁺の持ち上がり効果の確認

使用したウェーハは、P⁺基板にP型のエピタキシャル層を堆積したP/P⁺の構造である。表面に位置するMOSFETのP型チャンネル形成において1100℃の拡散工程があり、P⁺基板の不純物が表面のエピタキシャル層側に下から持ち上がってくるのが考えられる。この基板持ち上がり量は、少なすぎるとV溝とP⁺基板が点接触しかせずソースのP⁺基板への接続抵抗が大きくなり、逆に多すぎると表面に位置するMOSFETの活

性領域まで影響を及ぼす。従って、その変化の程度を確認する必要がある。図4-10は、プロセス投入直前とデバイス作成終了後のP/P⁺基板構造の深さ方向の不純物分布である。比較の結果、約3 μ mの基板持ち上がりが確認されると共に、基板表面までは4 μ mありデバイスへの影響は少ないことを確認した。また、V溝の傾斜面にはボロンのイオン注入を行い、接触抵抗をさらに下げる対策も行っている。

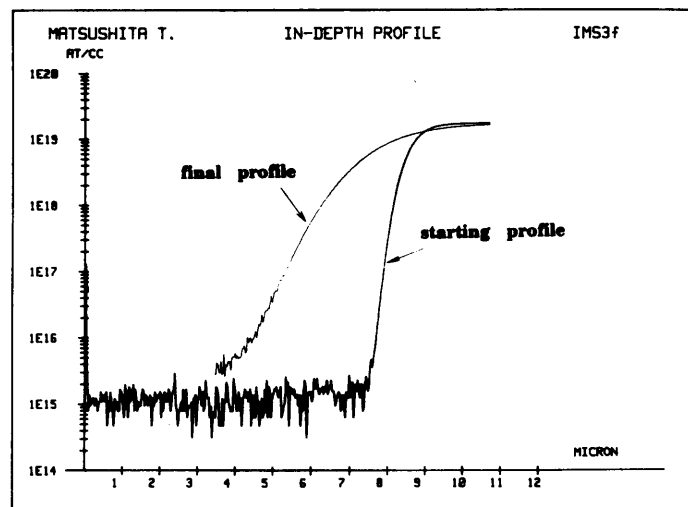


図4-10 プロセス前後のP/P⁺基板構造の深さ方向の不純物分布

③ ドレイン領域の濃度の最適化

大電力化の為には、動作電圧はできるだけ高くしかもドレイン電流は大きい方が望ましい。その為には、注入で形成する表面のドレイン領域の不純物濃度の最適化が必要である。図4-11に、ドレイン領域の不純物濃度とドレイン耐圧・ドレイン電流との関係の実験結果を示す。図4-11に示した実験において、ドレイン領域の注入量以外は一定にしてある。ここで示したドレイン耐圧(BVdss)は、ゲートとソースを短絡状態に接続し、ソースとドレインとの間の耐圧を測定したものである。また、ドレイン領域への注入は、ソース及びゲートの領域も含めFETの能動領域全面に行われる。ドレイン領域の不純物濃度を定めるためのイオン注入量は、 $2 \times 10^{12} / \text{cm}^2$ でドレイン耐圧のピークを持つ結果となった。電流はイオン注入量を上げれば、増加する傾向である。この注入量とドレイン耐圧との関係は次のように解釈するこ

とが出来る。すなわち、ドレイン領域のイオン注入量が $2 \times 10^{12}/\text{cm}^2$ 以下の場合、P型エピタキシャル層とドレイン領域のN型の間で耐圧が決まり、 $2 \times 10^{12}/\text{cm}^2$ を越える場合は、P型チャンネル領域がドレイン領域のN型不純物により補償され、ソースN⁺領域とドレイン領域がパンチスルー状態になりドレイン耐圧が低下する。

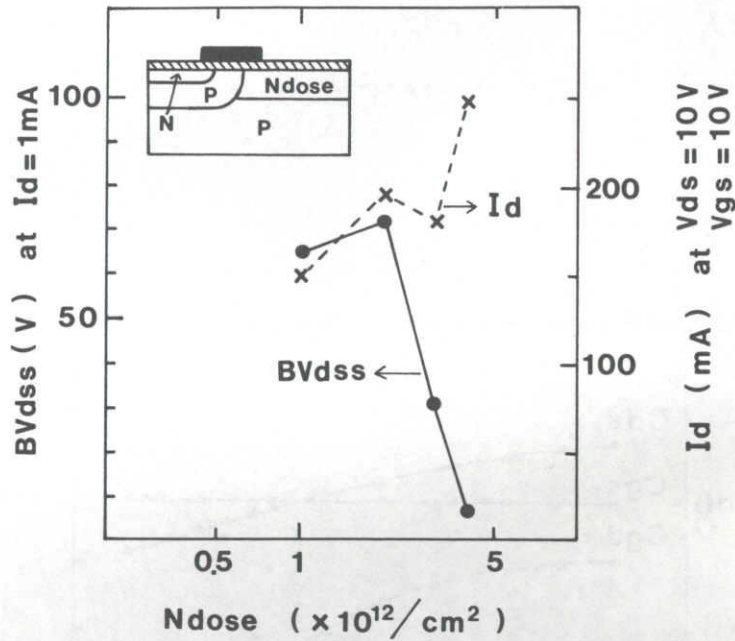


図 4 - 1 1 ドレイン領域の不純物濃度とドレイン耐圧・ドレイン電流との関係

4.4 デバイスのDC特性・高周波特性

試作したデバイスの特性を評価した結果を示す。1 blockの電流電圧特性を図 4 - 1 2 に示す。総ゲート幅11.52mmの1 blockにおいて、 $I_{ds} = 1.5\text{A}$ ($V_{gs} = 10\text{V}$, $V_{ds} = 5\text{V}$)の値が得られた。

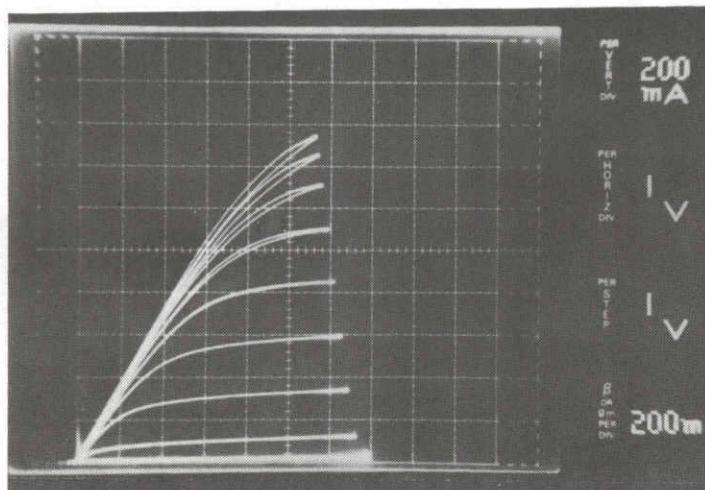


図 4 - 1 2 1 blockの電流電圧特性

試作したデバイスの容量の電圧依存性を図4-13に示す。帰還容量(C_{rd})は、ドレインバイアス50Vで約0.2pFであり、900MHz帯用に開発したVD-MOSFETに比べ約1/4以下に減少した。また、デバイスのカットオフ周波数は、図4-14に示すように約3.3GHzが得られており、この結果は900MHz帯用に開発したVD-MOSFETと比較して約200MHz低下している¹⁰⁾。このカットオフ周波数の低下は、 C_{rd} の増加に起因していると考えられる。入力容量である C_{gs} に占める C_{rd} の比率が C_{rd} と比較して大きいからである。ただし、利得に関しては、 C_{rd} に逆比例して増加するのでデバイス性能としては向上する。

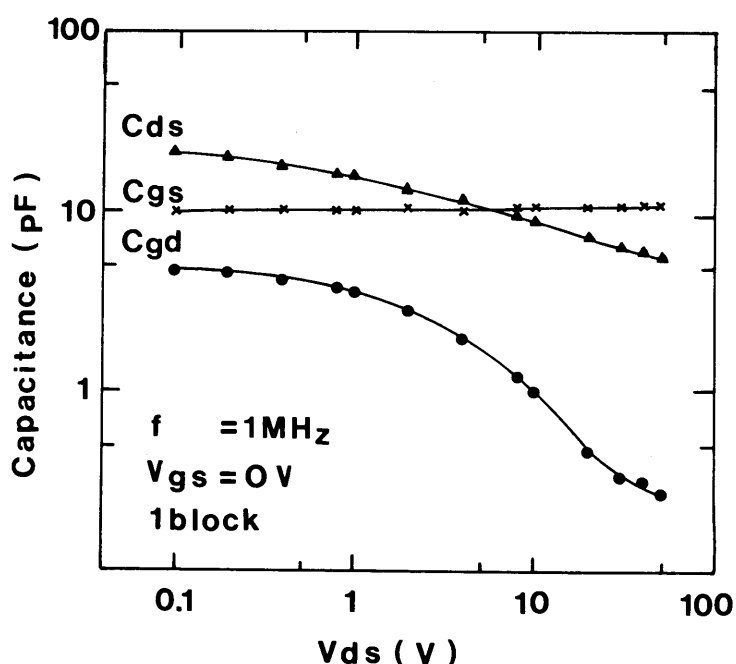


図4-13 デバイスの容量の電圧依存性

第3章で報告した900MHz帯用に開発したVD-MOSFETと今回検討したS帯LD-MOSFETのMSGの周波数特性を比較した結果を図4-15に示す。図4-15において、VD-MOS(1)、VD-MOS(2)はそれぞれソースインダクタンスとして0.21nHと0.43nHが付加された場合の900MHz帯用に開発したVD-MOSFETの測定結果で、他方本章で示しているLD-MOSFETはNew LD-MOSと表記された周波数特性である。2.45GHzの同一周波数で利得を比較するとVD-MOS(2)に比べ10dB以上高い値が得られ、ソース接地構造のLD-MOSFETによりソースインダクタンス(L_s)と帰還容量(C_{rd})の両方を同時に低減した効果がこの結果に現れている。

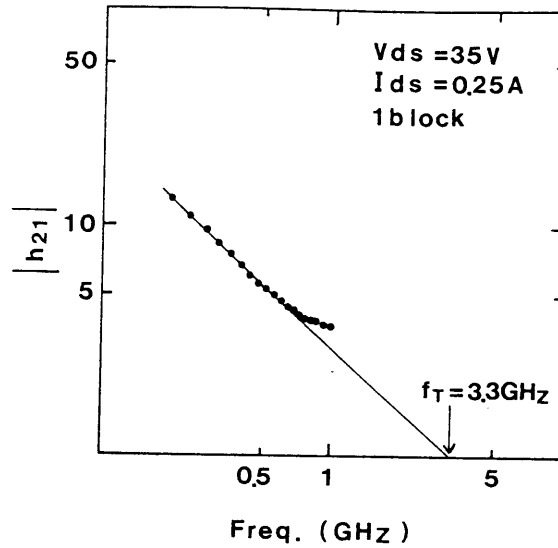


図 4 - 1 4 デバイスのカットオフ周波数

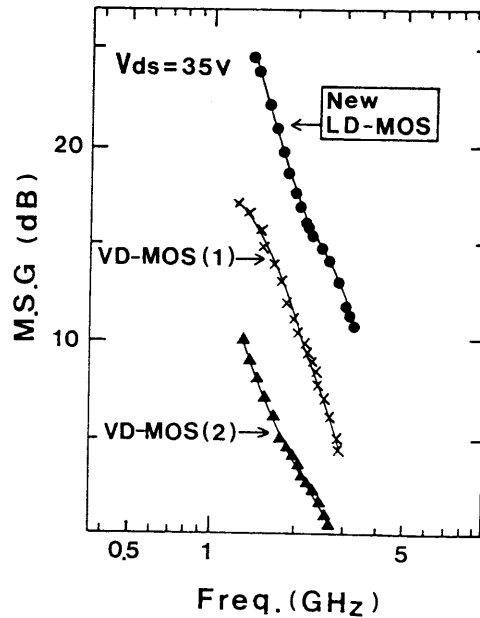


図 4 - 1 5 VD-MOSFETとLD-MOSFETのMSGの周波数特性の比較

デバイスをパッケージに実装し、電力の入出力特性を評価した。図 4 - 1 6 はパッケージに実装状態の表面全体写真である。評価は、1チップの1/4の 1 blockに整合用MOS容量を付加して行った。図 4 - 1 6 に示した表面写真の上部が整合用MOS容量のチップ、下部がLD-MOSFETのチップであり、相互にボンディングワイヤーで接続してある。LD-MOSFETの入出力電力特性の評価結果を図 4 - 1 7 に示した。周波数は2GHzと2.45GHzの2種類で評価した。2GHzにおいて出力7.5W (利得8.5dB)、2.45GHzにおいて出力7.2W (利得5.5dB)の値がそれぞれ得られた。小信号領域の線形利得は2GHzと2.45GHzで、10dBと9dBの高い値が得られており、電力用MOSFETの周波数限界

が2.45GHzまで高められた。VD-MOSFETとの比較のために900MHzでもLD-MOSFETの入出力特性を評価した。LD-MOSFETの900MHzでの出力は、ゲート1mm当たりの出力で比較するとVD-MOSFETの約2.3倍である¹¹⁾¹²⁾。入出力電力特性のまとめを表4-2に示した。

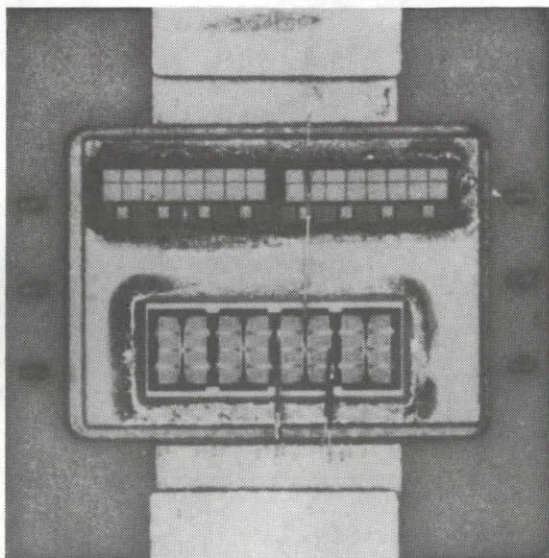


図4-16 パッケージに実装状態の表面全体写真

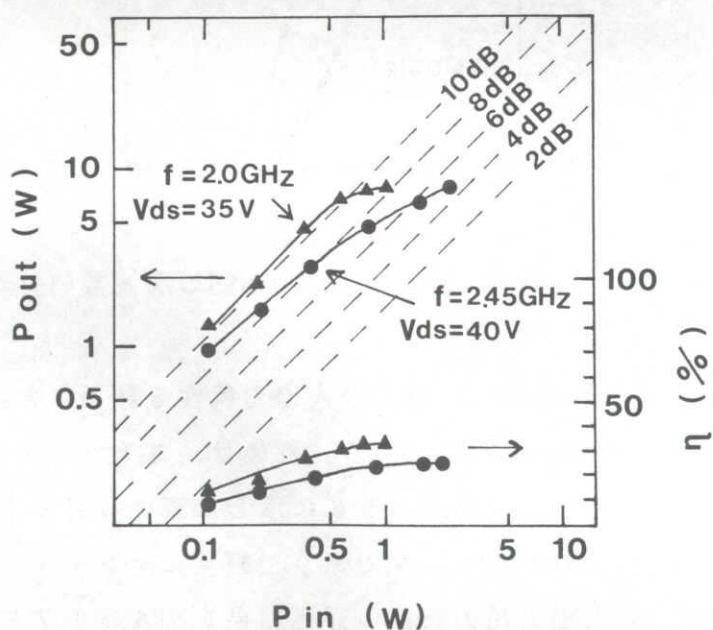


図4-17 LD-MOSFETの入出力電力特性

表 4 - 2 入出電力特性のまとめ

周波数 (GHz)	1 block			2 blocks		
	Pout (W)	Gain (dB)	η (%)	Pout (W)	Gain (dB)	η (%)
0.9	—	—	—	32	9.6	49
2.0	7.5	8.5	34	16	5	33
2.45	7.2	5.5	24	—	—	—

4.5 結言

MOSFETの等価回路解析から、2GHz以上の動作を制限するのはソースインダクタンスであることを明確にした。2GHz以上での動作を実現するために、ソースワイヤーが不要でインダクタンスを極限まで下げられるV溝ソース接地型LD-MOSFETを提案し実現した。ソース接地は、表面のP型エピタキシャル層を貫通し高濃度P⁺基板に到達するV溝をMOSFETの活性領域に隣接する酸化膜中に形成し、ソースとV溝をアルミニウム電極を用いて接続することで行った。2.45GHzで約9dBの小信号電力利得と約8Wの出力電力が得られ、電力用パワーMOSFETの動作周波数をS帯(2.45GHz)まで伸ばした。

参考文献

- 1) 音羽豊、滝野孝則、西沢和平、橋本浩、信学技報 Vol. SSD81-79, p. 1(1981)
- 2) 吉増敏彦、滝野孝則、紀之定敏明、植田順、橋本浩、信学技報 Vol. ED82-120, p. 45(1982)
- 3) O. Ishikawa, H. Yamada and H. Esaki, IEDM Tech. Digest, p. 166(1985)
- 4) S. C. Sun and J. D. Plummer, IEEE Trans. Electron Devices, vol. ED-27, No. 2, p. 356 (1980)
- 5) G. Dambrine, A. Cappy, F. Heliodore and E. Playez, IEEE Trans. MTT., vol. 36, No. 7, p. 1151(1988)
- 6) L. A. D'asaro, J. V. Dilorenzo and H. Fukui, IEEE Trans. Electron Dvices, vol. ED-25, No. 10, p. 1218(1978)
- 7) Y. Hirachi, Y. Takeuchi, M. Igarashi, K. Kosemura and S. Yamamoto, IEEE Trans. MTT, vol. MTT-32, No. 3, p. 309(1984)
- 8) T. Okabe and M. Nagata, IEDM Tech. Digest, p. 825(1980)
- 9) R. M. Finne and D. L. Klein, J. Electrochem. Soc., Solid State Science, p. 965 (Sep. 1967)
- 10) D. Fuoss, IEDM Tech. Digest, p. 250(1982)
- 11) E. Fong, D. C. Pitzer and R. J. Zeman, IEEE Trans. Electron Dvices, vol. ED-27, No. 2, p. 322(1980)
- 12) H. Itoh, T. Okabe, M. Nagata, IEDM Tech. Digest, p. 95(1983)

第5章 X帯GaAsデバイスの低雑音化とMMICへの応用

5.1	序	58
5.2	デバイスの雑音指数	58
5.3	新プロセスを用いたデバイスの特性	
5.3.1	プロセス	59
5.3.2	高利得化への取り組み	64
5.3.3	デバイス特性	65
5.4	雑音指数のオンウェーハー測定	
5.4.1	測定原理	69
5.4.2	測定系の確立	71
5.4.3	評価結果	73
5.5	低雑音MMICへの応用	77
5.6	結言	82

参考文献

第5章 X帯GaAsデバイスの低雑音化とMMICへの応用

5.1 序

1/f雑音を越える高周波におけるデバイスの雑音は、ほとんどソース、ゲートの半導体層や電極の抵抗成分による熱雑音である。従って、これらの抵抗成分を低減し、GaAs MESFETの真性FETの性能を引き出すことがポイントとなる。真性FETについては、GaAs MESFETよりもヘテロ接合デバイスであるHEMT(High Electron Mobility Transistor)¹⁾の方が、電子の走行する領域に不純物イオンが少なく散乱の影響が小さいので移動度が高くなるため、原理的に低雑音となる。同一ディメンジョンで比較するとAlGaAs/GaAs系のHEMTはGaAs MESFETに比べ雑音指数は約1/2になる。また、他の材料例えばInP系のHEMTは更に移動度が大きく、低雑音化^{2) 3) 4) 5) 6)}できる。

低雑音半導体デバイスの開発は、軍関係のレーダーや衛星放送の世界的普及によるところが大きい。例えば、本章で示す研究もその目的は日本の衛星放送の12GHz受信低雑音デバイス^{7) 8) 9)}の実現である。低雑音デバイスが必要とされる理由は、アンテナの半径にデバイスの雑音指数が直接関係するからである。本章の研究結果により12GHz帯で雑音指数0.5dBのHEMTが開発され、受信用のパラボラアンテナは直径35cm以下の大きさが可能となる。

5.2 デバイスの雑音指数

デバイスの雑音指数は、Fukui¹⁰⁾によってデバイスのパラメーターとの関係式が示されている。

$$NF_{min} \cong 1 + 2\pi f K_f C_{gs} \sqrt{\left(\frac{R_s + R_g}{G_m} \right)} \quad (5-1)$$

但し、 NF_{min} : ノイズ最小値
 f : 動作周波数
 K_f : フィッティング係数
 G_m : 相互コンダクタンス
 C_{gs} : ゲートソース間容量
 R_s : ソース抵抗
 R_g : ゲート抵抗

式(5-1)から明かなように、ノイズを下げるためにはデバイスとして以下のパラメーターの改善が必要である。

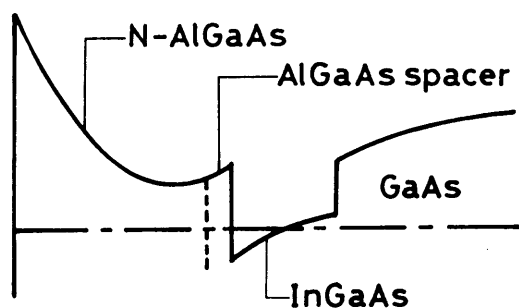
- ① C_{gs} の低減
 - チャンネル長の短縮
 - ゲート直下の不純物濃度の低減
 - ゲート周辺容量の低減
- ② R_s 、 R_d の抵抗成分の低減
 - オフセット構造
 - ゲート電極の厚膜化
- ③ G_m の向上
 - チャンネル長の短縮

5.3 新プロセスを用いたデバイスの特性

5.3.1 プロセス

今回検討したHEMTのチャンネル領域のヘテロ構造は、図5-1に示すようにAlGaAs/InGaAs層で構成されており、GaAs基板上にMBE法により成長した¹¹⁾。

Features of N-AlGaAs/InGaAs/GaAs pseudomorphic HEMT



- High 2DEG concentration
- High electron velocity
- Good electron confinement
- Low Al mole fraction in AlGaAs

図5-1 HEMTのチャンネル領域のヘテロ構造

通常のAlGaAs/GaAs構造に比べ以下の特徴を持つ。

① 電子飽和速度がさらに15%高い。

② 電子の供給量が多く、高い相互コンダクタンスが得られる¹²⁾。

但し、基板構造が高い性能を有していてもデバイスとして低雑音であるかどうかはプロセスに依存する所が多い。事実、上記基板を用いて最初に試作したHEMTの12GHzにおける雑音指数は約1.0dBのレベルであった。図5-2に今回検討したHEMTのチップ表面写真、図5-3に基板の層構造を示す。

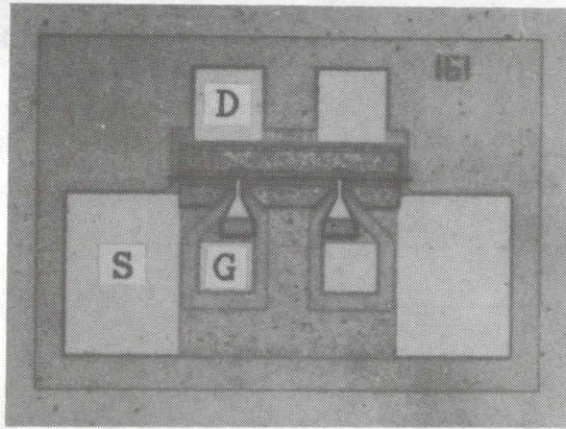


図 5 - 2 HEMTのチップ表面写真

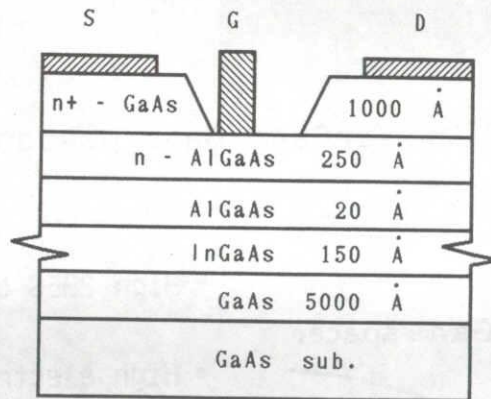


図 5 - 3 基板の層構造

低雑音化の為に、ソース抵抗¹³⁾とゲート抵抗を下げられる新規なプロセス（オフセットリセスゲートプロセス）¹⁴⁾について検討した。図 5 - 4 にそのプロセスフローチャートを示す。この新しいプロセスは、リセス領域とゲート電極との位置合わせの制御性が非常に良いことを特徴とする。具体的には、図 5 - 4 E)からも明らかのようにゲートリセスエッチングの開口部の窓からオフセットエッチングを行い、その窓を用いてゲート電極を形成できる点である。リセス領域の幅は約 $0.8\mu\text{m}$ で、その中に $0.2\mu\text{m}$ 幅のゲート電極をソース側にオフセット形成することは通常では不可能な技術であった。以下、オフセットリセスゲートプロセスについて図 5 - 4 を参照して説明する。

(STEP A) SiO_2 膜の形成工程

SiO_2 膜をソースとドレインのオーミック電極層の間に選択的に形成する。このSi

O_2 膜の厚さと幅は $0.05\mu m$ 、 $0.8\mu m$ である。 SiO_2 膜はゲート開口部を形成する時のドライエッチングからの表面保護とリセスエッチングの幅を規定する為に設けられる。

(STEP B) ゲート開口部の形成工程

$0.3\mu m$ の窒化膜を堆積し、 SiO_2 膜のソース側端部に窓幅 $0.2\mu m$ のゲート開口部を形成する。このゲート開口部の位置合わせ誤差はステッパーを用いることにより、 $0.15\mu m$ 以下となる。窒化膜は、ドライエッチングを用いて精度良く行う。

(STEP C) SiO_2 膜のウェットエッチング工程

窒化膜の開口部から下地の SiO_2 膜をウェットエッチングにより除去し、基板を露出させる。

(STEP D) リセスエッチング工程

基板表面からウェットエッチングにより、表面の N^+ GaAs層を除去しリセス領域を形成する。この工程により、ゲート開口部がソース電極側にオフセットされたリセス構造が完成する。ソース側の N^+ GaAs層はエッチングが進まず、ドレイン側の N^+ GaAs層は広くエッチングされるのでソース抵抗は低くなりドレイン耐圧は向上する。

(STEP E) ゲート電極の形成工程

Au/Pt/Ti構造のゲート電極が蒸着とメッキによって形成される。ゲート電極厚みは $1.2\mu m$ と厚くできる。ゲート電極はリセスをした開口部をそのまま使用して形成されるので、その位置合わせ制御性は非常によい。しかも、窒化膜のサイドウォールで支持されているので安定に厚いゲート電極が形成でき、ゲート抵抗の低減ができる。

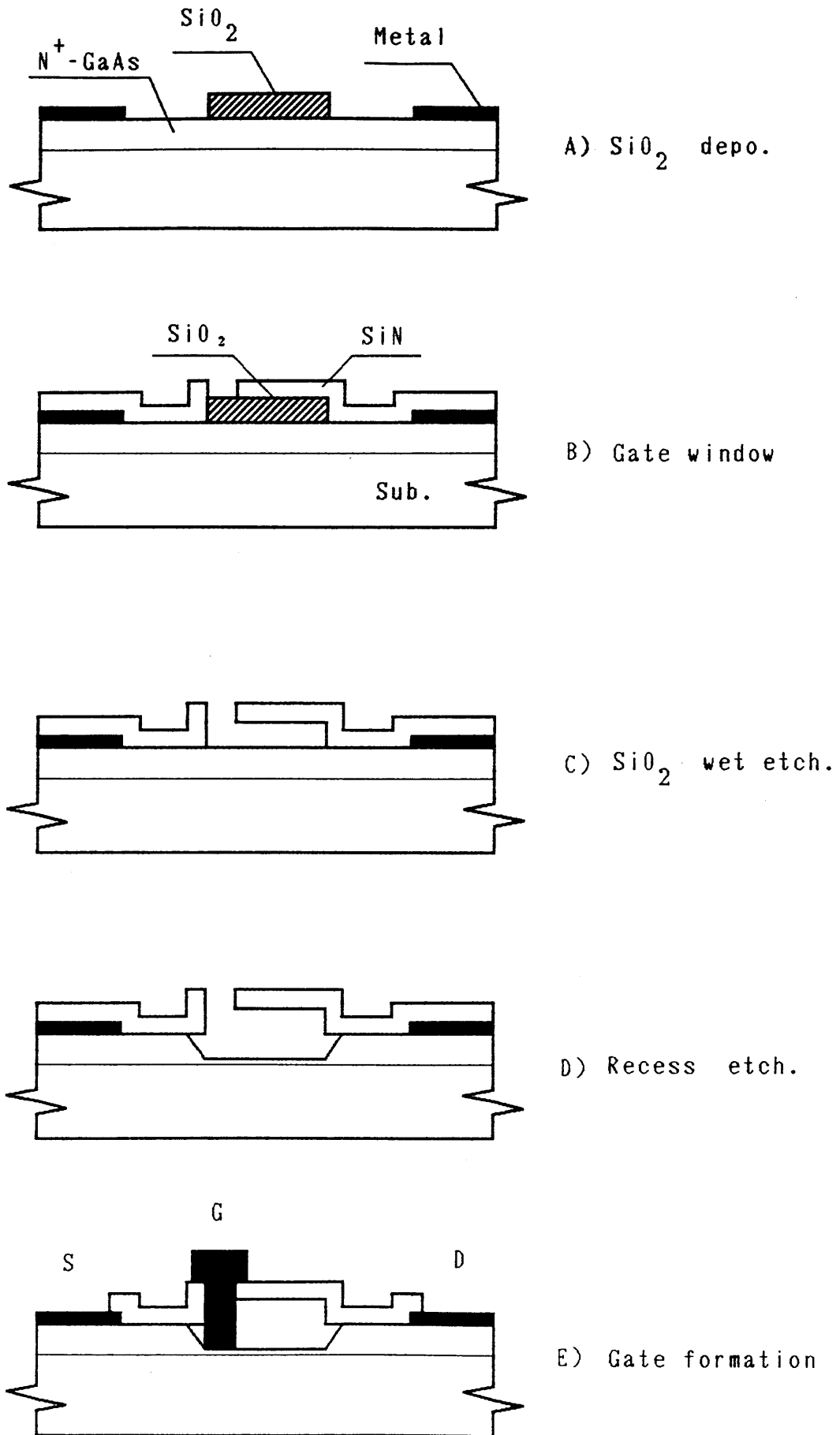


図 5 - 4 プロセスフローチャート

図5-5にリセスエッチング直後のゲート部の断面SEM写真を示す。SEM写真から明らかなようにゲート開口部がリセス内のソース側にオフセットされた状態で形成されているのがわかる。

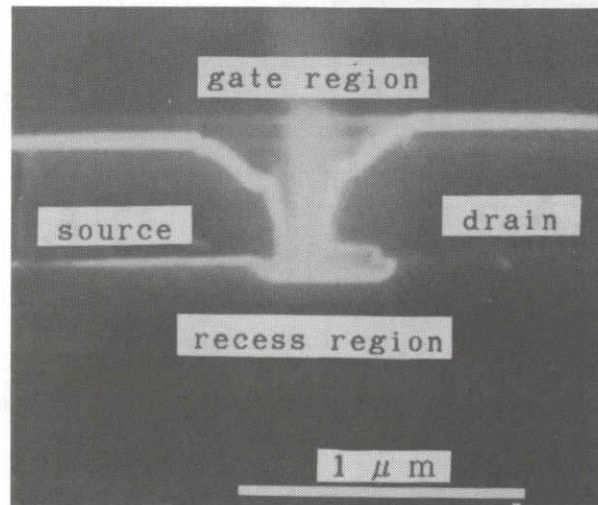


図5-5 リセスエッチング直後のゲート部の断面SEM写真

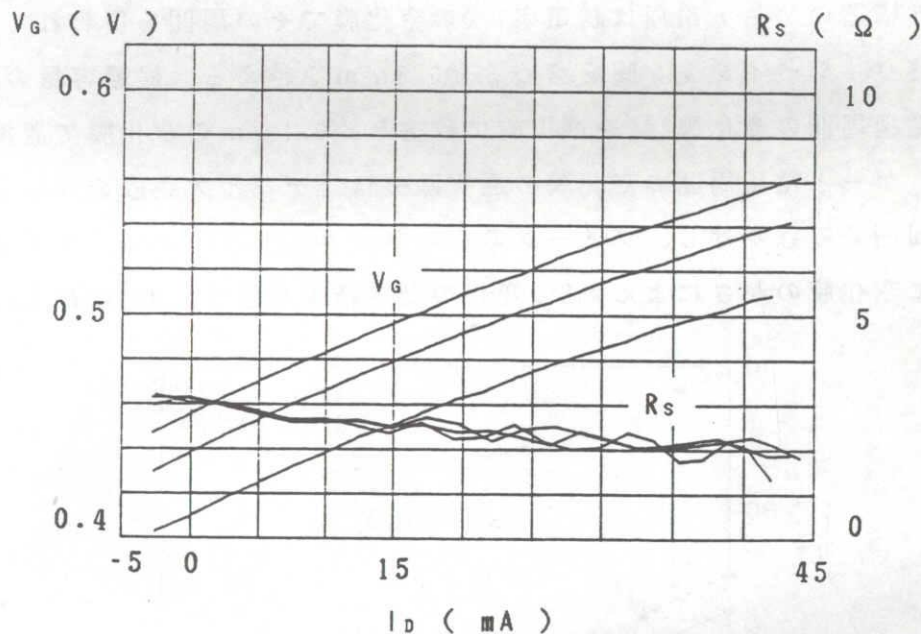


図5-6 ソース抵抗のドレイン電流依存性

図5-6に示したソース抵抗のドレイン電流依存性より、ソース抵抗はドレイン電流20mAの時2.5Ωとなり、ゲートがソースとドレインの中央にある従来の構造と比較して約1/2の値となっている。他方、ゲート・ドレイン間耐圧(BVgdo)は図5-7の測定結果から6Vに、ゲート・ソース間耐圧(BVgso)は2.5Vとなり小信号の増幅には十分な耐圧が得られている。BVgdoはオフセットゲートの効果により従来構造の約2倍大きな値である。

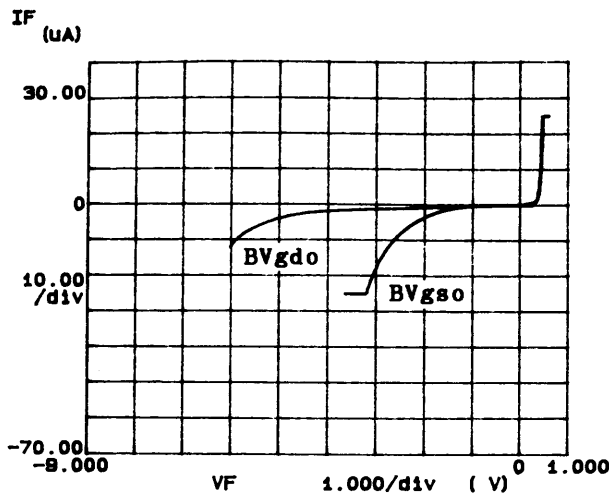


図5-7 ゲート・ドレイン間耐圧(BVgdo)とゲート・ソース間耐圧(BVgso)

5.3.2 高利得化への取り組み

低雑音デバイスの高利得化については、第3章のMOSFETと同様に帰還容量(C_{gd})の低減で可能である。12GHz帯低雑音HEMTにもこの効果は同様に現れる。今回検討したオフセット構造のゲート電極は誘電率7.0の窒化膜でその周囲を覆われており、その厚さは最終パッシベーション膜を含めると $0.8\mu\text{m}$ を越える。帰還容量の低減は、このゲート電極周囲の窒化膜¹⁵⁾を選択的に除去し約 $0.1\mu\text{m}$ の窒化膜で置換する手法をとった。ゲート電極周囲の窒化膜の選択除去は、デバイス完成後フォトレジストをゲート周囲のみ窓明けし、ダメージのないケミカルドライエッチングで行った。図5-8に窒化膜の厚さによるMSGの変化の測定結果を示す。MSGは最大2dB以上改善された。

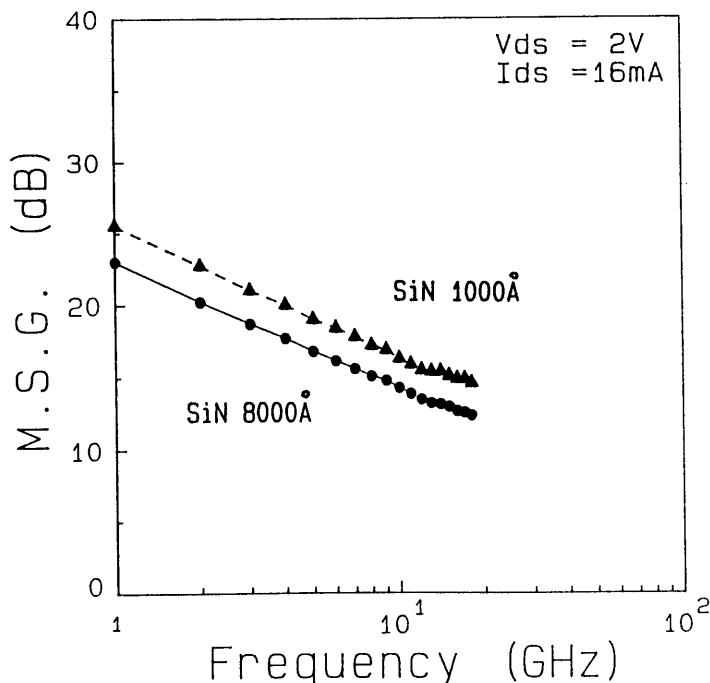


図5-8 窒化膜の厚さによるMSGの変化

5.3.3 デバイス特性

実際に試作したHEMTの特性を評価した。高周波の評価は図5-9に示したセラミックパッケージへ実装して行った。デバイス寸法は、総ゲート幅 $160\mu\text{m}$ 、チャンネル長 $0.2\mu\text{m}$ である。デバイスの電流電圧特性を図5-10に、 G_m - V_{gs} 特性を図5-11に示した。デバイスの相互コンダクタンス(G_m)は $V_d=2\text{V}$ 、 $I_d=12\text{mA}$ の条件下で 82mS の値が得られ、これは 1mm ゲート幅当たり 510mS に相当する。

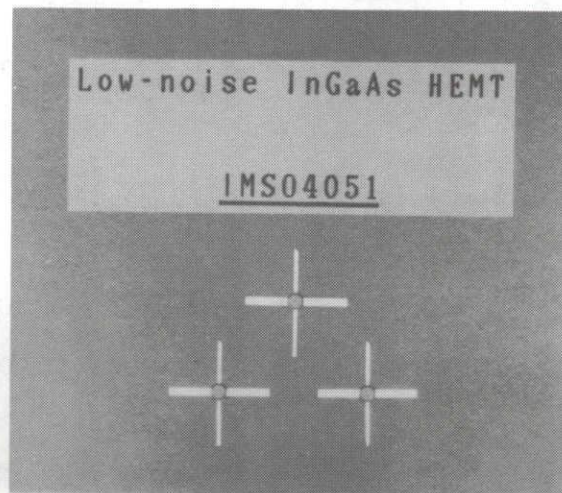


図5-9 セラミックパッケージへの実装状態

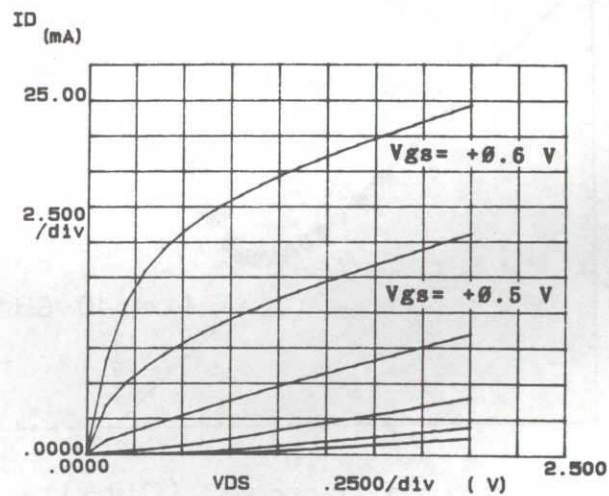


図5-10 デバイスの電流電圧特性

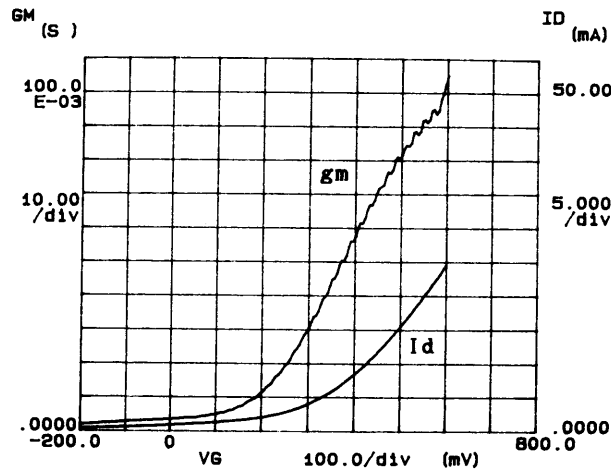


図 5 - 1 1 デバイスの G_m - V_g 特性

デバイスの[S]パラメーターを[h]パラメーターに変換して得られた h_{21} の周波数特性を図5-12に示した。デバイスのカットオフ周波数(f_t)は雑音の最小値を与えるバイアス条件($V_d=2V$ 、 $I_d=16mA$)で40GHzである。12GHzの雑音特性は、図5-13に示すように、最低雑音0.54dB、利得10.6dBと初めて12GHz帯で0.5dB台の値を示し、オフセットリセスゲートプロセスが高周波における雑音特性の改善に大きな効果があるのが確認された。

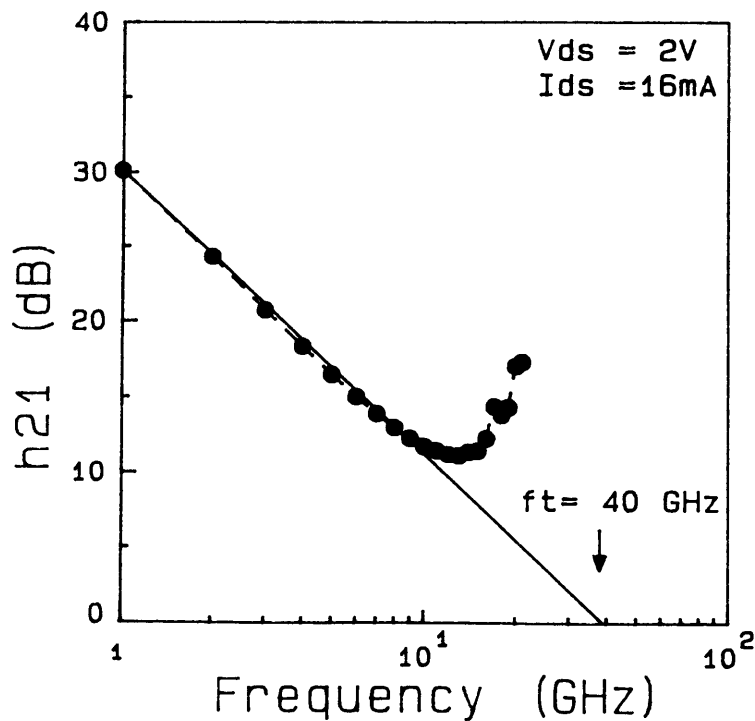


図 5 - 1 2 h_{21} の周波数特性

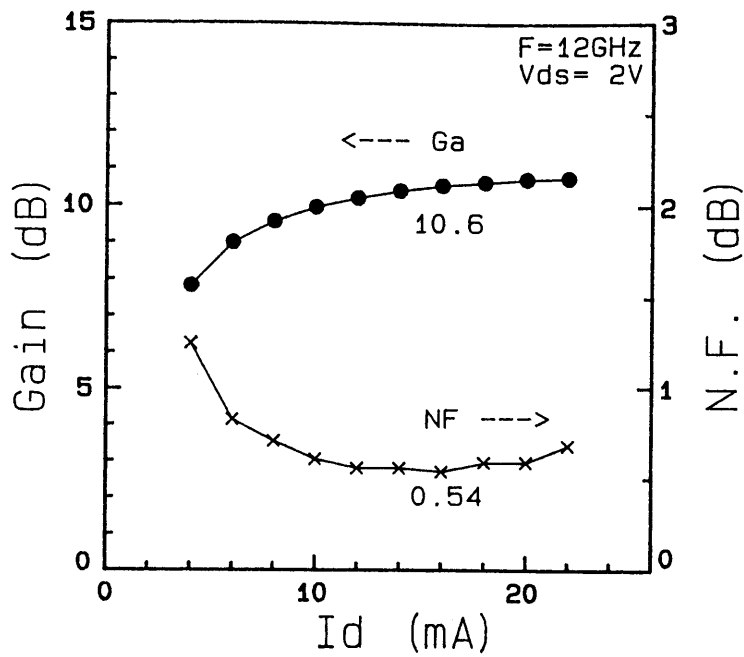


図 5 - 1 3 12GHzにおける雑音特性

HEMTを実際の衛星放送用コンバーターの初段に用いた3段増幅器の特性を評価した。図5-14は3段増幅器の回路構成である。3段増幅器の2段目及び3段目は雑音指数約1.6dBのGaAs MESFETを使用している。図5-15に3段増幅器の12GHz帯での雑音指数とその入力リターンロスの周波数特性を示した。導波管からの変換部分を含む総合の雑音指数は、最小雑音指数が1.2dBと従来のHEMTに比べ約0.3dB以上改善された。

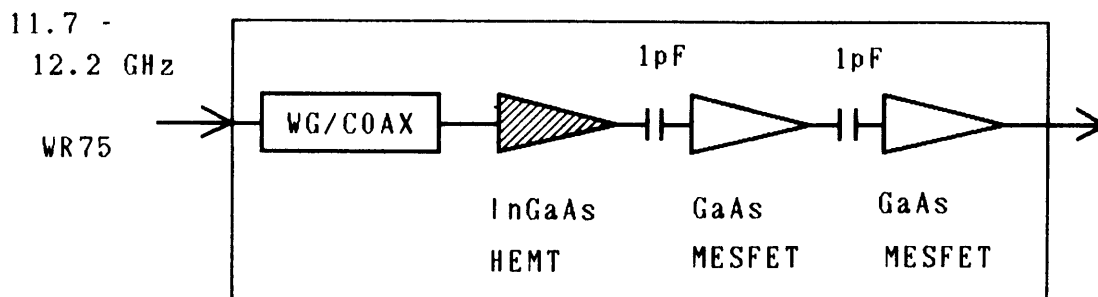


図 5 - 1 4 3段増幅器の回路構成

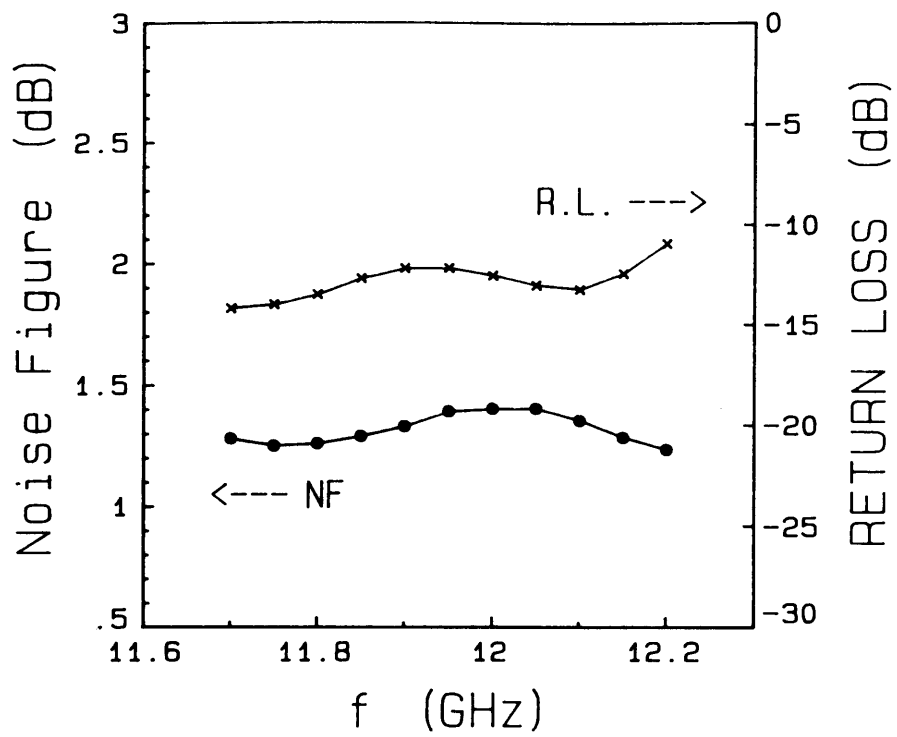


図 5 - 1 5 3 段増幅器の雑音指数とその入力リターンロスの周波数特性

5.4 雑音指数のオンウェーハー測定

5.4.1 測定原理

12GHz低雑音デバイスの研究と並行して、雑音指数をパッケージに実装すること無くウェーハー状態で測定できしかも最小雑音指数を与える最適信号源インピーダンスの測定を同時に行うことができるシステムと方法について研究した¹⁶⁾。このシステムの実現により低雑音デバイスのチップ実装に道が開かれると共に、最小雑音指数を与えるインピーダンスを求めることができるので低雑音デバイスとマイクロストリップ線路をGaAs基板上に一体形成したMMICの設計を正確に且つ簡略化して行うことができる。

まず、雑音指数と最適信号源インピーダンスの測定システムとその原理を説明する。図5-16に、測定システムのブロック図を示した。インピーダンス測定をするためのネットワークアナライザーと、雑音指数を測定するためのノイズメーターと、インピーダンス変換するためのチューナーと、高周波プローブを高周波スイッチを用いて相互に接続した構成である。その測定方法について手順を追って説明する。

① ネットワークアナライザーの誤差補正

第2章で説明した誤差補正を入出力のチューナーのネットワークアナライザー側の端部と高周波プローブの先端部の2ヶ所で行い補正データをコントローラーに保存する。

② 最小雑音指数の測定

ウェーハー状態のデバイスに高周波プローブを接触させ、チューナーによりインピーダンスを変化させて雑音指数が最小になるように調整しチューナーを固定する。

③ 信号源インピーダンスの測定

高周波スイッチをネットワークアナライザーに切り替え、入力側高周波プローブの先端から信号源をみたインピーダンス(最小雑音指数を与える信号源インピーダンス)を測定する。

以上の手順により、ウェーハー状態の低雑音デバイスの最小雑音指数とそれを与える最適信号源インピーダンスを求めることができる。測定された最適信号源インピーダンスは、ワイヤーやパッケージの容量を含まないチップ本体の値であるので他のデータ変換無しに直接MMICの設計に用いることができる。

ノイズ最小値を与える最適信号源インピーダンスの測定に関し、2つの方法を検討した。50-SHORT-OPEN法とREAL-TIME法である。図5-17にその2つの測定方法の概念を示す。それぞれの測定方法について詳しく説明する。

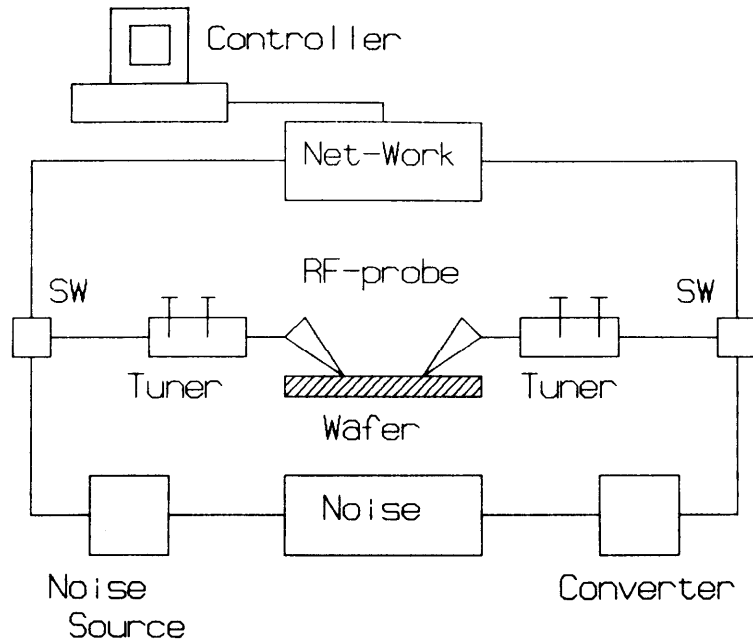
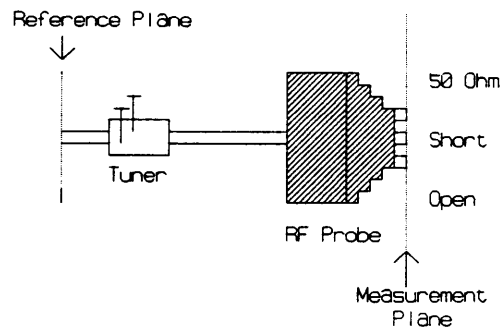


図 5 - 1 6 測定システムのブロック図

50-Short-Open Method



Real-Time Method

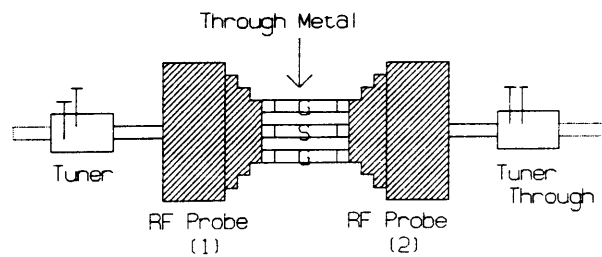


図 5 - 1 7 50-SHORT-OPEN法とREAL-TIME法の測定概念

① 50-SHORT-OPEN法

この手法は第 2 章で説明した誤差補正の方法を応用したもので、チューナーのネットワークアナライザ側にインピーダンス校正面が設定された状態で、最小雑音

指数に調整されたチューナーと高周波プローブを含めた形の[S]パラメーターの S_{22} が最小雑音指数を与える信号源インピーダンスに相当することを用いている。従って、高周波プローブの先端に 50Ω 負荷、SHORT負荷、OPEN負荷を接続してその3種の測定結果から連立方程式を解くことによって S_{22} （つまり最小雑音指数を与える信号源インピーダンス）を計算により求めることができる。これは、第2章で説明した誤差補正の E_{22} に相当する(2-35)式を用いることで計算できる。これらの制御と計算は全てコントローラーによって行われる。

② REAL-TIME法

この方法は、最小雑音指数を与える信号源インピーダンスは入力側の高周波プローブの先端部から信号源をみたインピーダンスであり、その測定を出力側の高周波プローブを用いて測定しようとするものである。出力側高周波プローブの先端にもインピーダンス測定の校正面が設定されているので、直接出力側高周波プローブで入力側高周波プローブの先端部から信号源をみたインピーダンスを測定できる。但し、入力側高周波プローブと出力側高周波プローブを相互に接続するためのスルーメタル（信号線と接地線を相互に接続する電極パターン）を用いる必要がある。

5.4.2 測定系の確立

実際に測定システムとして系をまとめ、その測定限界と前述した50-SHORT-OPEN法とREAL-TIME法を比較評価した。図5-18は、信号源インピーダンス測定システムのセッティング状態の全体写真である。

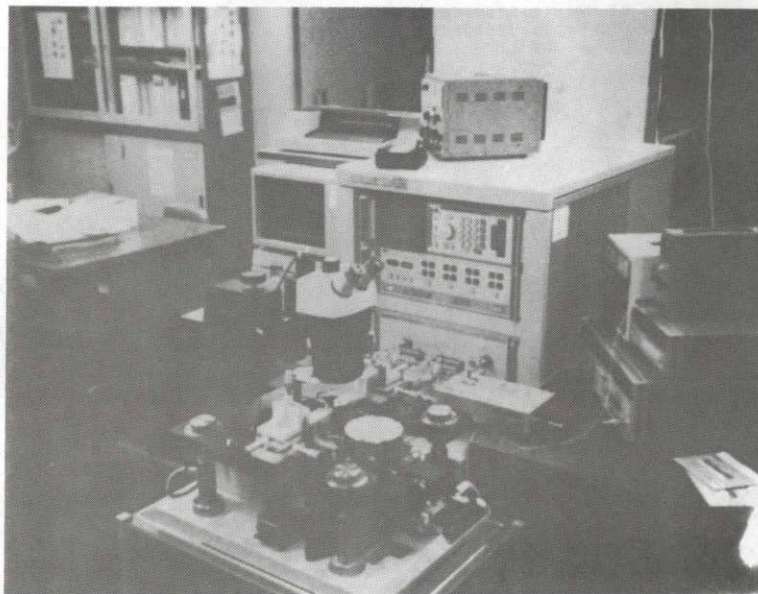


図5-18 信号源インピーダンス測定システムの全体写真

図5-19は入力側のチューナーを最低インピーダンス状態に設定し、信号源インピーダンスの設定可能範囲を測定したものである。高周波プローブは12GHzにおいて約1.5dBの挿入損失を持っている。従って、チューナーでVSWR=20に設定しても高周波プローブの先端部からみたインピーダンスはVSWRが改善されてみえる。図5-19に示した斜線部の中は高周波プローブの先端部からみたチューナーの可変可能領域を示しており、斜線部の外側のインピーダンスは高周波プローブの先端部から与えることができない。今回検討した測定系の限界はこのインピーダンスにあることが明らかとなった。このインピーダンスの可変範囲を広げるためには、挿入損失の非常に小さい例えば0.5dB程度の損失の高周波プローブを用いる必要がある。

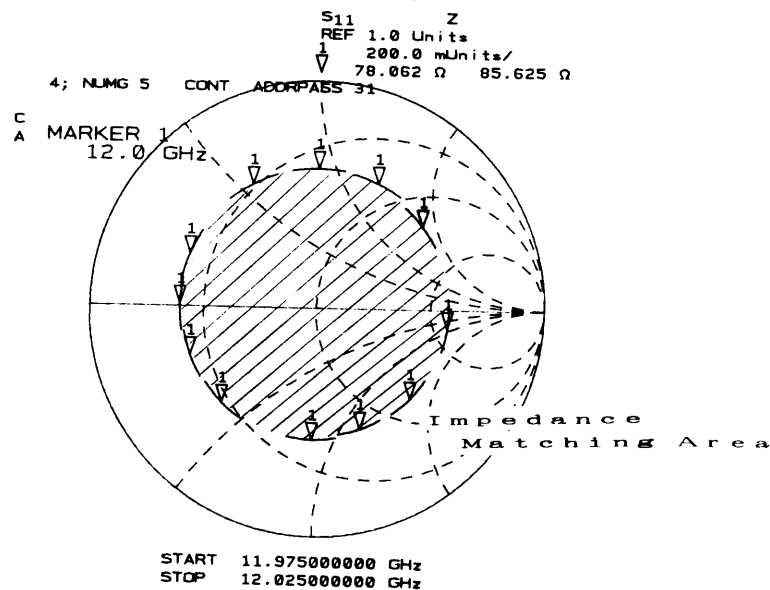


図5-19 信号源インピーダンスの設定可能範囲

50-SHORT-OPEN法とREAL-TIME法を比較評価した結果を図5-20に示す。12GHzで同一インピーダンスを持つ被測定物を2つの方法で測定した結果である。50-SHORT-OPEN法で測定された12GHzの結果は*印で1点表示されている。他方REAL-TIME法は、軌跡の中のマーカー1で表示されている。両者を比較すると、REAL-TIME法はスルーメタルを介して測定されるので位相が約15°回転されて測定される結果となった。50-SHORT-OPEN法は正確であるが、測定を3回(50Ω負荷、SHORT負荷、OPEN負荷の3回測定)行う必要がある。他方、REAL-TIME法は測定が簡便であるがその結果には位相回転分が上乘せされる結果となり、両方の測定方法を精度と簡便さで使い分けて使用した。

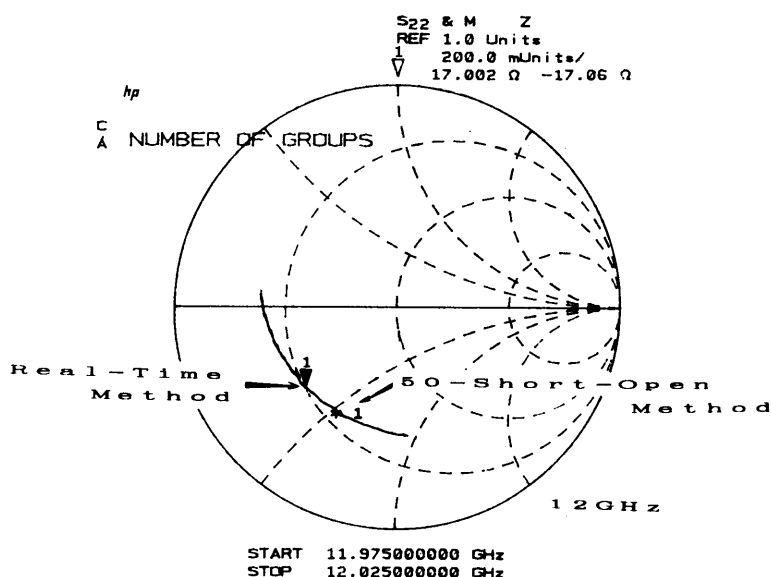


図 5 - 2 0 50-SHORT-OPEN法とREAL-TIME法を比較評価

5.4.3 評価結果

測定システムを用いてウェーハー状態のGaAs MESFETの最小雑音指数とその時の最適信号源インピーダンスを測定した結果について説明する。図 5 - 2 1 は、ウェーハー状態のGaAs MESFETの雑音特性を測定した結果である。スルー表示(Through)はチューナーをスルー状態にし信号源インピーダンスが50 Ω の時の雑音特性、他方チューン表示(Tune)の方はチューナーを実際に調整し最低雑音指数に設定したときの雑音特性である。ウェーハー状態で、ノイズ最小値にチューナーを用いて設定することが可能である。雑音指数と利得の絶対値については、高周波プローブや高周波スイッチの損失を含んでいるため、かなり悪くなっている。図 5 - 2 2 は、チューナーを最低雑音に設定後、高周波スイッチをネットワークアナライザー側に切り替え、最小雑音時の信号源インピーダンスを測定した結果である。最小雑音指数 5.5 dBのインピーダンス位置と雑音指数6.8dBの定雑音円¹⁷⁾を測定システムを用いて得ることができた。

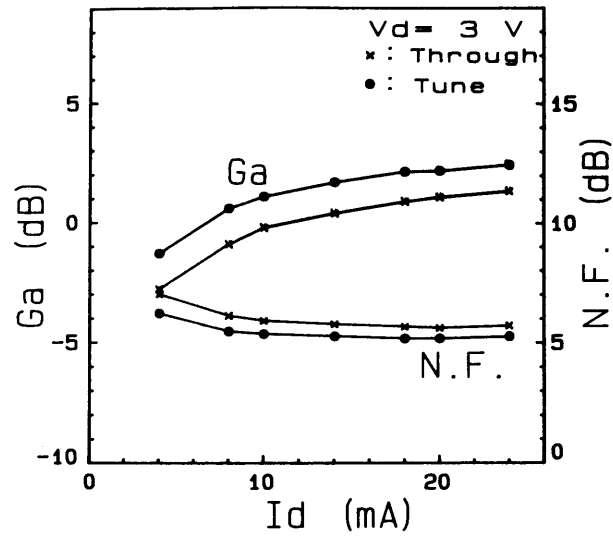


図 5 - 2 1 ウェーハー状態のGaAs MESFETの雑音特性

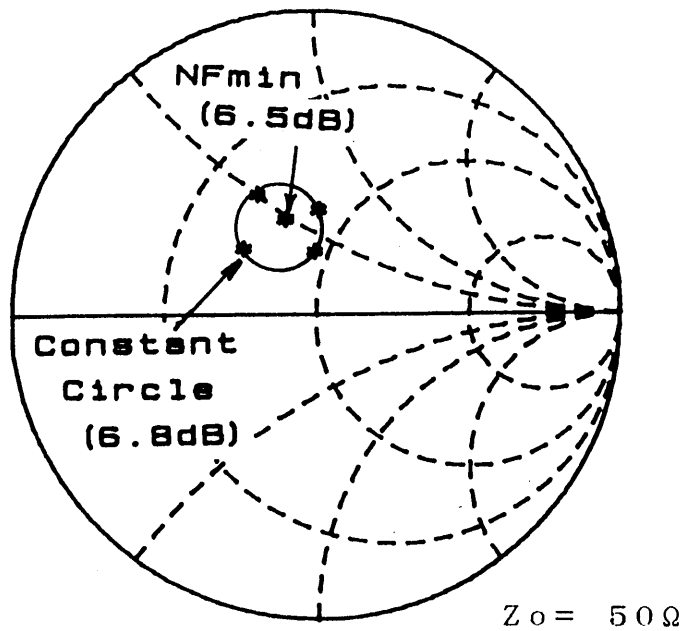
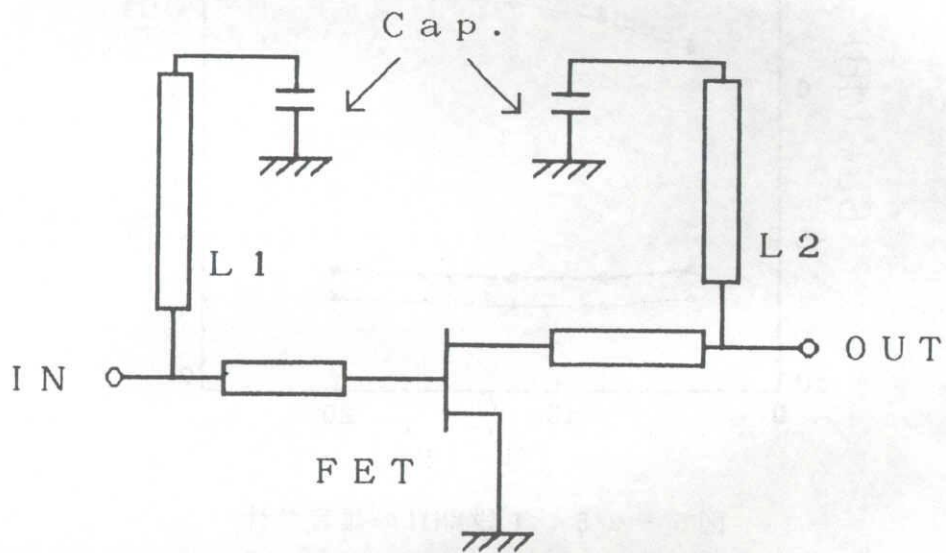


図 5 - 2 2 最小雑音時の信号源インピーダンスの測定結果

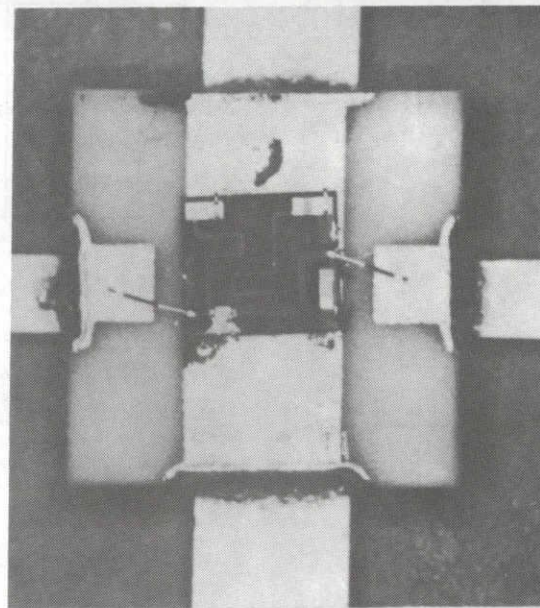
測定された最小雑音指数5.5dBのインピーダンス位置を用いて、1段のGaAs MESFETのMMICを低雑音設計し評価した。図5-23と図5-24は、試作した1段MMICの等価回路とパッケージ実装写真である。チップ寸法0.9mm×1.0mmのMMICを2.54mm×2.54mmのセラミックパッケージに入れ評価した。このMMICの雑音特性を、図5-25に示す。設計した1段MMICをチューナーのスルー状態とチューン状態で雑音指数を測定した結果、両者の雑音指数に差はほとんど無かった。これは、ウェーハー状態で測定された最低雑音指数を与えるインピーダンスが正確に測定されており、

MMIC上の整合回路によりそのインピーダンスが実現されていることを示している。
 雑音の誤差補正を行った結果、12GHzで約3dBの雑音指数であった。1段のMMICの[S]
 パラメーター測定結果を図5-26に示した。



L1-L2: Short Stub
 Cap. : 2pF

図5-23 1段MMICの等価回路



Chip Size: 0.9mm * 1.0mm

PKG Size: 2.54mm * 2.54mm

図5-24 1段MMICのパッケージ実装写真

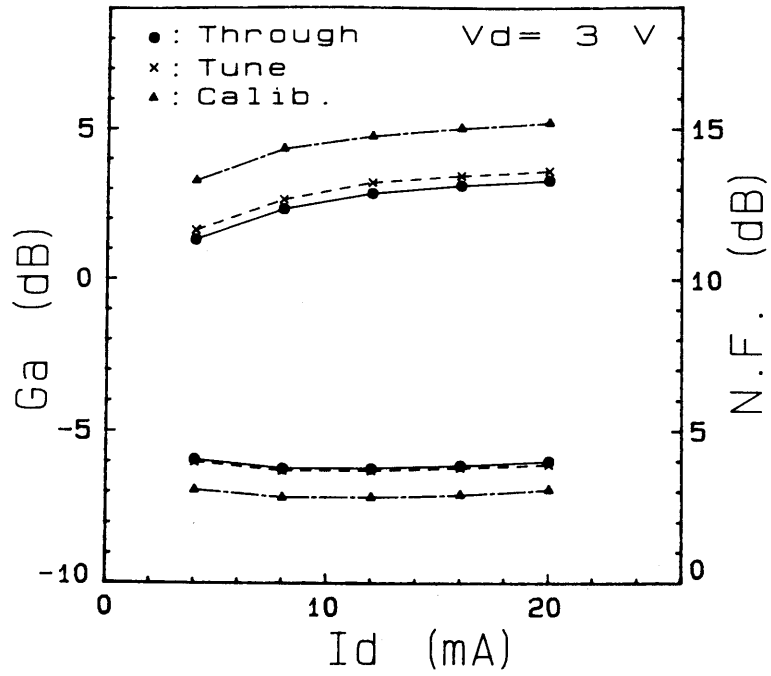


図 5 - 2 5 1 段MMICの雑音特性

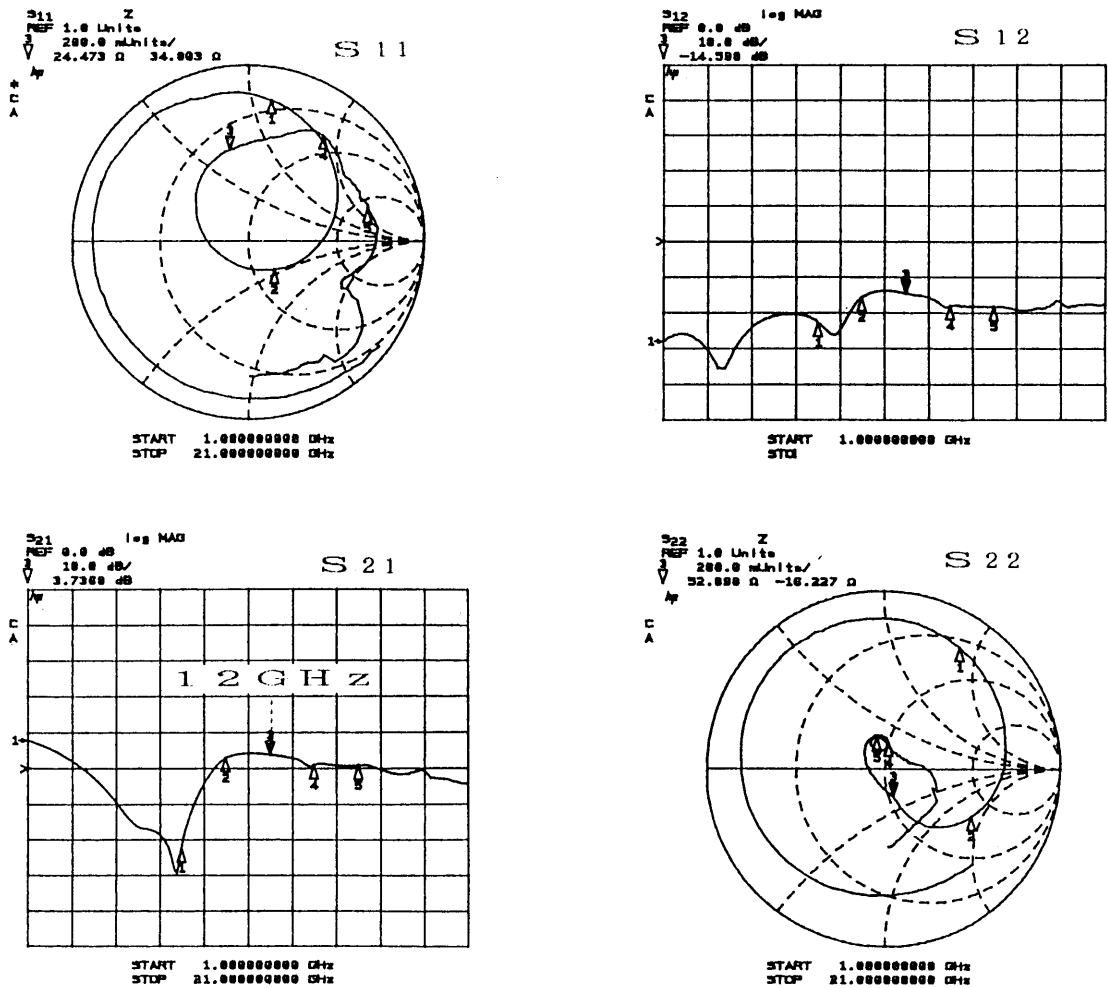
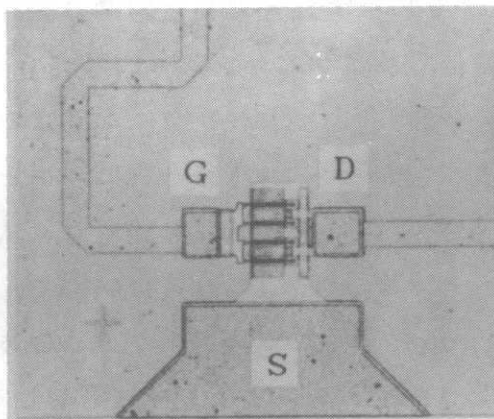


図 5 - 2 6 1 段のMMICの[S]パラメーター測定結果

5.5 低雑音MMICへの応用

低雑音HEMTとオンウェーハー雑音指数測定系を用いて、本格的な2段MMICを設計した。デバイスの構造は、MMIC用にコンパクトな形状となるゲート配置とし、ゲートフィンガー長 $35\mu\text{m}$ の4本で構成した。MMIC用デバイスのチップ表面写真を図5-27に示す。ソースは片側から引き出し、GaAs基板へのスルーホールを用いずボンディングワイヤーにより接地する方法を取った。IC化による歩留まり低下を避けるため、ゲートのオフセット構造は採用していない点とチャンネル長を $0.25\mu\text{m}$ と長めに形成した点が異なるが、その他の構造は第5章の前半で説明した低雑音HEMTと全く同じである。デバイス単体の雑音特性の測定結果を図5-28に示す。雑音指数は 1.05dB 、利得 10.5dB の単体特性であった。



$W_g = 140\ \mu\text{m}$
 ($35\ \mu\text{m} \times 4\text{本}$)
 $L_g = 0.25\ \mu\text{m}$

図5-27 MMIC用デバイスのチップ表面写真

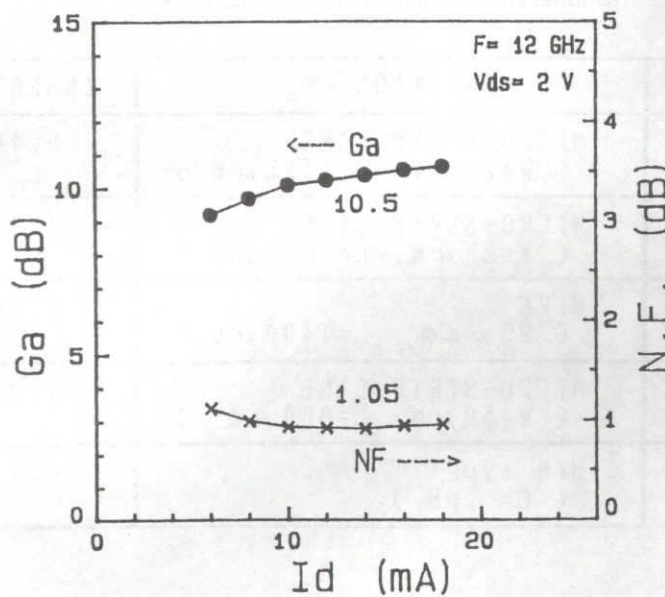


図5-28 デバイス単体の雑音特性

12GHz帯MMICにおいては、マイクロストリップ線路とMIM(Metal-Insulator-Metal)容量をGaAs基板上に形成し整合回路として用いるが、その損失が無視できずMMIC化の障害となる。損失はマイクロストリップ線路の金属層の厚さが $2\mu\text{m}$ と薄く、しかも線幅が $25\mu\text{m}$ と細いところに起因している。整合回路の損失を12GHzで評価した結果を表5-1に示す。今回検討したMMICに用いたのは表5-1のSHORT STUB(1)である。MMICの入力整合回路には、回路寸法をコンパクトに形成できるショートスタブを採用したが、その損失は12GHzで0.46dB値であった。整合回路をデバイスの入力につけることで最小雑音を与える信号源インピーダンスに整合し、雑音指数は下がるが逆に整合回路による損失のためデバイス単体の持つ最小雑音指数までは下げられない。整合回路の損失低減にはマイクロストリップ線路に用いる金属層の厚さをさらに厚くすることが必要である。

設計した2段MMICの等価回路を図5-29に示す。入力整合回路の設計はオンウェーハー雑音指数測定系から得られた最適信号源インピーダンスに整合させ、段間整合及び出力整合は12GHzにおける帯域幅、利得、入出力のリターンロスの3者のバランスを考慮して設計した。図5-30及び図5-31に2段MMICの利得と入出力リターンロスの計算結果を示す。帯域は12GHzを中心に約2GHzに設計した。試作した2段MMICのチップ写真を図5-32に示す。チップ寸法は $1.3\text{mm}\times 1.65\text{mm}$ で、12GHzの線路間の相互作用を防ぐために間隔は $150\mu\text{m}$ を確保してレイアウトしてある。図5-33に示したマイクロストリップ線路型パッケージに実装して雑音特性を評価した結果は、図5-34に示すように12GHzの衛星放送帯域内で1.7dBから2dBの範囲内にあり、利得も14dB以上が得られた。2段MMICの特性のまとめを表5-2に示す。

表5-1 整合回路の12GHz帯損失評価結果

COMPONENT	CONDITION	INSERTION LOSS
SHORT STUB(1)	MICRO-STRIP LINE ($W=25\mu\text{m}$, $L=1525\mu\text{m}$)	0.46 dB
SHORT STUB(2)	MICRO-STRIP LINE ($W=25\mu\text{m}$, $L=1025\mu\text{m}$)	0.92 dB
THROUGH (1)	WIRE ($25\mu\text{m}\phi$, $L=1400\mu\text{m}$)	0.04 dB
THROUGH (2)	MICRO-STRIP LINE ($W=50\mu\text{m}$, $L=800\mu\text{m}$)	0.01 dB
CAPACITOR	MIM type ($C=2\text{pF}$)	0.1 dB

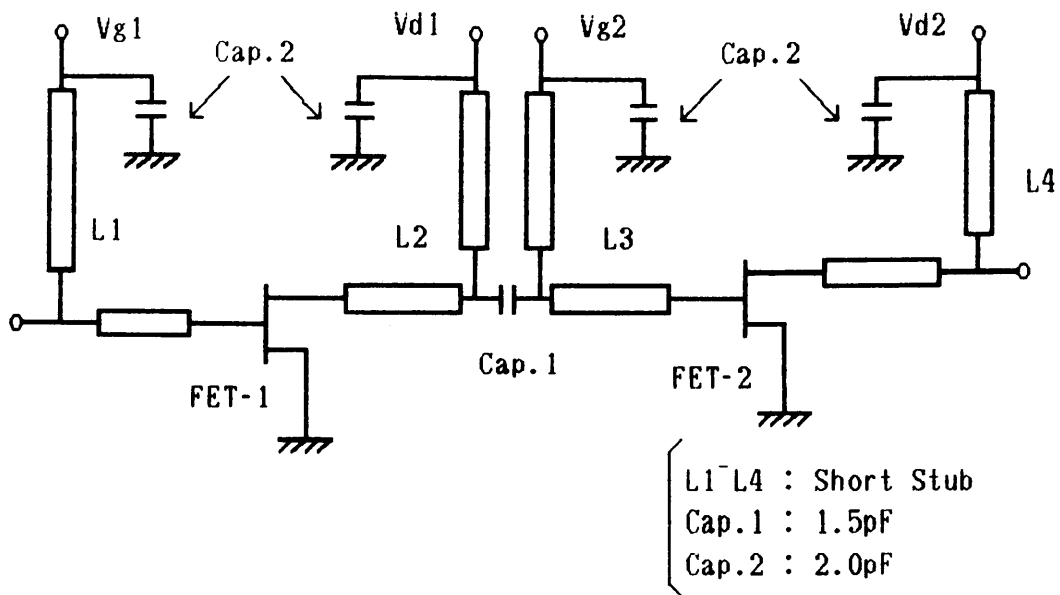


図 5 - 2 9 2段MMICの等価回路

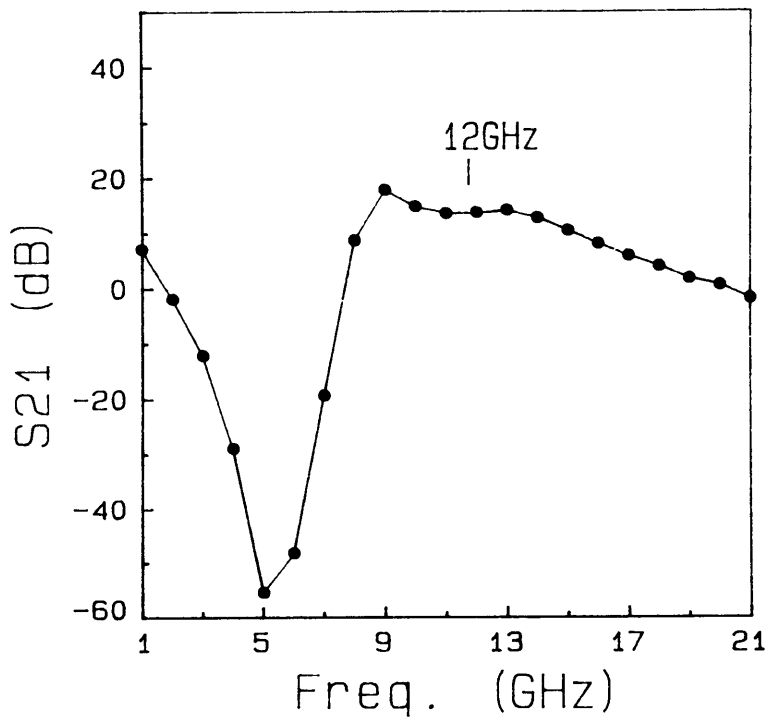


図 5 - 3 0 2段MMICの利得の計算結果

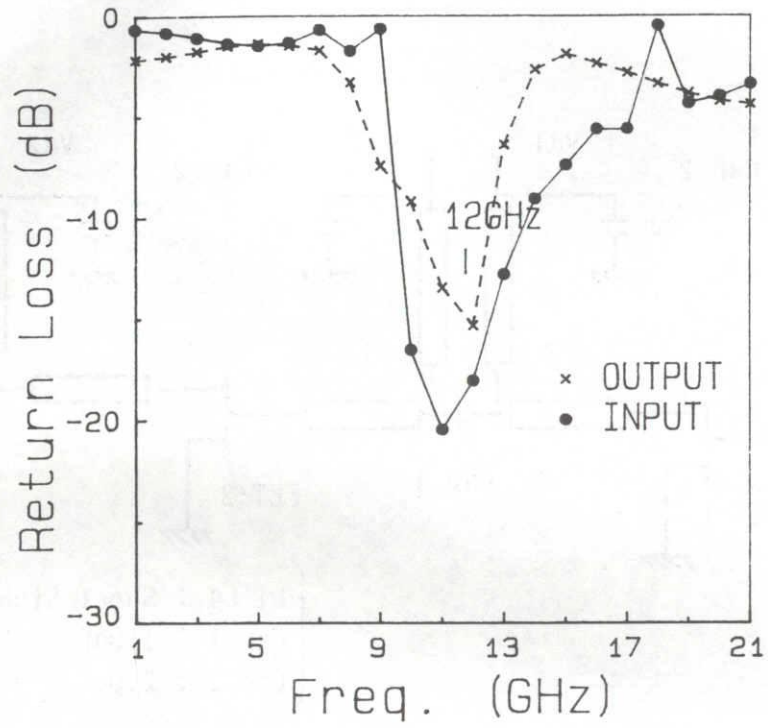


図5-31 2段MMICの入出力リターンロスの計算結果

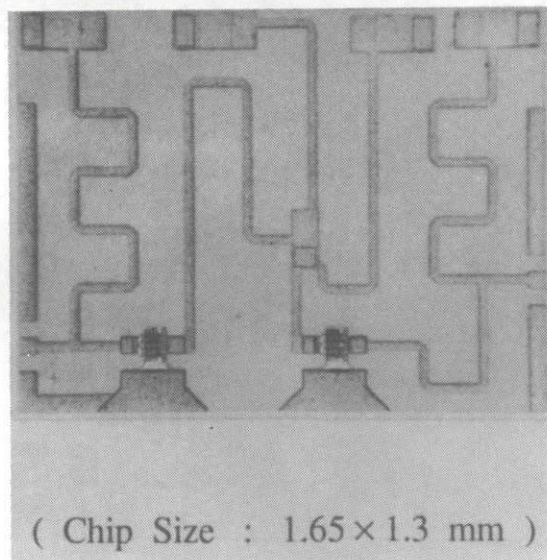
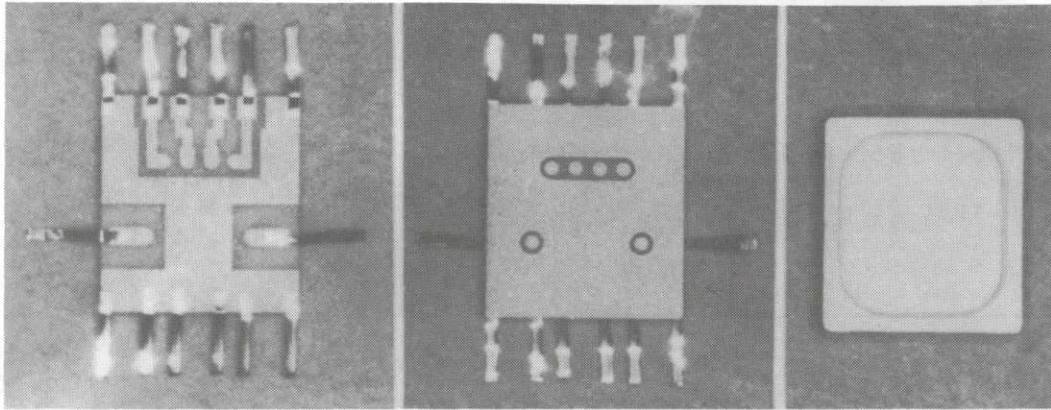


図5-32 2段MMICのチップ写真

パッケージ寸法： 4.2 mm × 4.6 mm



プリント板側

チップ側

金属キャップ

図5-33 2段 MMIC 用マイクロストリップ線路型パッケージ

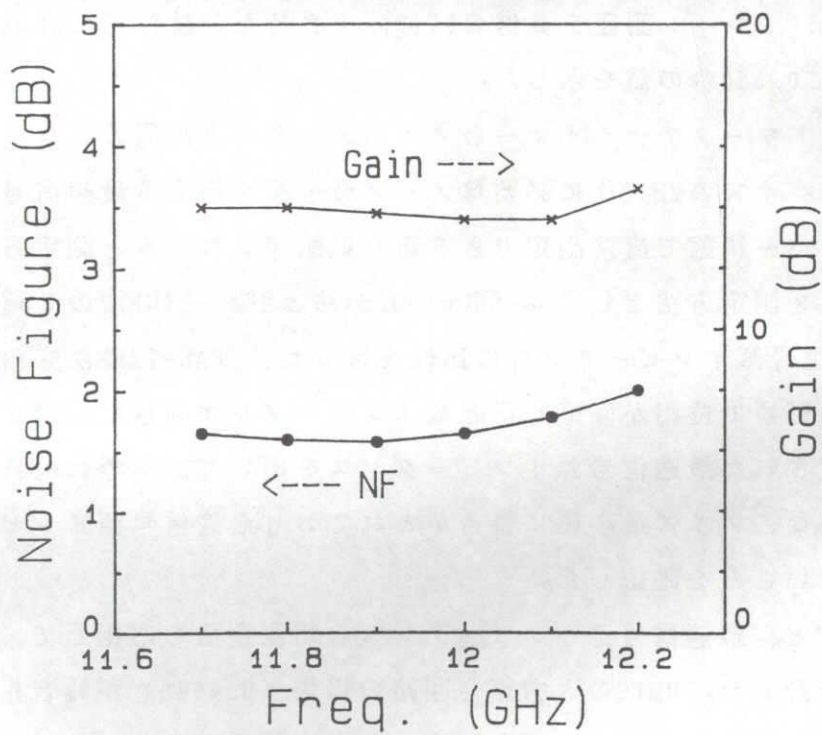


図5-34 2段 MMIC のパッケージ実装状態における雑音特性

表 5 - 2 2 段MMICの特性のまとめ

Operating Frequency	:	11.7GHz ~ 12.2GHz
Noise Figure	:	2dB以下
Total Gain	:	14.0±1.0dB
Input Return Loss	:	-10dB以下
Output Return Loss	:	-10dB以下

5.6 結言

HEMTのソース抵抗及びゲート抵抗の低減が、低雑音化に大きな効果があることを、新プロセス（オフセットリセスゲートプロセス）を検討して確認した。ゲートのリセス領域内で、 $1\mu\text{m}$ 以上の厚さを持つゲート電極がソース側にオフセットされた構造をオフセットリセスゲートプロセスを用いて実現した。ソース抵抗を 2.5Ω と半減させると共に、ドレイン耐圧を2倍の6Vに向上させた。試作したHEMTの雑音指数は12GHzで初めて0.5dB台の値を示した。

また、ネットワークアナライザとノイズメータと高周波プローブを一体接続し、低雑音デバイスのMMIC化に必要なノイズ最小値を与える最適信号源インピーダンスをウェーハ状態で直接測定できる新しい測定システムと測定方法を確立した。インピーダンス測定方法として50-SHORT-OPEN法とREAL-TIME法の2種類を考案し、12GHzで最適信号源インピーダンスの比較を行った。REAL-TIME法を用いた場合、スルーメタルの影響で位相が回転し正確なインピーダンス測定に問題があることが分かった。測定された最適信号源インピーダンスを用いて、実際にMMICを低雑音設計し評価した結果、ノイズ最小値に整合がとれており最適信号源インピーダンスの測定に問題がないことを確認した。

低雑音HEMTと、最適信号源インピーダンスの新測定法を応用して、2段構成の低雑音MMICを設計した。MMICの入力整合回路の損失（0.46dB）が雑音指数を押し上げ、デバイス本来の雑音指数までは下がらないことを明らかにした。試作した2段MMICは、12GHzで約2dBの雑音指数と14dB以上の利得を示した。

参考文献

- 1) T. Miura, S. Hiyamizu, T. Fujii and K. Nanbu, Jpn. J. Appl. Phys., Vol. 19, p. L225 (1980)
- 2) W. T. Masselink, J. Klem, T. Henderson, A. Ketterson, J. S. Gedymin and H. Morkoc, IEDM Tech. Digest, p. 755 (1985)
- 3) T. Henderson, M. I. Aksun, C. K. Peng, H. Morkoc, P. C. Chao, P. M. Smith, K. H. G. Duh and L. F. Lester, IEDM Tech. Digest, p. 464 (1986)
- 4) T. Henderson, J. Klem, C. K. Peng, J. S. Gedymin, W. Kopp and H. Morkoc, Appl. Phys. Lett., vol. 48, p. 1080 (1986)
- 5) A. Okamoto, H. Toyoshima and K. Ohata, Proc. 13th. Int. Symp. GaAs and Related Compounds, p. 569 (1987)
- 6) P. C. Chao, K. H. G. Duh, P. Ho, P. M. Smith, J. M. Ballingall and A. A. Jabra, Electronics Lett., vol. 25, No. 8, p. 504 (1989)
- 7) S. Hori, K. Kamei, K. Shibata, M. Tatematsu, K. Mishima and S. Okano, IEEE Trans. MTT., vol. 31, p. 1089 (1983)
- 8) H. Saka, T. Mekata, H. Adachi, T. Tanaka, O. Ishikawa and K. Inoue, the 3rd Asia-Pacific Microwave Conf. Proc., p. 677 (1990)
- 9) K. Honjo, IEEE GaAs IC Symp. Digest, p. 177 (1984)
- 10) H. Fukui, IEEE Trans. Electron Devices, vol. ED-26, No. 7, p. 1032 (1979)
- 11) K. Nishii, T. Matsuno, O. Ishikawa, H. Yagita and K. Inoue, Jpn. J. Appl. Phys., Vol. 27, No. 11, p. 2216 (1988)
- 12) K. Inoue, K. Nishii, T. Matsuno and T. Onuma, IEDM Tech. Digest, p. 422 (1987)
- 13) M. Hagio, S. Katsu, M. Kazumura and G. Kano, IEEE Trans. Electron Devices, vol. ED-33, No. 6, p. 754 (1986)
- 14) O. Ishikawa, K. Nishii, T. Matsuno, C. Azuma, Y. Ikeda, S. Nanbu and K. Inoue, IEEE MTT-S Digest, p. 979 (1989)
- 15) 林一夫、園田琢二、山口哲也、長浜弘毅、山内真英、高宮三郎、三井茂、信学技報、ED87-70, P. 1 (1987)

16) O. Ishikawa, H. Yagita, T. Tanbo and T. Onuma, IEEE MTT-S Digest, p. 1183 (1989)

17) H. Fukui, IEEE Trans. Circuit Theory, vol. CT-13, No. 2, p. 137 (1966)

第6章 UHF帯GaAsパワーデバイスの高効率化と応用

6.1	序	86
6.2	FETの低電圧・高効率動作	
6.2.1	高周波におけるB級動作	86
6.2.2	FETの効率改善	88
6.3	パワーモジュールへの応用とその特性	
6.3.1	モジュールの構造	94
6.3.2	新回路・新評価方法の導入	96
6.3.3	総合特性	99
6.4	結言	101

参考文献

第6章 UHF帯GaAsパワーデバイスの高効率化と応用

6.1 序

950MHz帯の電力用GaAs MESFETは、従来より携帯電話等の移動体通信機器の送信用デバイスとして広く用いられている。このデバイスの低電圧化・高効率化は、通信機器の電池容量・電池電圧の低減を促し、機器の大きさを決定づける重要な要因となる。本章では、デバイスの低電圧動作の研究結果とそのモジュール等への応用について述べる。

6.2 FETの低電圧・高効率動作

6.2.1 高周波におけるB級動作

デバイスの効率は、効率限界を確認する意味でまとめておく必要がある。さらに、高周波特有のバイアスに対する考え方が必要になってくるのでこの点に関しても、明確にする。

① デバイスの出力電流

一般に、図6-1に示すデバイスの出力電流は導通角 ϕ と関連づけて以下の関係式で表される。

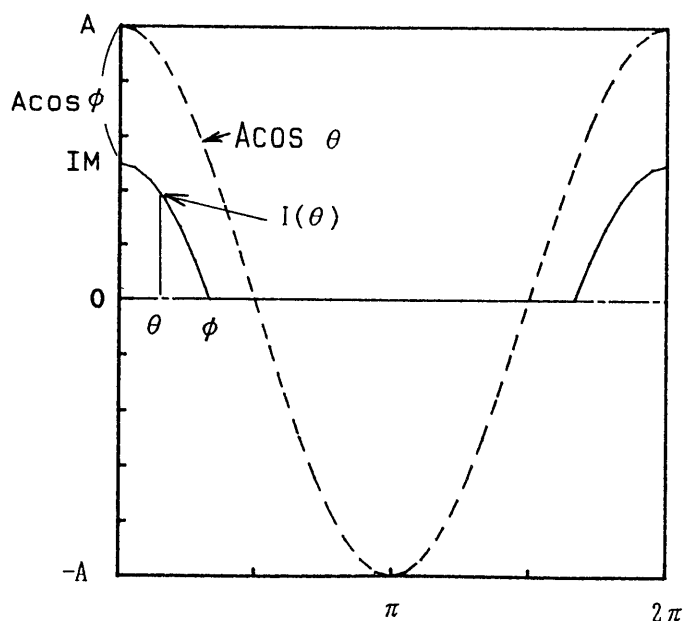


図6-1 デバイスの出力電流と導通角 ϕ

$$I(\theta) = A(\cos\theta - \cos\phi) \quad 0 < \theta < \phi, \quad 2\pi - \phi < \theta < 2\pi \quad (6-1)$$

$$I(\theta) = 0 \quad \phi < \theta < \pi - \phi \quad (6-2)$$

フーリエ展開して $I(\theta) = I_0 + I_1 \cos\theta$ と1次の項のみ考えると I_0 は電流の直流成分、 I_1 は交流の電流振幅の最大値と考えることが出来る。

$$I_0 = \frac{1}{2\pi} \cdot \int_0^{2\pi} I(\theta) d\theta \quad (6-3)$$

$$I_1 = \frac{1}{\pi} \cdot \int_0^{2\pi} I(\theta) \cos\theta d\theta \quad (6-4)$$

(6-1)、(6-2)式を(6-3)、(6-4)式に代入して整理すると

$$\begin{aligned} I_0 &= \frac{A}{\pi} \cdot \int_0^{\phi} (\cos\theta - \cos\phi) d\theta \\ &= \frac{A}{\pi} \cdot (\sin\phi - \phi \cos\phi) \end{aligned} \quad (6-5)$$

$$\begin{aligned} I_1 &= \frac{2A}{\pi} \cdot \int_0^{\phi} (\cos\theta - \cos\phi) \cos\theta d\theta \\ &= \frac{A}{2\pi} \cdot (2\phi - \sin 2\phi) \end{aligned} \quad (6-6)$$

但し、ピーク電流 $I_M = A(1 - \cos\phi)$ 、 A :任意値

I_M を用いて、式を整理すると次式が得られる。

$$I_0 = \frac{I_M}{\pi} \cdot \frac{\sin\phi - \cos 2\phi}{1 - \cos\phi} \quad (6-7)$$

$$I_1 = \frac{I_M}{2\pi} \cdot \frac{2\phi - \cos 2\phi}{1 - \cos\phi} \quad (6-8)$$

導通角 ϕ は A級動作で $\phi = \pi$ 、B級動作で $\phi = \pi/2$ 、C級動作で $\phi < \pi/2$ と一義的に決まっている。簡略化のため電流の比で考えると次のようにまとめることができる。

A級動作 $\phi = \pi$

$$I_1/I_M = 1/2 \quad I_1/I_0 = 1 \quad I_0/I_M = 1/2 \quad (6-9)$$

B級動作 $\phi = \pi / 2$

$$I_1/I_M=1/2 \quad I_1/I_0=\pi/2 \quad I_0/I_M=1/\pi \quad (6-10)$$

② デバイスの出力電圧

出力電流と負荷抵抗(R_L)の関係を用いて、

$$\begin{aligned} V(\theta) &= V_{cc} - I(\theta)R_L \\ &= (V_{cc} - I_0R_L) - (I_1R_L \cos \theta) \quad (\text{注: } I(\theta) = I_0 + I_1 \cos \theta \text{ の関係を代入}) \\ &= V_0 - V_1 \cos \theta \end{aligned} \quad (6-11)$$

出力電圧も出力電流と同じように V_0 は電圧の直流成分、 V_1 は交流の電圧振幅の最大値と考えることが出来る。高周波において、電圧振幅の中心つまり出力電圧の直流成分は常に電源電圧 V_{cc} であり、高周波の回路における負荷抵抗は交流負荷 (R_L' と記す) のみ存在するとする。

$$\begin{aligned} V(\theta) &= V_0 - V_1 \cos \theta \\ &= V_{cc} - I_1 R_L' \cos \theta \end{aligned} \quad (6-12)$$

$$\text{効率 } \eta = \frac{P_{RF}}{P_{DC}} = \frac{1}{2} \cdot \frac{V_1 I_1}{V_{cc} I_0} = \frac{1}{2} \cdot \frac{V_1}{V_{cc}} \cdot \frac{I_1}{I_0} \quad (6-13)$$

V_1 の最大振幅は V_{cc} 、B級の導通角より $I_1/I_0=\pi/2$ である。従って、効率の最大は次式(6-14)となる。

$$\text{効率 } \eta_{max} = \frac{1}{2} \cdot \frac{V_1}{V_{cc}} \cdot \frac{I_1}{I_0} = \frac{\pi}{4} = 0.785 \quad (78.5\%) \quad (6-14)$$

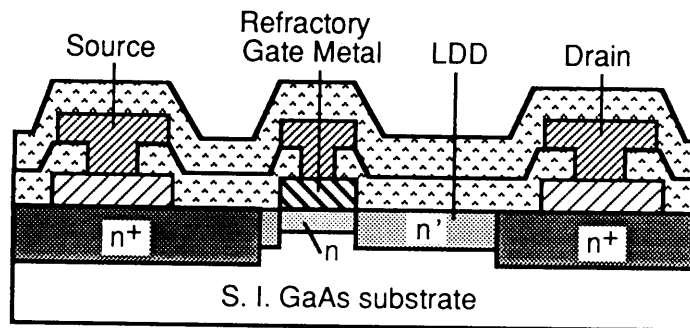
この時、電流振幅は $I_1=I_M/2$ とピーク電流の1/2となる。同様に、電圧振幅は V_{cc} となる。A級の場合は、導通角より $I_1/I_0=1$ であるので効率 $\eta_{max}=0.5$ (50%) が得られる。A級でもB級でも高周波の基本波の電流振幅と電圧振幅が同じであれば同じ出力電力が得られる。

6.2.2 FETの効率改善

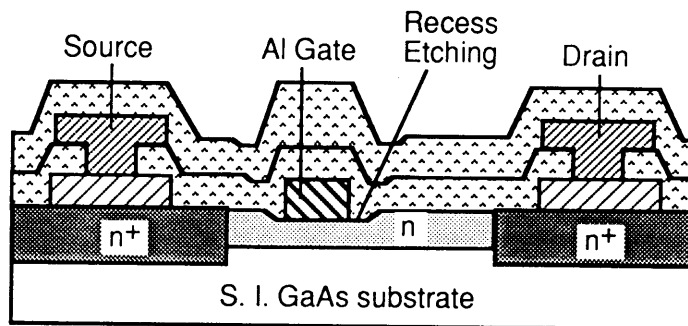
イオン注入を用いたGaAs MESFETの低電圧高効率化について検討した。高効率化のポイントは、効率の計算でも示したように電源電圧 V_{cc} に近い交流振幅をデバイスにさせること、利得を上げて(即ち、相互コンダクタンス G_m を上げ、帰還容量 C_{rd} を低

減する) B級バイアスの少ないアイドル電流でも大きな出力電力を確保することである。従って、イオン注入を用いたGaAs MESFETにおいては、イオン注入の注入エネルギーを下げ浅いチャンネル層を形成¹⁾する必要がある。また、交流振幅を大きくするために、LDD(Lightly Doped Drain)構造の採用及びソース・ドレイン間隔を短縮し、ソース抵抗を下げ立ち上がり電圧を改善した²⁾。

図6-2及び図6-3は、今回検討した2種類のGaAs MESFETの断面構造図及びチップ表面写真である。図6-2(a)は、ゲートに高融点金属シリサイドを用いた自己整合LDD構造のGaAs MESFETで、主に中電力(22dBm程度)を高利得高効率で実現できる構造である。高融点金属シリサイドのゲート電極上にはさらにゲート抵抗を下げるために金(Au)を蒸着している。デバイスの寸法としては、チャンネル長が $1.0\mu\text{m}$ 、総ゲート幅は 2mm である。図6-2(b)は、ゲート電極にアルミニウムを用い低加速イオン注入によりチャンネル層を形成した大電力(33dBm程度)用のデバイス構造である。従来 120keV の注入エネルギーであったものを 80keV と下げ、ソース・ドレインの間隔を $4.5\mu\text{m}$ から $3.5\mu\text{m}$ へ短縮している。デバイスは、チャンネル長が $1.2\mu\text{m}$ 、総ゲート幅は 12mm に設計した。

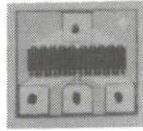


(a)



(b)

図6-2 2種類のGaAs MESFETの断面構造図



(a) the 1st-stage FET : 0.55 mm x 0.6 mm



(b) the 2nd-stage FET : 0.55 mm x 2.0 mm.

図 6 - 3 2 種類 の GaAs MESFET の チップ 表面 写真

2 種類 の 構造 は 出力 の 違い に よる ドレイン 耐圧 の 違い に よって 選択 さ れ た 。 GaAs MESFET の ゲート に 高融点 金属 シリサイド を 用い た 場合 、 ドレイン 耐圧 の 制御 が 15V 以上 は 困難 な 為 で ある 。

図 6 - 2 に 示 し た それ ぞ れ の 中 電力 と 大 電力 の デバイス と 従来 の デバイス と の 比較 を 効率 と 出力 を 中心 に 行 っ た ³⁾ 。 図 6 - 4 は 中 電力 用 デバイス (図 6 - 2 (a)) の 従来 構造 と の 出力 ・ 効率 比較 で ある 。 比較 対称 は 、 アルミニウム を ゲート 電極 に 用い た リセス 構造 を 有 す る デバイス で チャンネル 長 $1.2\mu\text{m}$ 、 総ゲート 幅 3mm で ある 。 電源 電圧 を 4.7V と 固定 し 、 ゲート 電圧 を 変化 さ せ た と き の 出力 電力 と 効率 を 比較 し た 。 高融点 金属 シリサイド を 用い た 今回 の 構造 で は 、 約 1.5dB 出力 電力 が 大き く 効率は $5\sim 20\%$ 良 く な っ て い る 。 し か も 、 効率は ゲート 電圧 に 対 し て 変化 率 が 小 さ い の で ゲート 電圧 が 変動 し て も 効率は 高く 保 た れ る 。 この 効果 は 、 前述 し た 自己 整合 LDD 構造 に よ り ソース 抵抗 の 低減 と 浅い イオン 注入 に よる G_m の 改善 の 効果 で ある 。 G_m は 280mS の 値 が 得 ら れ 比較 品 に 比 べ 約 4 割 向上 し て い る 。 図 6 - 5 は 、 大 電力 用 デバイス の 従来 構造 と の 出力 ・ 効率 比較 で ある 。 比較 対称 は 、 同じ く アルミニウム を ゲート 電極 に 用い た リセス 構造 を 有 す る デバイス で 、 チャンネル 長 $1.2\mu\text{m}$ 、 総ゲート 幅 12mm 、 イオン 注入 の エネルギー は 120keV で 試作 し た デバイス で ある 。 同じ く 、 電源 電圧 を 4.7V と 固定 し 、 ゲート 電圧 を 変化 さ せ た と き の 出力 電力 と 効率 を 比較 し て い る 。 80keV と 浅い イオン 注入 の 効果 と ソース ・ ドレイン 間隔 の 短縮 に よ り ゲート 電圧 の 深い 場合 つまり B 級 動作 の 時 の 効率は 劇的 に 改善 さ れ 、 約 20% 向上 し た 。 また 、 出力 電力 は 32dBm を 確保 でき て い る 。

V_{gs} - P_{out}, η add of the 1st-stage FET
 (a) FET by the LDD process
 (b) FET by the normal process

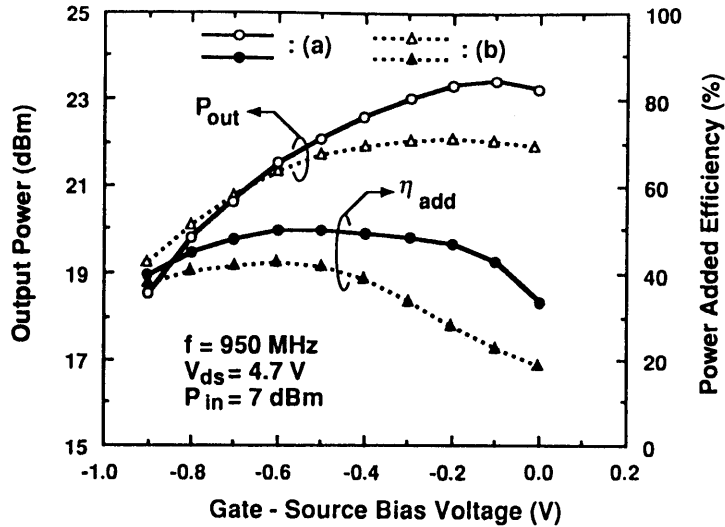


図 6 - 4 中電力用デバイスの従来構造との出力・効率比較

V_{gs} - P_{out}, η add of the 2nd-stage FET
 (a) FET by the shallow process
 (b) FET by the deep process

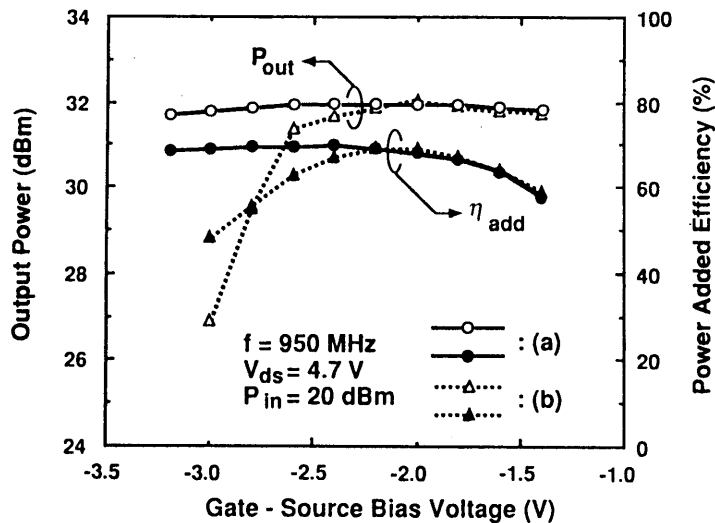


図 6 - 5 大電力用デバイスの従来構造との出力・効率比較

MESFETの立ち上がり電圧⁴⁾は、デバイスのソース・ドレイン間隔を短縮すること及びGaAs基板の表面への絶縁膜堆積とエッチング回数を減らしプラズマによる表面ダメージを減らすことで改善した。図6-6は改良前後の大電力用GaAs MESFET(W_g=12mm)の電流電圧特性の比較であり、ドレイン飽和電流(I_{dss})の立ち上がり電圧は約0.5V改善された。図6-2 a) b)に示したGaAs MESFETの950MHzでの入出力特性を評価した。図6-7は中電力用のMESFETの入出力電力特性で、効率は50%、出力電力

の飽和は24dBmである。図6-8は大電力用のMESFETの入出力電力特性で、効率は70%を越えB級動作の限界に近い効率を得られている。出力電力の絶対値は32.5dBmである。2種類の高効率GaAs MESFETの特性のまとめを表6-1に示す。

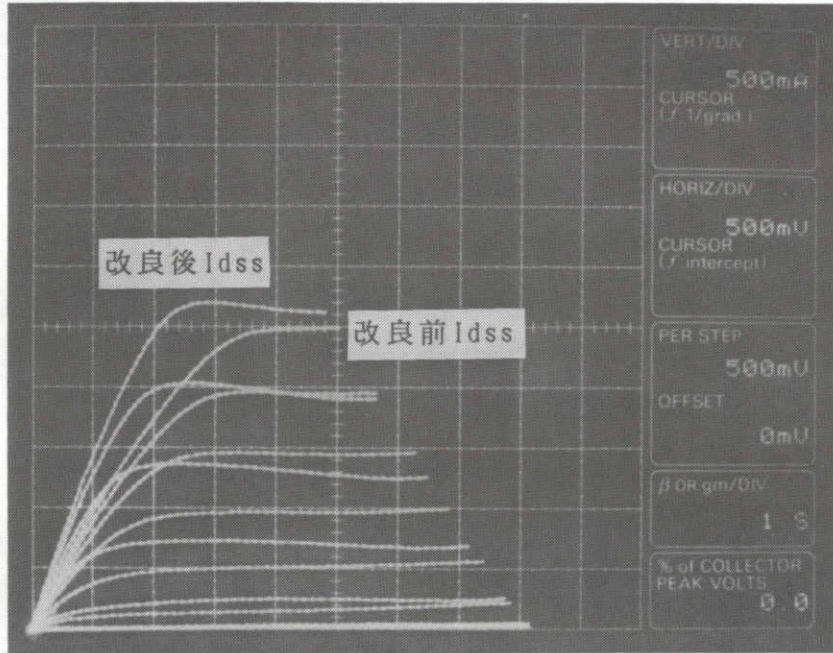


図6-6 改良前後の大電力用GaAs MESFET(Wg=12mm)の電流電圧特性の比較

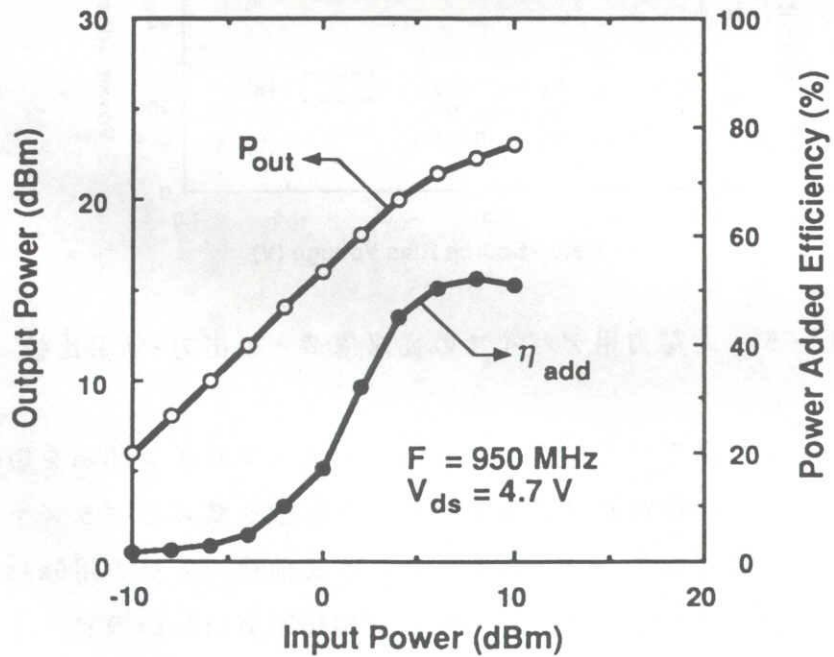


図6-7 中電力用MESFETの入出力電力特性

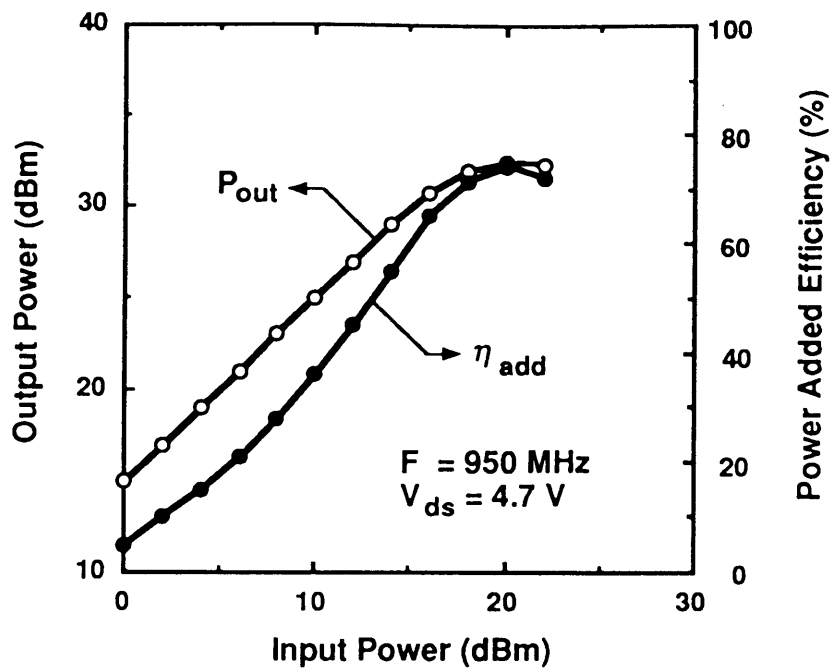


図 6 - 8 大電力用のMESFETの入出力電力特性

表 6 - 1 2種類の高効率GaAs MESFETの特性のまとめ

Device	: 1st-stage FET	2nd-stage FET
Gate Length	: 1.0 μm	1.2 μm
Finger Length	: 100 μm	150 μm
Number of Finger	: 20	80
Total Gate Width	: 2 mm	12 mm
Vds	: 4.7 V	4.7 V
Frequency	: 950 MHz	950 MHz
Operation	: Class A	Class B
Linear Gain	: 16.0 dB	15.0 dB
Input Power	: 7.0 dBm	20.0 dBm
Output Power	: 22.0 dBm	32.5 dBm
Power Added Efficiency	: 50 %	75 %

6.3 パワーモジュールへの応用とその特性

6.3.1 モジュールの構造

4.7Vの低電圧動作と高い効率を達成した2種類のGaAs MESFETを用いて、高周波電力用パワーモジュール（以下、PAと記す）への応用を検討した^{6) 6)}。PAは主に移動体通信の送信部として用いられるハイブリットICで、プリント板上にGaAs MESFETとチップ部品とマイクロストリップ線路を形成した高周波増幅回路である。PAの高効率化と小型化の基本検討項目を図6-9に示した。

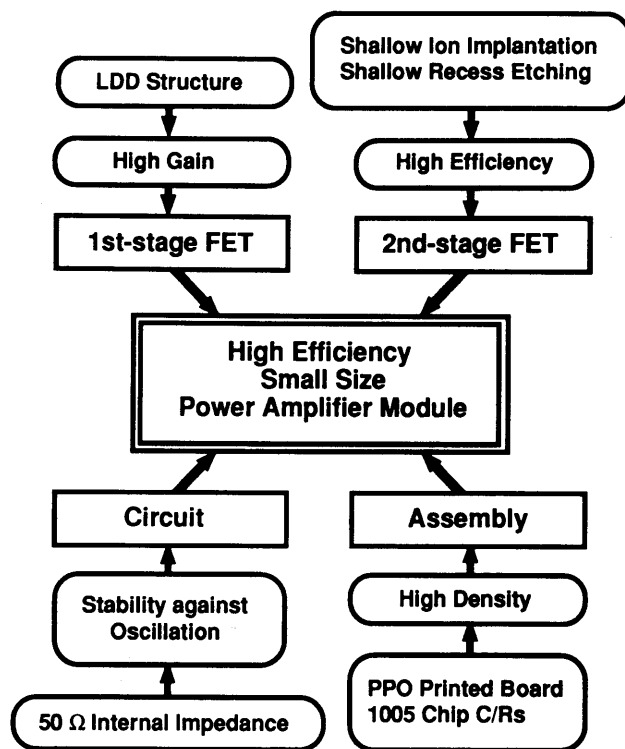


図6-9 PAの高効率化と小型化の基本検討項目

PAの表面写真と断面構造を図6-10と図6-11に示す。内部は、GaAs MESFETを用いた2段構成である。金属ケース内に、パッケージ実装されたGaAs MESFETが2種類、マイクロストリップ線路が形成されたプリント板、チップ抵抗、チップ容量が実装されている。チップ抵抗及びチップ容量は大きさが1.0mm×0.5mmの超小型の部品を用い、PA全体寸法の小型化を図っている。また、プリント板はセラミックではなくセミフレキシブルなPPO材（Poly Phenylene Oxide）を用いた誘電率10.5の高誘電率基板を使用した。プリント板の小型化を図るために、マイクロストリップ線路は表面実装部品の下部及びプリント板の裏面にも一部線路を形成した。プリント板の寸法は、10.5mm×16mmまで小型化した⁷⁾。

動作周波数は950MHz帯、出力電力は32dBm（約1.6W）、動作電圧はデバイスの改良により低減でき4.7Vである（従来は、5.8Vで出力電力は32dBm）。

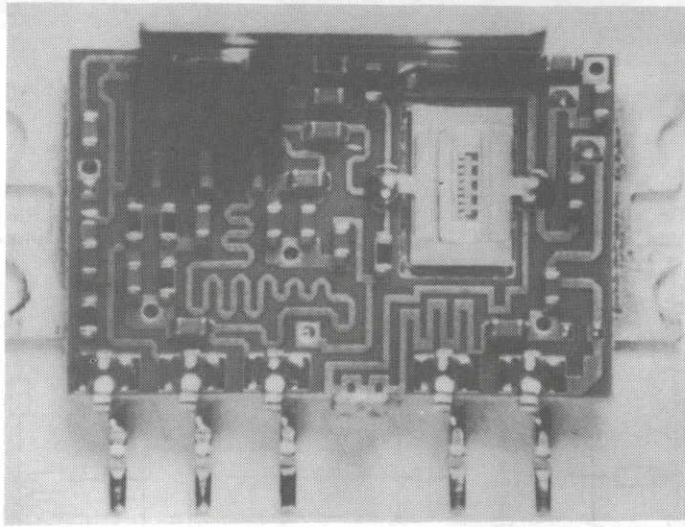


図 6 - 1 0 P A の表面写真

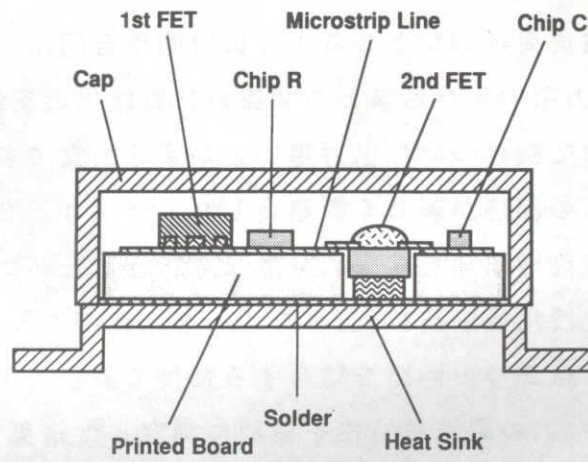


図 6 - 1 1 P A の断面構造

6.3.2 新回路・新評価方法の導入

PAの等価回路を図6-12に示す。入力には過入力保護の直列抵抗、入力整合回路はショートスタブ方式の回路を、段間及び出力整合回路は通常の並列容量とマイクロストリップ線路で構成した。

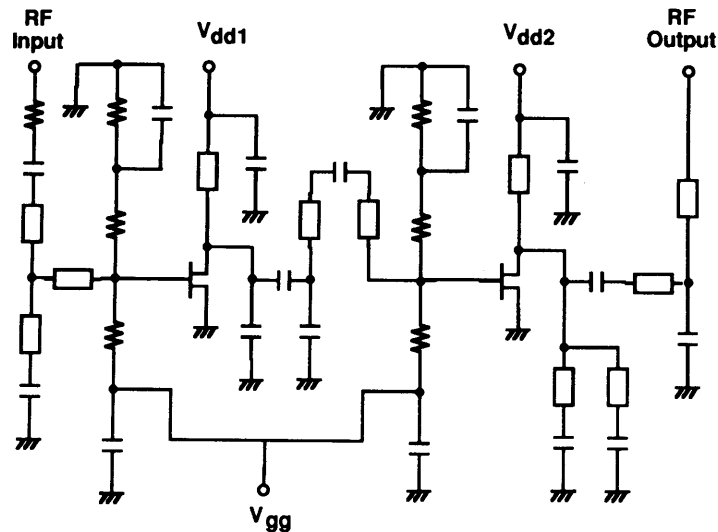


図6-12 PAの等価回路

前段MESFETの高周波負荷は 50Ω となるように段間整合回路を形成した。前段MESFETの高周波負荷と出力電力及び効率との関係の計算結果と実験結果を図6-13に示す。高周波負荷として 50Ω の時に出力電力と効率を両立できる。 50Ω 負荷を選定したことにより、PAの評価が著しく簡略化した。つまり、2段構成の高周波増幅回路の前段増幅部と後段増幅部を完全に分離して行うことができるからである。例えば前段増幅回路と後段増幅回路の[S]パラメータ評価や入出力特性を分離して行い、全体としてのPAは2つの回路を結合するだけで済む。図6-14は前段増幅回路と後段増幅回路の S_{21} の周波数特性を個別に測定した結果である。この評価方法により前段増幅回路と後段増幅回路のそれぞれの周波数特性を調整した。PA全体の利得の周波数特性は図6-14に示した個別特性の積として得られ、図6-15に示すように920MHzから930MHzでピークを持つ特性が得られた。

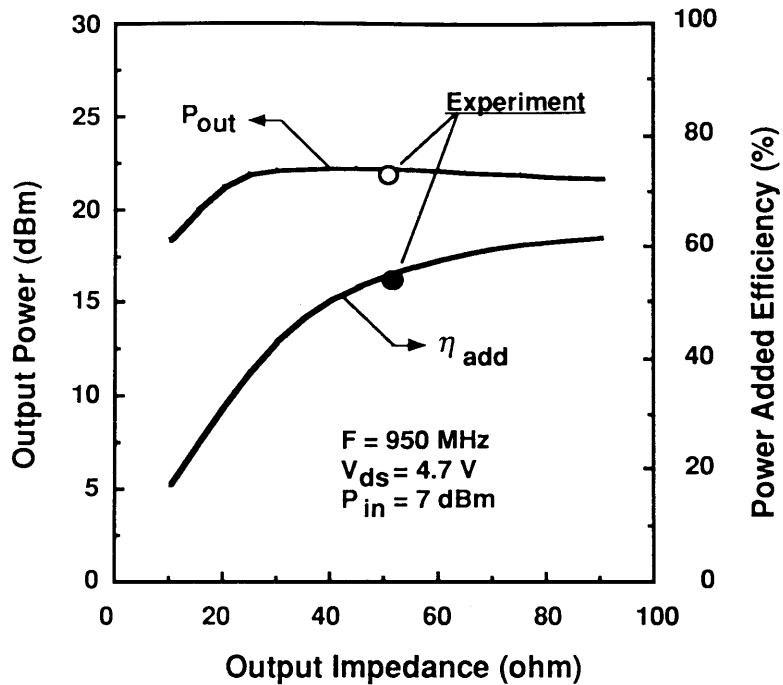


図 6 - 1 3 前段MESFETの高周波負荷と出力電力及び効率との関係

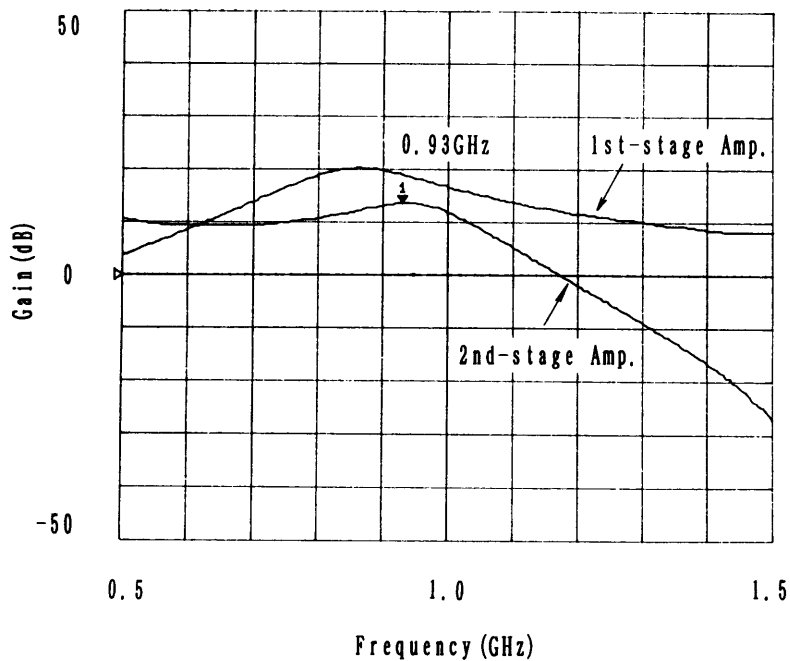


図 6 - 1 4 前段増幅回路と後段増幅回路の S_{21} の周波数特性測定結果

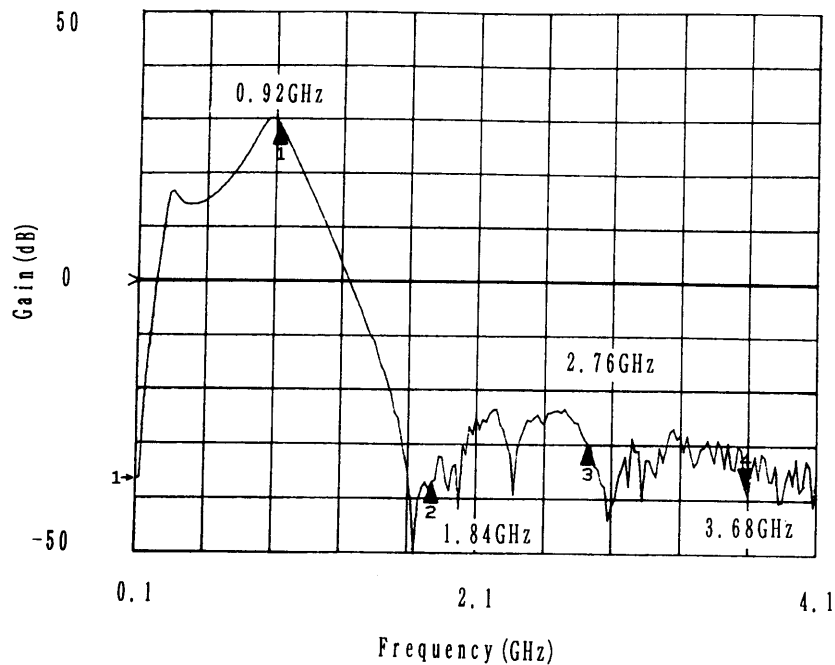


図 6 - 1 5 P A 全体の利得の周波数特性

また、この段間 50Ω 整合はP Aの異常発振の安定化にも有効であった。段間 50Ω 整合でない場合、P Aの負荷がVSWR=5まで変化すると前段MESFETに対する負荷が不安定領域に入り、利得の高い900MHz前後の特定周波数において異常発振を起こしていた。段間 50Ω 整合を採用することにより、前段MESFETの負荷は利得の高い900MHz前後の特定周波数でも 50Ω 周辺を位相回転するだけで大きく変化しない。図6-16は、P Aの負荷をVSWR=5で全位相回転した場合の、P A内部における前段MESFETの負荷の測定結果で、VSWRは3以内に入っている。

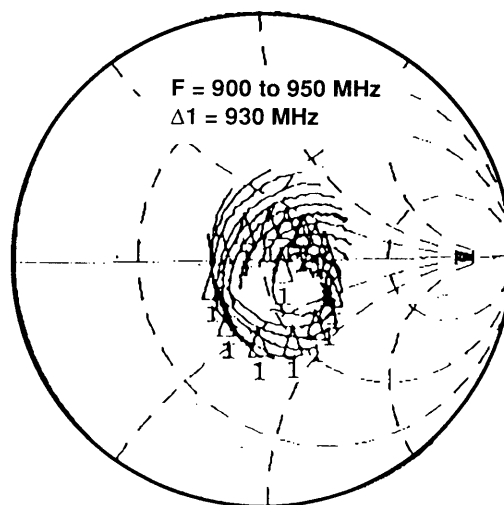


図 6 - 1 6 P A 内部における前段MESFETの負荷の測定結果

後段MESFETの負荷には独自の2次及び3次高調波のトラップ回路を独立して形成し、PAの高調波レベルを低減させている。トラップ回路はマイクロストリップ線路と1pF程度の直列容量より構成されており、通常のオープンスタブ方式に比べ約1/2の小型化が図られている。また、2次及び3次高調波のトラップ回路を独立して設けたので、2つの高調波に対するのトラップ周波数の制御と基本波に対する整合制御の3つをそれぞれ単独に行うことができる。

6.3.3 総合特性

PAの出力電力と効率の周波数特性を図6-17に示す。900MHzから950MHzまでほぼフラットな優れた特性を示した。最大出力は、32.3dBm、効率は65%の値が得られた。図6-17には、PAの前段増幅回路と後段増幅回路の出力・効率を個別に評価した結果も示されている。これらの測定は、段間50Ω整合に設計して初めて得られる特性である。PAの前半分の前段増幅回路からは、7dBm入力で22dBm出力、後段増幅回路からは20dBm入力で32.3dBmの出力が得られており、これら個別の電力・効率の周波数特性が総合特性にも良く反映されている。

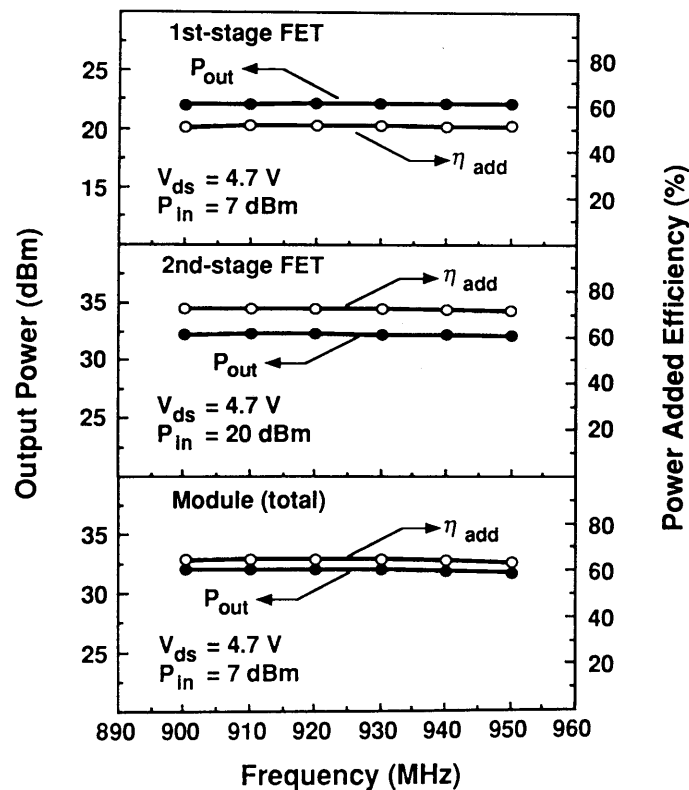


図6-17 PAの出力電力と効率の周波数特性

PAを実際に500台試作しその出力電力と効率の分布を確認した。図6-18はその評価結果を示しており、出力電力は32.3dBmを中心に分布し、効率は65%を中心に広がっており、高いレベルの歩留まりが確認された。表6-2に低電圧高効率GaAs

MESFETを応用したPAの構造とその特性をまとめた。

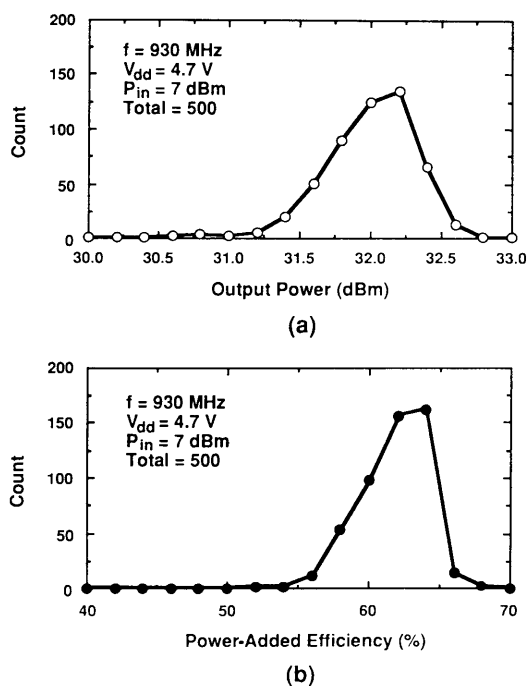


図 6 - 1 8 PA の出力電力と効率の分布

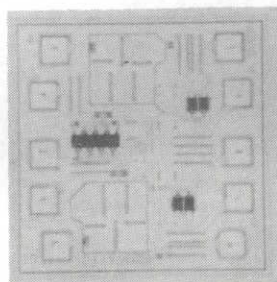
表 6 - 2 低電圧・高効率GaAs MESFETを応用したPAの構造と特性のまとめ

Printed Board Size	:	10.5 mm x 16 mm
Casing Size	:	12 mm x 17 mm
Chip C/R Size	:	1.0 mm x 0.5 mm
Number of C	:	16
Number of R	:	8
Volume	:	0.8 cc
Frequency	:	930 MHz
Vdd1, Vdd2	:	4.7 V
Vgg	:	-3.5 V
Input Power	:	7.0 dBm
Output Power	:	32.3 dBm
Total Efficiency	:	65 %

6.4 結言

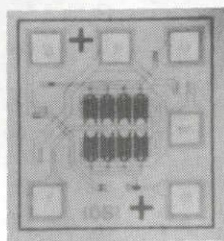
高融点金属シリサイドをゲート電極に用いた中電力用と、アルミニウムをゲート電極に用いたリセス構造を有する大電力用の2種類のGaAs MESFETの低電圧高効率化について検討した。高融点金属シリサイドをゲート電極に用いた中電力用では、LDD構造によりソース抵抗を低減し相互コンダクタンスを向上させ、約1.5dBの出力電力の向上と、最大20%の効率改善を達成した。他方、アルミニウムをゲート電極に用いたリセス構造では、ソース・ドレイン間隔の短縮と活性層の80Kev低加速注入・浅いリセス構造・表面ダメージの低減により、立ち上がり電圧を0.5V改善した。950MHzでの出力電力約1.6Wを確保した状態で、動作電圧を従来の5.8Vから4.7Vに低電圧化でき、B級に近いバイアス条件で効率は最大20%改善された。

GaAs MESFETをパワーモジュール(PA)に応用した。GaAs MESFETの2段構成で、動作電圧4.7V 総合効率65%以上の小型通信機器用 低電圧・高効率950MHz動作高周波パワーデバイスとして完成させた。図6-19は携帯電話用のPAと、別途開発されたGaAs化合物半導体の受信フロント部IC及び局部発振部の出力分配用ICの写真である⁸⁾⁹⁾。図6-20に示す携帯電話のブロック図の中の高周波信号部に既に使用されている。図6-21に携帯電話の全体写真を示す。



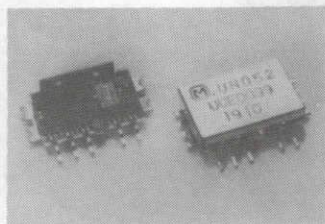
(1) front-end IC

chip size: 1.05mm x 1.05mm



(2) power-splitter IC

chip size: 0.58mm x 0.61mm



(3) power module

total size: 12mm x 17mm x 4mm

図6-19 携帯電話用 GaAs 化合物半導体 IC と PA の写真

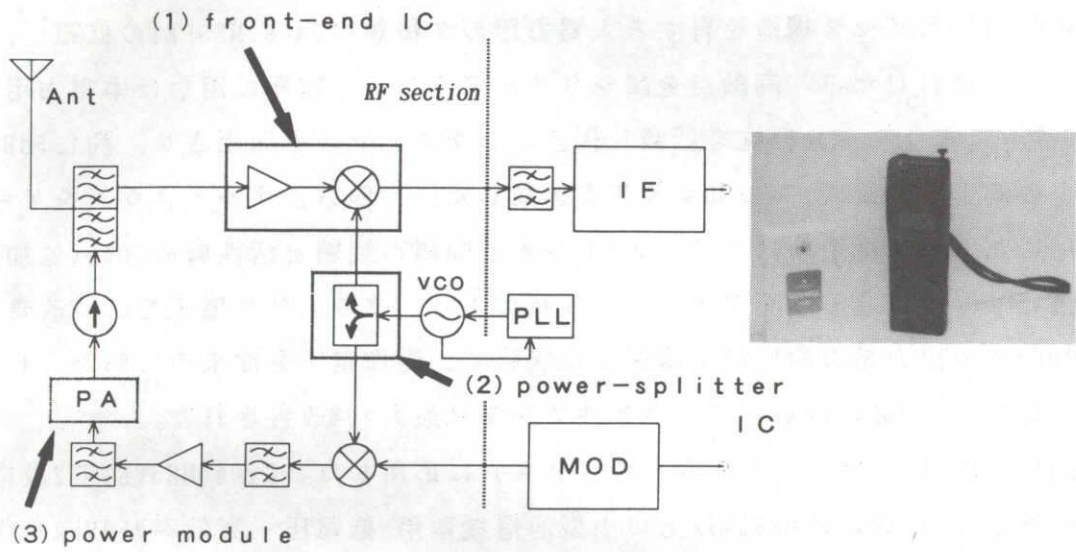


図 6 - 2 0 携帯電話のブロック図

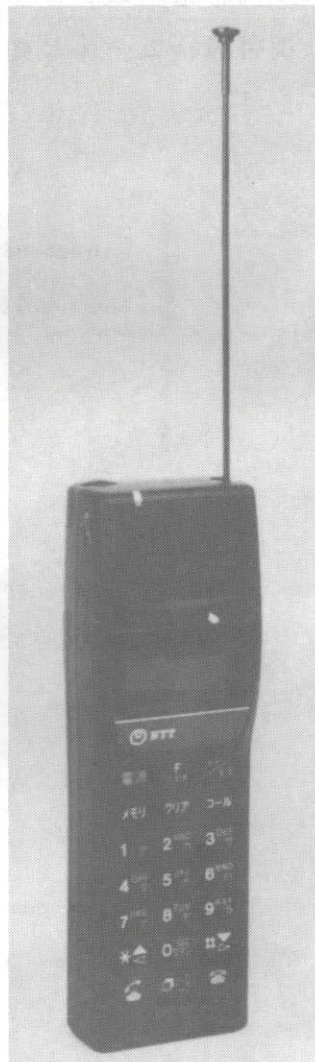


図 6 - 2 1 携帯電話の全体写真

参考文献

- 1) B. J. Van Zeghbroeck, W. Patrick, H. Meier and P. Vettiger, *Electron. Lett.*, vol. EDL-8, No. 3, p. 118 (1987)
- 2) A. Tamura, A. Watanabe and K. Inoue, *IEEE Trans. Electron Devices*, Vol. 37, No. 1, p. 297 (1990)
- 3) Y. Yamashita, Y. Mori, K. Ishihara and T. Konno, *National Tech. Report*, Vol. 36, No. 4, p. 414 (1990)
- 4) Y. Ota, M. Yanagihara, A. Tamura and O. Ishikawa, *GaAs and related compounds* (1993) (to be published)
- 5) Y. Hirano, *1991 Microwave Workshop and Exhibition Digest*, p. 319 (1991)
- 6) O. Ishikawa, M. Maeda, K. Nishii, M. Yanagihara, T. Yokoyama, Y. Ikeda and Y. Ota, *Appl. Microwave*, Vol. 4, No. 3, p. 83 (1992)
- 7) Y. Ota, M. Yanagihara, T. Yokoyama, C. Azuma, M. Maeda and O. Ishikawa, *IEEE MTT-S Digest*, p. 1517 (1992)
- 8) O. Ishikawa, Y. Ota, M. Maeda, A. Tezuka, H. Sakai, T. Kato, J. Ito, Y. Mori, M. Sagawa and M. Inada, *IEEE GaAs IC Sympo.*, p. 131 (1992)
- 9) H. Sakai, A. Tezuka, Y. Mori, M. Sagawa, T. Kato, J. Itoh and K. Fujimoto, *GaAs IC Sympo.*, p. 905 (1992)

第7章 総括

本研究は、半導体デバイスの高周波特性を制限している要因を明らかにすると共に、その制限要因を克服し高周波特性を向上できる新規なデバイス構造・プロセス技術の開発を通して、高周波半導体デバイスの実現及びその応用に関わる研究の結果をまとめたものである。以下、本研究で得られた主要な成果を列挙し、高周波半導体デバイスの将来に言及して本論文のまとめとする。

① UHF帯縦型VD-MOSFETにおいて、ゲート電極の抵抗・容量成分による高周波信号の遅延と減衰について計算すると共に、高融点金属シリサイドを用いた2重拡散によるチャンネル長の短縮($0.83\mu\text{m}$)が、相互コンダクタンスの向上とゲート抵抗の低減に大きな効果があることを確認した。また、シールド電極を用いて帰還容量を2分の1に低減し、帰還容量と利得の関係を実際のデバイスの入出力特性で確認し、約3dBの線形利得の向上を達成した。デバイスの並列動作による大電力化について、900MHz帯のプッシュプル回路を応用し、UHF帯(900MHz)で初めて出力100Wを越えるMOSFETを実現した。(第3章)

② MOSFETの2GHz以上の動作を制限するのはソースインダクタンスであることを明確にし、ソースワイヤーが不要でインダクタンスを極限まで下げられる、V溝ソース接地型LD-MOSFETを提案し実現した。ソース接地は、表面のエピタキシャル層を貫通し高濃度基板に到達するV溝にソース電極を接続して行った。2.45GHzで約9dBの小信号電力利得と約8Wの出力電力が得られ、電力用パワーMOSFETの動作周波数をS帯(2.45GHz)まで伸ばした。(第4章)

③ HEMTのソース抵抗及びゲート抵抗の低減が、低雑音化に大きな効果があることを、新プロセス(オフセットリセスゲートプロセス)を検討して確認した。ゲートリセス領域内で、 $1\mu\text{m}$ 以上の厚さを持つゲート電極がソース側にオフセットされた構造の実現により、ソース抵抗が 2.5Ω と半減できると共に、ドレイン耐圧を2倍の6Vに向上でき、雑音指数は12GHzで0.5dB台まで低減した。(第5章)

④ ネットワークアナライザとノイズメータと高周波プローブを一体接続し、低雑音デバイスのMMIC化に必要なノイズ最小値を与える最適信号源インピーダンスをウェーハ状態で直接測定できる新しい測定システムと測定方法を確立した。イ

インピーダンス測定方法として50-SHORT-OPEN法とREAL-TIME法の2種類を考案し、12GHzで最適信号源インピーダンスの比較を行った。REAL-TIME法を用いた場合、スルーメタルの影響で位相が15°回転し正確なインピーダンス測定に問題があることが分かった。測定された最適信号源インピーダンスを用いて、実際にMMICを低雑音設計し評価した結果、ノイズ最小値に整合がとれており最適信号源インピーダンスの測定に問題がないことを確認した。(第5章)

⑤ 低雑音HEMTの応用として、2段構成の低雑音MMICを設計し、MMICの入力整合回路の損失(0.46dB)が雑音指数を押し上げ、デバイス本来の雑音指数までは下がらないことを明らかにした。試作した2段MMICの雑音指数は12GHzで2dBの雑音指数と2GHzの帯域を有していた。(第5章)

⑤ GaAs MESFETの低電圧高効率化について、LDD構造の採用、ソース・ドレイン間隔の短縮、活性層の80Kev低加速注入、表面ダメージの低減により、立ち上がり電圧と相互コンダクタンスを改善し、950MHzの出力電力を確保した状態で動作電圧を従来の5.8Vから4.7Vに低電圧化した。B級に近いバイアス条件での効率は最大20%の改善をみた。(第6章)

⑥ GaAs MESFETをパワーモジュール(PA)に応用し、GaAs MESFETの2段構成で動作電圧4.7V 総合効率65%以上の小型通信機器用の低電圧・高効率950MHz動作高周波パワーデバイスとして完成させた。(第6章)

以上、本研究の結果を列挙した。半導体デバイスの高周波特性の向上は、通信機器の小型化高性能化を促した。本研究で得られた成果の一部は既に実用化されており、この技術が今後更に応用発展していくものと考えられる。高周波デバイスの今後の方向としては、やはり周波数・出力・効率・雑音の4つの特性の向上を中心に進むのは間違いない。単体デバイスの完成と共に集積度を向上したMMICへの要望も増大し、全体として技術的にも市場的にも拡大する方向である。新しい材料を用いた高周波デバイスの導入など、従来の上限をブレイクスルーできる新しい技術の開発がより積極的に行われることを期待する。

謝辞

本論文を結ぶにあたり、本研究に対して終始懇切なる御指導と御激励をいただいた名古屋工業大学 工学部教授 和田隆夫博士に深く感謝致します。

また、名古屋工業大学在学中から今日に至るまで変わらぬ御指導をいただいた名古屋工業大学 工学部助教授 宇佐美晶博士に深く感謝致します。

本論文を作成するにあたり、懇切なる御指導と御高配を賜った名古屋工業大学工学部教授 佐治学博士、同教授 中嶋堅志郎博士に深く感謝致します。

松下電器産業株式会社 堀内司朗常務取締役、同半導体研究センター 竹本豊樹センター長、同光半導体研究所 小沼毅所長には、本研究の機会を与えて頂くと共に、絶えざる御指導と御鞭撻を賜りました。また、松下冷機株式会社 梶原孝生専務取締役、松下電子工業株式会社 江崎豪弥取締役、同ディスクリート（事）梅鉢昭太郎主幹技師、松下電器産業株式会社 半導体研究センター 畑田賢三主幹技師、稲田雅紀主幹技師、松下通信工業PC（事）柴崎一郎副参事には貴重な御助言を頂き深く感謝致します。

本研究を進めるにあたって、多大な御協力を頂いた松下電器産業株式会社 半導体研究センターの皆様、松下電子工業株式会社 ディスクリート事業部の皆様に厚くお礼申し上げます。

本研究に関する発表

(A) 発表論文

- 1) A 900MHz 100W VD-MOSFET With Silicide Gate Self-aligned Channel
H. Esaki and O. Ishikawa
IEEE IEDM Technical Digest, pp.447-450(1984)
- 2) A High-power High-gain VD-MOSFET operating at 900MHz
O. Ishikawa and H. Esaki
IEEE Trans. on Electron Devices, Vol.ED-34, No. 5, pp.1157-1162(1987)
- 3) A 2.45GHz Power LD-MOSFET With Reduced Source Inductance by V-groove Connections
O. Ishikawa, H. Yamada and H. Esaki
IEEE IEDM Technical Digest, pp.166-169(1985)
- 4) Low-noise InGaAs HEMT Using the New Off-set Recess Gate Process
O. Ishikawa, K. Nishii, T. Matsuno, C. Azuma, Y. Ikeda, S. Nanbu,
and K. Inoue
IEEE MTT-S International Microwave Sympo. Digest, pp.979-982(1989)
- 5) Direct Measurement of the Optimum Source Impedance for Minimum Noise Figure
O. Ishikawa, H. Yagita, T. Tanbo and T. Onuma
IEEE MTT-S International Microwave Sympo. Digest, pp.1183-1186(1989)
- 6) Advanced Technologies of Low-power GaAs ICs and Power Modules for Cellular Telephones
O. Ishikawa, Y. Ota, M. Maeda, A. Tezuka, H. Sakai, T. Kato, J. Ito,
Y. Mori, M. Sagawa and M. Inada
IEEE GaAs IC Symposium Technical Digest, pp.131-134(1992)

7) Cellular Telecommunication GaAs Power Modules

O. Ishikawa, M. Maeda, K. Nishii, M. Yanagihara, T. Yokoyama,

Y. Ikeda and Y. Ota

Applied Microwave, Vol. 4, No. 3, pp. 83-88(1992)

(B) 関連論文

1) A 12GHz Very Small Low-Noise Converter Using InGaAs HEMT Monolithic MIC Technology

H. Saka, T. Mekata, H. Adachi, T. Tanaka, O. Ishikawa and K. Inoue

The 3rd Asia-Pacific Microwave Conference Proceedings, pp. 677-680

(1990)

2) Highly efficient, very compact GaAs power module for cellular telephone

Y. Ota, M. Yanagihara, T. Yokoyama, C. Azuma, M. Maeda and

O. Ishikawa

IEEE MTT-S Digest pp. 1517-1520(1992)

3) Novel High-Performance N-AlGaAs/InGaAs/N-AlGaAs Pseudomorphic Double-Heterojunction Modulation-Doped FETs

K. Nishii, T. Matsuno, O. Ishikawa, H. Yagita and K. Inoue

Japanese Journal of Applied Physics, Vol. 27, No. 11, pp. 2216-2218

(1988)

4) High-Gain, Directly Connected HBT Amplifier

Y. Ota, M. Yanagihara, A. Tamura, O. Ishikawa

GaAs and related compounds (1993), (to be published)

(C) 学会報告

1) MoS_i_2 ゲートMOS素子の V_t 安定化

石川 修、江崎 豪弥

昭和58年度電子通信学会半導体・材料部門全国大会、98

- 2) ゲーティングプロセス GaAs FET を用いたモノリシック増幅器
石川 修、反保 敏治、八木田 秀樹、小沼 毅
昭和61年度電子通信学会光・電波部門全国大会、1-107
- 3) Low-Noise Amp の N.F. 解析
石川 修、反保 敏治、八木田 秀樹、小沼 毅
昭和62年度電子情報通信学会半導体・材料部門全国大会、233
- 4) ノイズ最小値を与える信号源インピーダンスの直接測定
石川 修、反保 敏治、八木田 秀樹、小沼 毅
昭和62年電子情報通信学会創立70周年記念総合全国大会、762
- 5) マイクロストリップ線路型パッケージに実装された12GHz帯 MMIC Amp.
石川 修、八木田 秀樹、西井 勝則、松野 年伸、池田 義人、
井上 薫
昭和63年度電子情報通信学会秋季全国大会、C-347
- 6) 12GHz帯ローノイズ HEMT MMIC アンプ
石川 修、西井 勝則、松野 年伸、南部 修太郎
電気学会 電子回路研究会、ECT-89-1 (1989年3月)
- 7) オフセットリセスゲーティングプロセスを用いた低雑音 HEMT
東 千夏、石川 修、西井 勝則、松野 年伸、池田 義人、井上 薫
電子情報通信学会春季全国大会 (1989年)、C-105
- 8) GaAs 2段電力増幅器の設計と試作
前田 昌宏、太田 順道、柳原 学、横山 隆弘、東 千夏、石川 修
1991年電子情報通信学会秋季大会、C-43
- 9) 高融点ゲーティングセルフアラインプロセスを用いたパワー用 GaAs MESFET
東 千夏、太田 順道、柳原 学、横山 隆弘、前田 昌宏、石川 修
1991年電子情報通信学会秋季大会、C-332

- 10) プロセスダメージによるGaAs表面状態の変化
竹原 宏泰、柳原 学、太田 順道、石川 修
1992年春季応用物理学関係学会連合講演会、31a-N-1
- 11) マルチチップGaAs増幅器の試作
西嶋 将明、藤本 裕雅、石川 修
1992年電子情報通信学会秋季大会、C-52
- 12) 900MHz帯GaAs2段電力増幅器のシュミレーションと評価
前田 昌宏、柳原 学、石川 修
1992年電子情報通信学会秋季大会、C-54
- 13) GaAs MESFETの高周波ACシュミレーション
岩永 順子、太田順道、石川 修、クッツウ ウウ、ジッピン ユウ、
ロバート ダットン
電子情報通信学会、信学技法 ED92-126, MW92-129, ICD92-147 (1993-01)
- 14) 電力増幅用低電圧動作GaAsパワーMESFET
竹原 宏泰、東 千夏、藤本 裕雅、太田 順道、石川 修
1993年電子情報通信学会春季大会、C-532
- 15) 受動回路のパワー伝送ロスの検討
西嶋 将明、前田 昌宏、藤本 裕雅、石川 修
1993年電子情報通信学会秋季大会、C-70
- 16) パワーFET特性のゲート方位依存性
東 千夏、藤本 裕雅、竹原 宏泰、太田 順道、石川 修
1993年電子情報通信学会秋季大会、C-380
- 17) 窒化アルミパッケージを用いた900MHz帯GaAsパワーマルチチップIC
前田 昌宏、西嶋 将明、竹原 宏泰、石川 修
1993年電子情報通信学会秋季大会、C-39