

GaAs LSIのためのひ素圧印加アニール技術

—— 転位としきい値電圧に与える影響 ——

正員 江川 孝志[†] 正員 佐野 芳明[†]

正員 中村 浩[†] 正員 上西 勝三[†]

Annealing Technology under Arsenic Overpressure for GaAs LSI

—— Influence on Dislocation and Threshold Voltage ——

Takashi EGAWA[†], Yoshiaki SANO[†], Hiroshi NAKAMURA[†] and
Katsuzo KAMINISHI[†], *Members*

あらまし GaAs LSIを実現するためには、FETのしきい値電圧 (V_{th})の微小部分均一性が重要であるという観点から、半絶縁性アンドープ LEC GaAs 基板中の転位および V_{th} の微小部分均一性のアニール法依存性を調べることによって、 V_{th} の均一性が何に支配されているかを検討した。高ひ素圧アニールによって、基板表面付近の転位密度が減少し、転位密度分布は均一になる。これは、アニール中に基板表面にひ素圧が供給された効果によるものと考えられる。低ひ素圧アニールでは、 V_{th} は集合転位に対応した部分で負側へ変化し、明確なネットワーク状の分布をもつ。一方、アルシン雰囲気中の高ひ素圧アニールでは、集合転位に対応した部分での V_{th} の負側への変化は小さく V_{th} は均一に分布する。PCVD SiN_x保護膜アニールでは、 V_{th} は転位分布に依存せず非常に均一に分布する。以上の結果より、集合転位の部分には、高濃度の As_{Ga}が存在すること、および V_{th} の均一性は、転位密度には依存せず、as-grownとアニール後の基板のストイキオメトリーに依存し、As-rich側で均一な分布が得られると考えられる。

1. ま え が き

GaAs LSI を実用化するには、FETの均一なしきい値電圧 (V_{th})を得ることが重要である。現在、FETは、半絶縁性 LEC GaAs 基板に不純物をイオン注入し、アニールを行うというプロセスを用いて製作されている。従って、 V_{th} の均一性は、基板の結晶性およびアニール法に大きく依存するため、均一な V_{th} が得られているとは言い難く、 V_{th} の不均一性について多くの報告がある^{(1),(2)}。

基板が V_{th} の均一性に与える影響に関しては、 V_{th} の分布は基板中に存在する転位分布に対応することや転位までの距離と V_{th} に相関があることなどから、転位が V_{th} の不均一性に影響するという報告がある一方⁽¹⁾、転位と V_{th} には相関がないという報告もある⁽³⁾。我々は、

GaAs LSI を実用化するには、 V_{th} の微小分布の均一性が重要であるという観点から、高密度に配列された 60 $\mu\text{m} \times 60 \mu\text{m}$ ピッチの FET アレーを用いて、基板およびアニール法による V_{th} の微小部分均一性を検討してきた^{*(4)-(6)}。しかしながら、 V_{th} の微小部分均一性が転位およびアニール法によってどのように影響されるかについては、十分に解明されていない。

本論文では、GaAs LSI を実用化するには、 V_{th} の均一な微小分布を得ることが重要であるという観点に立ち、転位および V_{th} の微小部分均一性のアニール法依存性を調べることによって、 V_{th} の均一性の要因について検討したので報告する。

* T. Egawa, Y. Sano, H. Matsuura, H. Nakamura and K. Kamishii: "Dependence of Microscopic Correlation between Threshold Voltage of GaAs MESFET and Dislocation on Annealing Method", 4th Conference on Semi-Insulating III-V Materials, Ohmsha.

[†] 沖電気工業株式会社基盤技術研究所, 八王子市
Research Laboratory, Oki Electric Industry Co., Ltd., Hachiojishi, 193 Japan

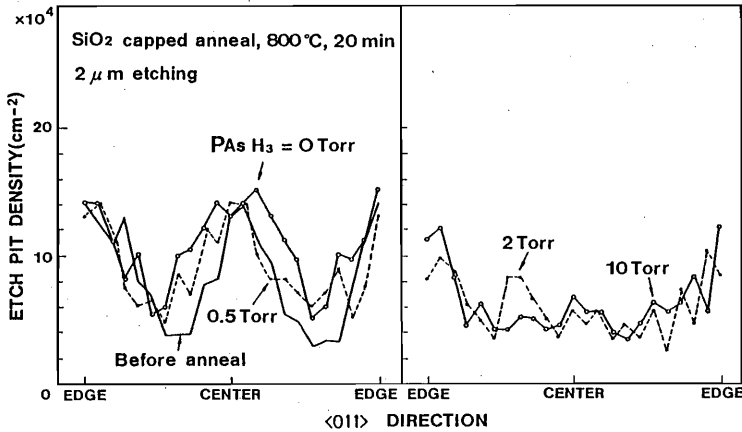


図1 EPD分布のアルシン圧依存性
Fig. 1 Dependence of EPD distribution on arsenic partial pressure.

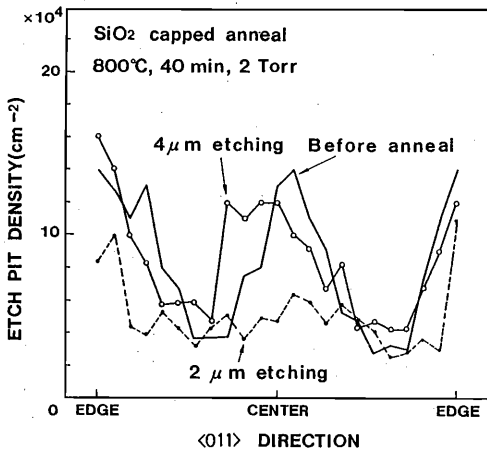


図2 2 μm および 4 μm の深さでの EPD 分布
Fig. 2 EPD distribution at 2 μm and 4 μm depth.

2. 転位密度のアニール法依存性

2.1 実験方法

実験に用いた基板は、市販の液体封じ引上げ方 (LEC) による 2 インチの半絶縁性アンドープ GaAs 基板 (100) である。この基板の転位密度 (Etch Pit Density: EPD) は、 $10^4 \sim 10^5 \text{ cm}^{-2}$ の範囲で典型的な W 型分布をもち、基板中心部ではネットワーク状の転位分布をもち、アルシン圧、アニール温度、アニール時間及び保護膜をパラメータとしてアニールを行った後の EPD 分布を調べた。EPD は、GaAs 基板を 370°C の熔融 KOH でエッチングし、エッチピットの数から算出した。KOH によるエッチングの深さはエッチ

ング時間で制御した。

2.2 アニール法依存性

図 1 に、アルシン雰囲気中でアニールし、2 μm エッチングした後の EPD 分布のアルシン圧依存性を示す。アニールは、アルシン圧を 0 ~ 10 Torr、減圧 CVD 法による SiO₂ (0.1 μm) を保護膜とし、800°C、20 分間行った。アルシン圧が 0.5 Torr 以下では、EPD は、as-grown サンプルと同じような中心部でネットワーク状の転位分布をもち、典型的な W 型分布を示す。しかしながら、アルシン圧が 2 Torr 以上の場合には、ウェーハ中心部の転位網が消え、EPD が $1.4 \times 10^5 \text{ cm}^{-2}$ から $5 \times 10^4 \text{ cm}^{-2}$ に減少し、U 型分布になる。

図 2 に、アニール後の EPD 分布の 2 μm および 4 μm での深さ方向依存性を示す。アニールは、アルシン圧を 2 Torr、SiO₂ (0.1 μm) を保護膜とし、800°C、40 分間行った。2 μm の深さにおいては、アルシン圧の効果により中心部の EPD が減少し、U 型分布を示す。しかし、4 μm の深さでは、中心部の EPD が増加し、as-grown サンプルと同じような W 型分布を示すことから、アルシンからのひ素の供給は 4 μm までは及んでいないと考えられる。

図 3 に、アニール後に 2 μm エッチングした後の EPD 分布のアニール温度依存性を示す。アニールは、アルシン圧を 2 Torr、SiO₂ (0.1 μm) を保護膜とし、20 分間行った。800°C 以上でアニールした場合には、中心部の EPD が減少し U 型分布を示すが、700°C では EPD 分布に変化はなく、W 型分布を示す。また、アニール時間依存性を調べたが、20 分、40 分のいずれの場合も

EPD は U 型分布を示した。

次に、 $2\mu\text{m}$ の深さでの EPD 分布のアニール時の保護膜依存性を図 4 に示す。アニールは SiO_2 、または、プラズマ CVD (PCVD) 法による SiN_x を保護膜とし、アルシン圧を 2 Torr, 800°C , 40 分間行った。 SiO_2 を保護膜としたアニールの場合には、中心部の EPD が減少し、U 型分布を示すが、PCVD SiN_x の場合には、EPD の減少はなく W 型分布を示す。この結果および保護膜を変えた時の活性化率のアルシン圧依存性の結果より⁽²⁾、PCVD SiN_x 膜は GaAs 基板表面へのひ素の供給を防いでいると考えられる。

このように、GaAs 基板表面にひ素圧を供給することは、EPD を減少させ、基板の結晶性を均一化する上で重要であることが明らかになった。次に、 V_{th} の微小部分均一性がアニール法によってどのような影響を受

けるかについて述べる。

3. V_{th} の微小部分均一性のアニール法依存性

3.1 プロセス

GaAs MESFET は、市販の半絶縁性アンドープ LEC GaAs 基板上に、W-Al ゲートセルフアラインプロセスを用いて、 $60\mu\text{m} \times 60\mu\text{m}$ ピッチで製作した。FET のゲート長およびゲート幅は、それぞれ $1.5\mu\text{m}$, $10\mu\text{m}$ である。n 層形成のために 60keV , $1.2 \times 10^{12}\text{cm}^{-2}$ で、 $^{29}\text{Si}^+$ をイオン注入し、First アニールを行う。次に n^+ 層形成のために、 100keV , $1.5 \times 10^{13}\text{cm}^{-2}$ の条件でイオン注入し、Second アニールを行う。この時の各アニールは、表 1 に示すように、低ひ素圧アニール、アルシン雰囲気中での高ひ素圧アニールおよび PCVD SiN_x 保護膜アニールの 3 種類とし、アルシン圧は 2 Torr, 保護膜の厚さは $0.1\mu\text{m}$, face to face で 800°C , 20 分間行った。また、保護膜に用いた SiO_2 と PCVD SiN_x の屈折率は、1.46 および 1.92 である。このように、3 種類のアニールを行った時の、基板中心部 $3\text{mm} \times 0.84\text{mm}$ の領域で 700 個の FET アレーの V_{th} を測定した後、同一場所を KOH でエッチングし、転位と V_{th} の微小分布のアニール法依存性を調べた。

3.2 低ひ素圧アニール

図 5 に低ひ素圧アニールを行った時の V_{th} の微小分布とエッチピットの分布を示す。このアニールは、アルシン雰囲気中では行っていないが、face to face のため、低ひ素圧印加でアニールが行われている。平均しきい値電圧 (\bar{V}_{th}) が $+197.6\text{mV}$, V_{th} の分散 (σV_{th}) が 35.8mV であり、孤立転位の部分と比較してネットワーク状の集合転位に対応した部分で V_{th} は負側へ変化し、 V_{th} は明確なネットワーク状の分布を示している。これは低ひ素圧下でアニールを行ったために、GaAs 基板からひ素が解離したためと考えられる。

次に、転位がどの程度の距離にわたって V_{th} に影響を与えるかを明らかにするために、ゲートとそれに隣

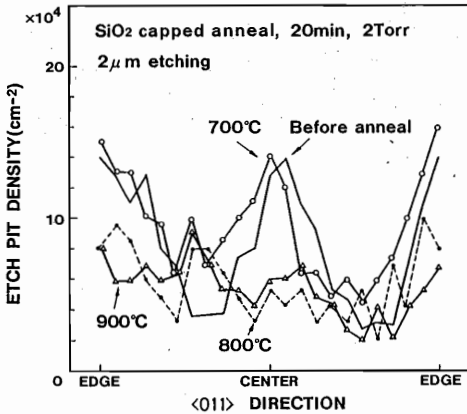


図 3 EPD 分布のアニール温度依存性

Fig. 3 Dependence of EPD distribution on annealing temperature.

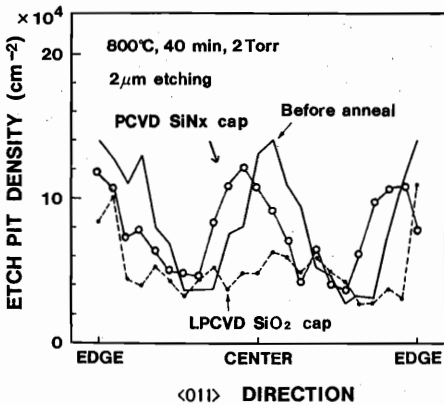


図 4 EPD 分布の保護膜依存性

Fig. 4 Dependence of EPD distribution on capped film.

表 1 アニール条件

Sample	First annealing	Second annealing
# 1	CVD SiO_2 cap H_2/Ar	Capless H_2/Ar
# 2	CVD SiO_2 cap $\text{H}_2/\text{Ar}/\text{AsH}_3$	Capless $\text{H}_2/\text{Ar}/\text{AsH}_3$
# 3	PCVD SiN_x cap Ar	PCVD SiN_x Ar

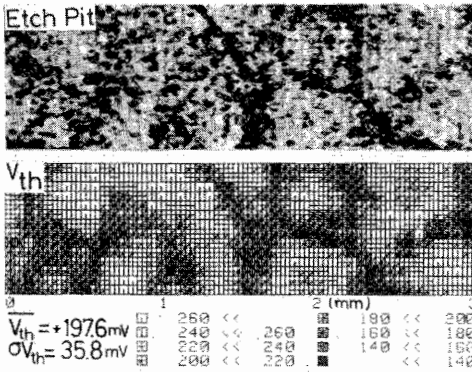


図5 同一領域でのエッチピットと V_{th} の分布 (アニールは低ひ素圧アニールを行った)

Fig. 5 Distribution of the etch pits and the V_{th} in the same region. Annealing is performed under low arsenic pressure.

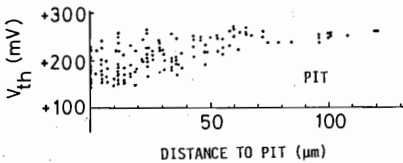


図6 V_{th} とゲートに隣接する転位までの距離との関係 (アニールは低ひ素圧アニールで行った)

Fig. 6 Relationship between the V_{th} and the distance to the nearest pit. Annealing is performed under low arsenic pressure.

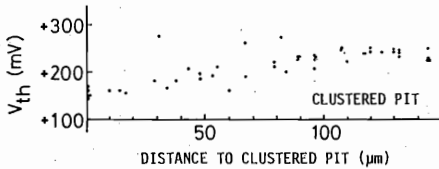


図7 V_{th} とゲートに隣接する集合転位までの距離との関係 (アニールは低ひ素圧アニールで行った)

Fig. 7 Relationship between the V_{th} and the distance to the nearest clustered pits. Annealing is performed under low arsenic pressure.

接する転位との距離を関数として、 V_{th} の変化を調べた。図6にゲートとそれに隣接する転位(孤立転位と集合転位の両方を含む)との距離と V_{th} の関係を示す。約70 μm を境として、ゲートと転位までの距離が短くなるにつれて、 V_{th} のばらつきが大きくなり、負側へ変化している。 V_{th} と転位までの距離とのこのような相関は、従来、報告された結果と異なっている^{(1),(9)}。このばらつきが、孤立転位によるものか集合転位によるものか考察するために、集合転位からの距離と孤立転位からの距離を関数として V_{th} の変化を調べた。図7にゲートと

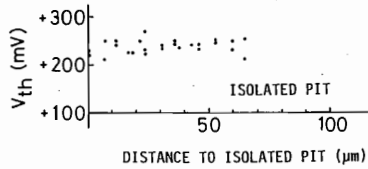


図8 集合転位から70 μm 以上離れた領域において、 V_{th} とゲートに隣接する孤立転位までの距離との関係(アニールは低ひ素圧アニールで行った)

Fig. 8 Relationship between the V_{th} and the distance to the nearest isolated pit in the region which is more than 70 μm apart from any clustered pits. Annealing is performed under low arsenic pressure.

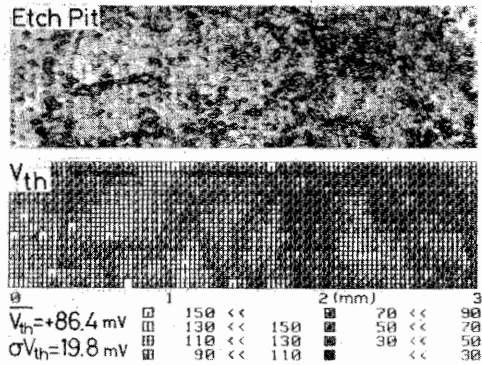


図9 同一領域でのエッチピットと V_{th} の分布(アニールは、アルシン雰囲気中の高ひ素圧アニールを行った)

Fig. 9 Distribution of the etch pits and the V_{th} in the same region. Annealing is performed under arsenic overpressure by AsH₃.

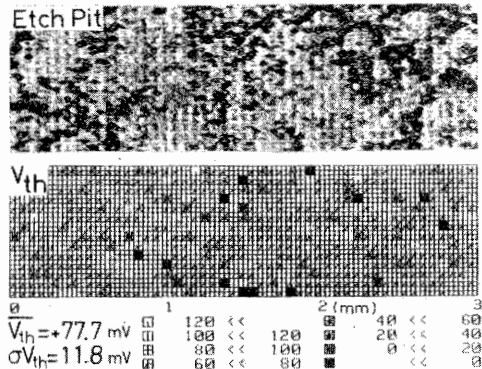


図10 同一領域でのエッチピットと V_{th} の分布(アニールはPCVD SiN_x保護膜アニールを行った)

Fig. 10 Distribution of the etch pits and the V_{th} in the same region. Annealing is performed with PCVD SiN_x cap.

それに隣接する集合転位との距離と V_{th} の関係を示す。集合転位から約70 μm を境として、 V_{th} は+250 mV から+150 mV へ変化している。図8に集合転位から70

μm 以上離れた (V_{th} が集合転位から影響されない)領域において、ゲートとそれに隣接した孤立転位との距離と V_{th} の関係を示す。集合転位に見られたような大きな変動はないが、+200 mV から +250 mV の範囲で分布している。

3.3 アルシン雰囲気中での高ひ素圧アニール

図9に、アルシン雰囲気中での高ひ素圧アニールを行った時の V_{th} の微小分布とエッチピット分布を示す。 $\overline{V_{th}} = +86.4 \text{ mV}$, $\sigma V_{th} = 19.8 \text{ mV}$ と低ひ素圧アニールの場合と比較して、活性化率が高く V_{th} も均一に分布している。また、ネットワーク状の集合転位に対応した部分での V_{th} の負側への変化は小さく、 V_{th} には明確なネットワーク分布は見られない。これはひ素圧印加により、アニール中のひ素の解離を防いだためと考えられる。この場合には、低ひ素圧アニールの場合に見られたような距離と V_{th} の相関はみられなかった。

3.4 PCVD Si_x 保護膜アニール

図10にPCVD Si_x 保護膜アニールでの V_{th} の微小分布とエッチピット分布を示す。 $\overline{V_{th}} = +77.7 \text{ mV}$, $\sigma V_{th} = 11.8 \text{ mV}$ と活性化率が高く、転位ネットワーク状に分布しているにもかかわらず、 V_{th} は均一に分布している。これは、アニール中にひ素圧を印加しなくても、Si_x 膜がひ素の解離を防いだためと考えられる。また、図10より明らかなように距離と V_{th} の相関は見られなかった。

以上のように、低ひ素圧アニールを行った場合には、アニール中にGaAs基板からひ素が解離するために活性化率が低く、ネットワーク状の集合転位に対応した V_{th} の分布が現れる。一方、アルシン雰囲気中での高ひ素圧アニールまたはPCVD Si_x 保護膜アニールの場合には、ひ素の解離を防ぐために、活性化率が高く、均一な V_{th} の微小分布が得られた。

4. 転位の種類と V_{th} の微小部分均一性

GaAs基板には、大きく分類して、孤立転位、ネットワークを組まない集合転位、ネットワーク状の集合転位の3種類の転位が存在するため、これらの転位が V_{th} に与える影響を調べた。この時のアニールは、転位が V_{th} に与える影響を直接的に調べるために低ひ素圧アニールを行った。図11に、孤立転位の領域での V_{th} の値を示す。この図では、横と縦の数字の交点にゲートがあり、それと同一場所のMESFETの V_{th} の値を下段に示す。転位の存在しない領域での V_{th} は、+188 mV から +231 mV の範囲内に分布しているが、ゲート

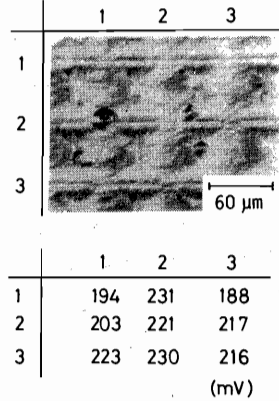


図11 孤立転位の領域での転位分布と V_{th} の対応図
Fig. 11 KOH-etched FET array with isolated pits and V_{th} for each FET in the picture.

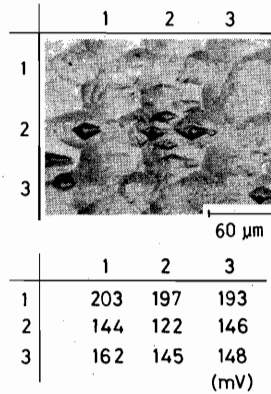


図12 集合転位の領域での転位分布と V_{th} の対応図
Fig. 12 KOH-etched FET array with clustered pits and V_{th} for each FET in the picture.

直下に1個の孤立転位が存在する所(2, 1)では、+203 mVで、負側へ変化していない。一方、図12に示すようなネットワークを組まない集合転位の場合には、ゲート直下に集合転位が存在する所(2, 2)で、 $V_{th} = +122 \text{ mV}$ と他の領域と比較して負側へ大きく変化している。また、前述したように、ネットワーク状の集合転位の場合にも、同様な結果が得られた。

このように、ゲート近傍に存在する孤立転位は、 V_{th} に影響を与えないが、ゲート近傍に存在する集合転位は、 V_{th} を大きく負側へ変化させることが明らかになった。

5. ストイキオメトリーと V_{th} の微小部分均一性

V_{th} の微小部分均一性のアニール法依存性より次の結

果が得られた。

(1) 低ひ素圧アニールでは、アニール中に GaAs 基板からひ素が解離するため、 V_{th} は、集合転位の分布に対応して負側へ約 100 mV 変化し、孤立転位の領域では転位の存在に無関係に約 40 mV の範囲でばらついている。

(2) アルシン雰囲気中での高ひ素圧アニールおよび PCVD SiN_x 保護膜アニールでは、ひ素の解離を防ぐために、 V_{th} 分布は均一になる。

これらの結果は、ストイキオメトリーによって説明できると考えられる^{*(5)-(7)}。藤本氏は⁽⁸⁾、X 線準禁制反射法により、アンドープ LEC GaAs 基板のストイキオメトリーの評価を行い、ストイキオメトリーは平均的に As-rich で、EPD 分布に対応した W 型分布を示すことを報告している。この結果から、as-grown 基板は、平均的に As-rich で、EPD の高い領域には、Ga サイトの As (As_{Ga})、Ga 空孔 (V_{Ga}) または格子間の As (As_i) が高濃度で形成されていると考えられる。また、Brozel らは⁽⁹⁾、赤外吸収により集合転位の部分には高濃度の EL 2 が存在することを、更に、Lagowski らは⁽¹⁰⁾、EL 2 は As_{Ga} であると報告している。これらの結果より、図 13 に示すように、as-grown のアンドープ LEC 基板は、平均的なストイキオメトリーが As-rich で、集合転位の部分には高濃度の As_{Ga} が存在するために孤立転位の部分と比較して、より As-rich であると考えられる。

Si をイオン注入した場合には、図 14 に示すように、より As-rich の条件では、Si は Si_{Ga} になりやすく、その結果、活性化率は高くなり、 V_{th} は負側へ変化する。低ひ素圧アニールを行うと、孤立転位および集合転位の部分に存在する As_i および As_{As} から同程度のひ素が解離するため平均的に As-poor となるが、集合転位の部分は、熱的に安定な高濃度の As_{Ga} が存在するため As-rich のままである。従って、平均的に As-poor となることによって、孤立転位と集合転位の部分でのストイキオメトリーの分布が V_{th} の分布に反映され、集合転位の部分で V_{th} が負側へ変化すると思われる。一方、アルシン雰囲気中での高ひ素圧アニールまたは、PCVD SiN_x 保護膜アニールでは、GaAs 基板からのひ素の解離が少ないため、平均的なストイキオメトリーがアニール後も As-rich の状態である。従って、集合転位と孤立転位の部分で、ストイキオメトリーに差があっ

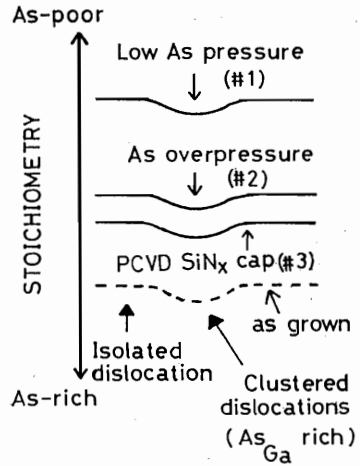


図 13 ストイキオメトリーの分布
Fig. 13 Distribution of stoichiometry.

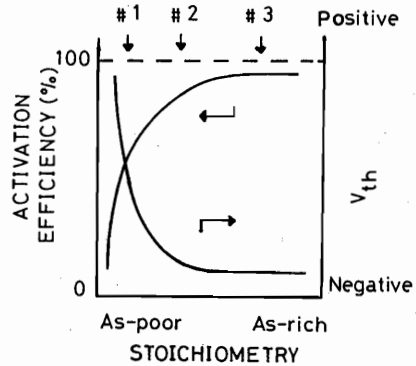


図 14 活性化率および V_{th} のストイキオメトリー依存性
Fig. 14 Dependence of activation efficiency and V_{th} on stoichiometry.

ても、それが V_{th} の分布には反映されず、均一な V_{th} 分布が得られたと考えられる。また、インゴットアニール基板では、 V_{th} の均一性が改善されるという報告がある⁽¹⁾。これは、Rumsby らが指摘しているように⁽¹¹⁾、W 型分布をしていた EL 2 が基板の熱処理を行うことによって U 型に均一化されるという結果と考え合わせると、前述のモデルによって説明できると考えられる。

一方、PCVD SiN_x 保護膜アニールの場合には、W 型の転位分布に対して、 V_{th} は M 型に分布するという報告がある^{(2),(12)}。これは、as-grown 基板の平均的なストイキオメトリーが As-poor であれば、PCVD SiN_x 保護膜アニール中はひ素の解離が少なく、アニール後のストイキオメトリーが As-poor なために V_{th} に分布が表われたためと考えられる。従って、PCVD SiN_x 保護膜アニールでの V_{th} の均一性は、as-grown 基板のスト

* p.611 の脚注参照。

イキオメトリーに大きく依存するが、アルシン雰囲気中の高ひ素圧アニールでは、as-grown 基板のストイキオメトリーに依存せず均一な V_{th} の分布が得られると考えられる。

6. む す び

GaAs LSI を実用化するには、 V_{th} の微小部分均一性の評価が重要であるという観点から、アニールが転位および V_{th} の微小部分均一性に与える影響について検討し、次の結果を得た。

(1) 低ひ素圧アニールでは、基板の表面付近の EPD は減少せず W 型分布を示す。 V_{th} の微小部分均一性に関しては、集合転位に対応した部分で約 100 mV 負側へ変化し、明確なネットワーク状の分布をもち、この分布は、ストイキオメトリーの分布に対応している。孤立転位は、 V_{th} に影響を与えないが、この領域では約 40 mV の範囲に分布する。

(2) アルシン雰囲気中での高ひ素圧アニールでは、アニール時に、ひ素原子が供給されることにより、ネットワーク状の転位が相互作用し、結晶欠陥が減少したため、EPD が減少し、U 型分布を示す。また、この場合には、アニール後の基板のストイキオメトリーが As-rich であるため、集合転位に対応した部分での V_{th} の負側への変化は小さく V_{th} は均一に分布する。

(3) PCVD SiN_x 保護膜アニールでは、アニール時にひ素原子が供給されず、転位の相互作用が起こりにくいために、EPD の減少はなく、W 型分布を示す。しかし、PCVD SiN_x 膜はひ素の解離を防ぎ、アニール後のストイキオメトリーが As-rich であるため、 V_{th} は非常に均一である。

(4) 以上の結果より、集合転位の部分には高濃度の As_{Ga} が存在することおよび、 V_{th} の均一性は、as-grown およびアニール後の基板のストイキオメトリーに依存し、As-rich 側で均一な分布が得られると考えられる。また、高ひ素圧アニールでは、アニール時にひ素が供給されることにより、ネットワーク状の転位が相互作用を起こし、基板表面の結晶欠陥が減少し、その結果 EPD が減少する。このように、EPD の減少と V_{th} の均一性の現象は別のメカニズムによるものと考えられる。以上の結果より、GaAs LSI は、基板の不均一性だけに依存するのではなく、アニール技術にも大きく依存する。

文 献

(1) S. Miyazawa and Y. Ishii: "Dislocations as the origin of

threshold voltage scatterings for GaAs MESFET on LEC-grown semi-insulating GaAs substrate", IEEE Trans. Electron Devices, ED-31, 8, pp. 1057-1062 (Aug. 1984).

- (2) T. Egawa, Y. Sano, H. Nakamura, T. Ishida and K. Kaminishi: "The dependence of threshold voltage scattering of GaAs MESFET on annealing method", Jpn. J. Appl. Phys., 24, 1, pp. L35-L38 (Jan. 1985).
- (3) J. Kasahara, M. Arai and N. Watanabe: "Extremely uniform threshold voltage distribution of GaAs FET made on lec-grown crystals", Electron. Lett., 21, 22, pp. 1040-1042 (Oct. 1985).
- (4) H. Nakamura, H. Matsuura, T. Egawa, Y. Sano, T. Ishida and K. Kaminishi: "Characterization of microscopic uniformity of semi-insulating GaAs substrate by using high density FET array", Extended abstracts of the 17th Conference on Solid State Devices and Materials, pp. 429-432 (1985).
- (5) 江川, 佐野, 松浦, 中村, 上西: "半絶縁性 GaAs 基板における転位と V_{th} のマイクロ分布との相関 (I)", 第 33 回応物春季予稿集, 4P-X-14 (1986).
- (6) 江川, 佐野, 松浦, 中村, 上西: "半絶縁性 GaAs 基板における転位と V_{th} のマイクロ分布との相関 (II)", 同上, 4P-X-15.
- (7) S. Miyazawa and K. Wada: "Mechanism for the threshold voltage shift a GaAs field-effect transistor around dislocations", Appl. Phys. Lett., 48, 14, pp. 905-907 (April 1986).
- (8) I. Fujimoto: "X-Ray diffraction analysis of stoichiometry of GaAs crystals", Extended Abstracts of the 16th Conference on Solid State Devices and Materials, pp. 165-168 (1984).
- (9) M. R. Brozel, I. Grant, R. M. Ware, D. J. Stirling and M. S. Skolnick: "Direct observation of fine structure in the concentration of the deep donor EL2 and its correlation with dislocations in undoped, semi-insulating GaAs", J. Appl. Phys., 56, 4, pp. 1109-1118 (Aug. 1984).
- (10) J. Lagowski, H. C. Gatos, J. M. Parsey, K. Wada, M. Kaminska and W. Walukiewicz: "Origin of the 0.82-eV electron trap in GaAs and its annihilation by shallow donors", Appl. Phys. Lett., 40, 4, pp. 342-344 (Feb. 1986).
- (11) D. Rumsby, R. M. Ware, B. Smith, M. Tyjberg, M. R. Brozel and E. J. Foulkes: "Improved uniformity of LEC undoped gallium arsenide produced by high temperature annealing", GaAs IC Symposium Tech. Digest, pp. 34-37 (1983).
- (12) F. Hyuga, K. Watanabe, J. Osaka and K. Hoshikawa: "Activation mechanism for Si implanted into semi-insulating GaAs", Appl. Phys. Lett., 48, 25, pp. 1742-1744 (June 1986).

(昭和 61 年 10 月 1 日受付, 11 月 18 日再受付)

江川 孝志



昭55名工大・工・電子卒。昭57同大学院工学研究科電子工学専門修士課程了。同年沖電気工業株式会社入社。以来GaAsIC等の化合物半導体デバイスのプロセス技術の研究に従事。現在、基盤技術研究所電子部品研究部高速集積研究室に所属。応用物理学会会員。

佐野 芳明



昭48阪大・基礎工・物性物理卒。同年沖電気工業株式会社入社。以来ミリ波インパット、高周波トランジスタ等のシリコンデバイス、GaAsIC、HEMTIC等の化合物半導体デバイスの研究開発に従事。現在、同社基盤技術研究所電子部品研究部高速集積研究室長(代)。

中村 浩



昭52東大・工・電子卒。昭57同大学院工学系研究科電子工学専門課程博士課程了。同年沖電気工業株式会社入社。以来GaAsIC等の化合物半導体デバイスのプロセス技術の研究に従事し、現在同社基盤技術研究所電子部品研究部高周波部品研究室研究主任。工博。応用物理学会会員。

上西 勝三



昭36東北大・工・通信卒。同年沖電気工業株式会社入社。以来ミリ波電子管、サーマルプリントヘッド、マイクロ波固体素子の研究開発に従事。現在化合物半導体デバイスの研究に従事し、同社基盤技術研究所電子部品研究部長。工博。応用物理学会、電気学会、IEEE各会員。