

窒化物半導体への Au フリーオーミック電極の形成
と Si 基板上 GaN HEMT への応用に関する研究
(Study on Au-free ohmic electrodes on
nitride semiconductor and application for
GaN HEMT on Si substrate)

2019 年 3 月

吉田 貴広

目次

第 1 章 序論

1.1 研究背景	1
1.2 オーミック電極の課題	7
1.3 本研究の目的	8
1.4 本研究の構成	8
参考文献	9

第 2 章 窒化物半導体へのオーミック接触に関する理論およびその応用技術

2.1 金属と n 型半導体の接合	14
2.2 電子伝導モデル	16
2.2.1 熱電子放出モデル	16
2.2.2 電界放出モデル	17
2.2.3 熱電界放出モデル	18
2.3 試料作製方法および評価技術	18
2.3.1 TLM	18
2.3.2 MIS-HEMT	25
参考文献	28

第 3 章 AlGaIn/GaN ヘテロ構造上 Au フリーオーミック電極

3.1 はじめに	29
3.2 メタルの選定	30
3.3 メタル膜厚と固有接触抵抗	32
3.4 アニール条件と固有接触抵抗	34
3.5 Ti 厚さとアニール温度	35
3.6 Ti/Al/W 電極の優位点	37
3.6.1 低温アニールと HEMT プロセス	37
3.6.2 シート抵抗の改善	38
3.6.3 表面ラフネスの改善	39
3.7 電極の分析	40
3.7.1 物質の同定	40
3.7.2 組成、構造分析	45
3.7.3 元素組成比	53
3.8 オーミック電極形成メカニズム	55

3.9 本章のまとめ	57
参考文献	59
第4章 InAlN/AlN/GaN ヘテロ構造上 Au フリーオーミック電極	
4.1 はじめに	67
4.2 Ti 厚さ、アニール条件の最適化	67
4.3 アニール条件とシート抵抗	69
4.4 リセスオーミック	72
4.5 温度特性	74
4.6 パラメータフィッティング	75
4.7 リセス深さと電子伝導モデル	78
4.8 構造分析	83
4.9 本章のまとめ	86
参考文献	88
第5章 Au フリーオーミック電極の AlGaIn/GaN HEMT への応用	
5.1 はじめに	92
5.2 ノーマリーオン MIS-HEMT の特性	92
5.3 ノーマリーオフ MIS-HEMT の特性	95
5.4 本章のまとめ	99
参考文献	100
第6章 結論	
6.1 本論文のまとめ	102
6.2 GaN デバイスの実用化に向けた課題と展望	103
謝辞	105
研究業績一覧	107

第1章 序論

1.1 研究背景

近年、世界的な気温の上昇、気象異常の多発を受け、CO₂ 排出の削減や化石燃料に依存しない社会の実現が一層求められており、従来のガソリン車に替わる電気自動車の開発、火力に替わる風力や太陽光などの自然エネルギーの開発が精力的に進められている。このようなエネルギーの大変換に関わる技術開発は、持続可能な社会の実現に不可欠であり、来るべき新時代を象徴するキーテクノロジーとして広く認知されている。それと並び、今後の社会の在り方に多大な影響を与えるキーワードが省エネルギー化である。CO₂ を排出し生み出される電力を、無駄なく効率的に利用することは、太陽光発電や風力発電への変換と同様に、CO₂ の削減につながる。そのため、これからの省エネルギー社会の実現に向けて、官民で技術開発が進められている。

自動車がそうであるように、今後ますます電力への依存が強まる中で、電力消費を低減するキーデバイスがパワー半導体である。エレクトロニクス製品は動作時に様々なエネルギーロスにより熱を発生しており、不要な電力を消費する。パワー半導体は電力変換をきめ細かく制御することで、消費電力の削減に貢献するが、電力変換の際のエネルギーロスを減らすために、MOSFET の低抵抗化、すなわちオン抵抗の低減が求められている。

パワー半導体を用いたパワーエレクトロニクス機器が使われる産業は幅広く、表 1.1.1 に示すように、家電、コンピュータ、自動車、鉄道などあらゆる設備、機器に使われている。主にインバータ回路やコンバータ回路を用い、電力のスイッチングや変換、モータ制御等に使われている。例えばエアコンの場合、従来はモータのオン/オフしかできず、フルパワー運転または停止という制御しかできなかったため、室温が設定温度に達した後も、極端な動作を繰り返すために室温を一定に保つことが難しく、エネルギーを無駄に消費していた。エアコンにインバータを搭載することで、モータの回転数を自由に制御することが可能となり、温度制御機能が高まるとともに、消費エネルギーの削減が可能となった。インバータは、モータへの電源供給を高速にオン、オフし、そのオンとオフの時間の割合を自在に変えることで、モータの回転数を制御している。このオン、オフを繰り返すことをスイッチングと呼び、このスイッチング回路にパワー半導体が活用されている。また、直流電源を利用する機器には、交流から直流へ変換するための整流回路 (AC-DC コンバータ) や、機器が求める電圧、電流を供給するレギュレータ (DC-DC コンバータ) などが搭載されており、パワー半導体が使われている。

表 1.1.1 パワーエレクトロニクス機器の使われる分野 [1]

分野	装置・機器	変換器容量 (kVA)	電圧(kV)	機能(使われ方)
電力	HVDC, SVC	10,000～700,000	10～250	直流送電による安定化, 系統の無効電力補償
	可変速揚水	10,000～100,000	3～10	発電/駆動制御, 周波数安定化
交通	車両ドライブ	300～5,000	0.6～3	車両駆動制御
	車両補助電源	10～300	0.2～3	エアコン・照明への電力供給
	地上電源	10,000～100,000	1.5～20	架線給電, リニア電源など
産業 ドライブ	プラントドライブ	2～10,000	0.2～5	鉄鋼圧延, 抄紙機などの駆動制御
	単機ドライブ	200～10,000	0.4～6	ポンプ, ファンなどの省エネ駆動
	汎用ドライブ	0.2～200	0.2～0.5	一般機械駆動用
昇降機 ドライブ	昇降機ドライブ	3～250	0.2～0.5	エレベーター駆動制御
受変電	サイリスタクリップ・リミタ	10～20	6	コジェネなどでの系統との切離し
	SVCS	10,000～100,000	3	電気炉のフリッカ抑制
UPS	UPS	0.1～1,500	0.1～0.4	重要負荷の瞬時停電対策
EV ドライブ	ハイブリッド車	10～100	0.1～0.4	エンジン補助
	純電気自動車	10～100	0.1～0.4	全領域インバータ駆動
家電機器	エアコンインバータ	1～20	0.1～0.2	コンプレッサ駆動, ファン駆動
	冷蔵庫インバータ	0.2～0.5	0.1	コンプレッサ駆動
	洗濯機インバータ	0.2～0.5	0.1	洗濯及び脱水
新エネルギー 応用	PVインバータ	1～300	0.1～0.2	太陽電池からの変換
	FCインバータ	100～500	0.1～0.2	燃料電池からの変換

パワー半導体の性能向上に向けた開発の歴史は長く、バイポーラ、サイリスタから始まり、近年は MOSFET、IGBT へと主たる開発対象が移り替わってきたが、いずれも半導体材料は Si であった。Si ベースのデバイスはその物性で決まる理論的性能限界に近づきつつあり[2]、大幅な低抵抗化は困難になってきている。近年、そのブレイクスルーとして、物性的に優れた窒化ガリウム (GaN) やシリコンカーバイド (SiC) を用いた超低損失 MOSFET の開発が進められてきた。これらの次世代半導体材料を用いたデバイスは、オン抵抗を大幅に下げることができるため、インバータなど電力変換回路やスイッチに使用すると電力損失を大幅に削減することが可能になる。GaN は 200V～600V 帯の低耐圧から中耐圧領域で着実に市場が拡大しており、図 1.1.1 の

ように、2017年の18億円の市場規模から、2030年には1300億円の市場規模に拡大すると予測されている[3]。

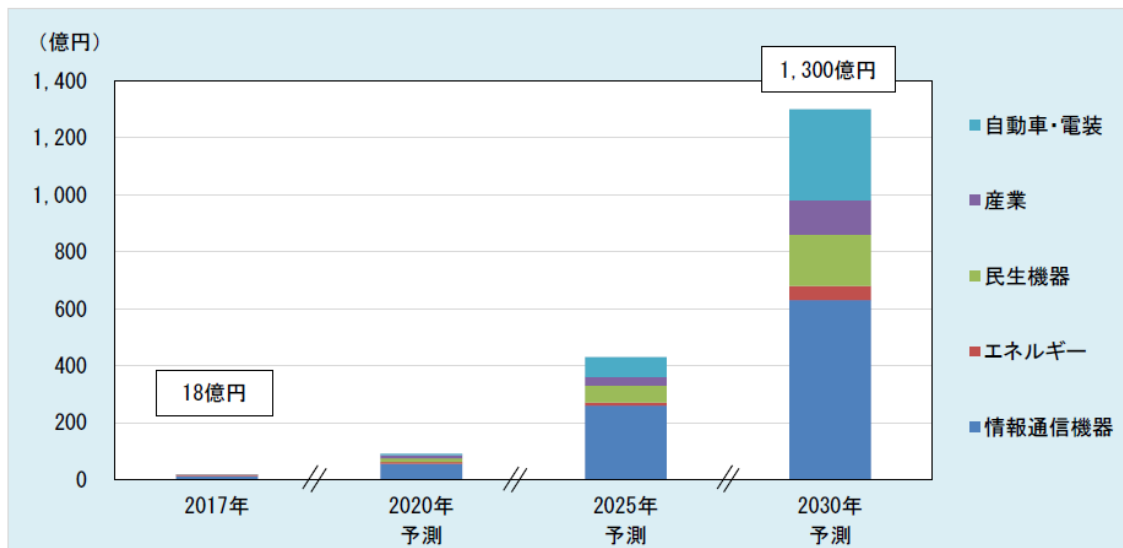


図 1.1.1 GaN パワー半導体の世界市場 [3]

従来の Si と比較して、GaN や SiC は構成原子間のボンド長が小さく、バンドギャップが大きいという特徴を持つことから、ワイドバンドギャップ半導体と呼ばれる。表 1.1.2 に代表的なワイドバンドギャップ半導体の物性値を Si と共に示す。パワーデバイスとして用いる場合に、それに適した性能を、材料がどれほど持っているかを表す性能指数として、バリガ指数 (BFOM) があり

$$BFOM = \epsilon \mu E_c^3 \quad (1.1)$$

で定義される。ここで、 ϵ は比誘電率、 μ は移動度、 E_c は絶縁破壊電界である。Si と比べて E_c の大きいワイドバンドギャップ半導体は BFOM が大きくなり、特に μ と E_c が SiC よりも大きい GaN は最も大きな値を示し、Si に比べておよそ 900 倍 (バルク) に達する。GaN が次世代パワーデバイスとして有力な材料であることが分かる。GaN は、Si と比較してバンドギャップがおよそ 3 倍大きく、絶縁破壊電界がおよそ 10 倍大きいため、同じ耐圧であれば、GaN デバイスのオン抵抗は Si に比べておよそ 1000 分の 1 になる。そのため、損失の少ない低オン抵抗デバイスの材料として期待できる[4]。

表 1.1.2 様々な半導体の物性値および特性指数の比較 [5-10]

	Si	GaN	4H-SiC
バンドギャップ E_g (eV)	1.1	3.39	3.26
比誘電率 ϵ (-)	11.8	9	10
電子移動度 μ ($\text{cm}^2/\text{V}\cdot\text{s}$)	1350	1200(バルク) 2000(2DEG)	700
絶縁破壊電界 E_c ($10^6\text{V}/\text{cm}$)	0.3	3.3	2
電子飽和ドリフト速度 v_s ($10^7\text{cm}/\text{s}$)	1	2.5	2
熱伝導率 κ (W/cmK)	1.5	1.3	4.5
バリガ指数 BFM (Si を 1 とする)	1	902(バルク) 1504(2DEG)	130

このような GaN の優れた物性が、GaN デバイスを使用した製品の性能向上にどのように繋がるか、図 1.1.2 にまとめた。GaN の高い絶縁破壊電界は、短い耐圧保持層でも高耐圧が得られることから、ガードリングなどの耐圧保持構造を小さくできるため、チップの面積が小さくなり、製品の小型化につながる。またドリフト長を短くできることで低オン抵抗となり、デバイス駆動時の発熱量が減る。これにより、デバイス温度を低く保つために必要であった放熱板の縮小やレス化、水冷から空冷への簡易化、空冷ファンレス化などにより、GaN デバイス周辺の部品点数やサイズが縮小し、製品全体として、小型化、低コスト化が実現できる。広いバンドギャップは高温動作を可能にし、これも放熱に関わる部品点数やサイズの縮小につながる。

また、大きな電子移動度や速い電子飽和ドリフト速度は高速スイッチングを可能にし、動作周波数の高周波化が実現できる。高周波化のメリットは、リアクトルやコンデンサといった受動部品を小型化できることにある。高周波化によりエネルギー伝達回数が増えるため、容量の小さい受動部品でも、これまでと同じ性能を実現できるためである。これらの受動部品がパワーエレクトロニクス機器の体積を占める割合は大きく、GaN デバイスを使用することで、製品全体として小型化、低コスト化が実現できる。

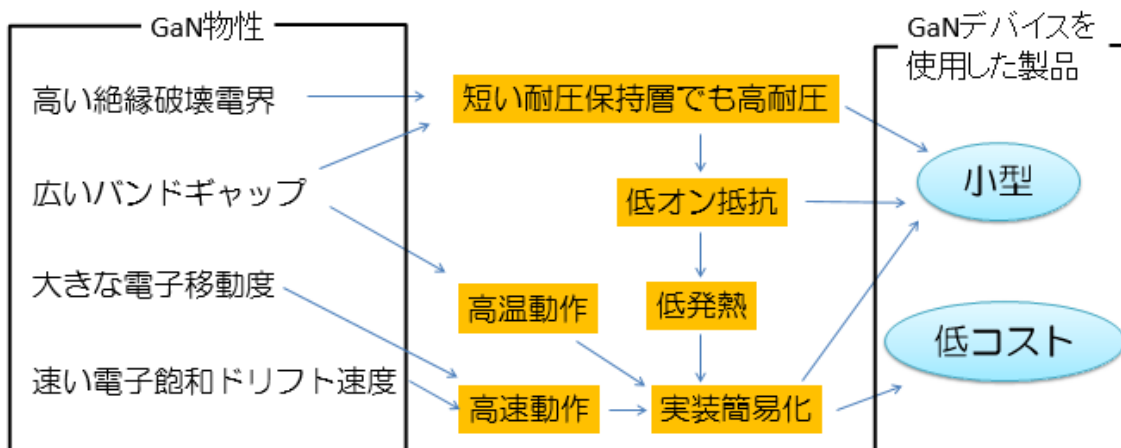


図 1.1.2 GaN 特性と GaN デバイスを使用した製品の関係

GaN は、高速通信用の半導体素子の材料として使われている GaAs と同様に、Al 混成比を変えた AlGa_N 層をエピタキシャル成長させることでヘテロ接合が容易に形成できる。たとえば、チャンネル層として GaN、その上にバリア層として AlGa_N をエピタキシャル成長させた AlGa_N/GaN は、もっとも代表的な窒化物半導体ヘテロ構造である。GaN に比べて AlGa_N の格子定数が小さいため、AlGa_N/GaN 界面にはひずみによるピエゾ電気分極 P_{PE} が生じる。また AlGa_N および GaN は結晶が非対称性であることにより、自発分極 P_{SP} が AlGa_N/GaN 界面に生じる。これらの分極により、n 型ドーパントを添加しなくても、AlGa_N/GaN 界面に 2 次元電子面 (2DEG) が自然に誘起される。GaN の 2DEG 濃度は 10¹⁴cm⁻² に達する[11]。また、電子移動度は 2,000cm²/Vs に達する。半導体ヘテロ接合に誘起された、このような高濃度、高移動度の 2DEG をチャンネルとして利用した電界効果トランジスタを、高電子移動度トランジスタ (HEMT: High Electron Mobility Transistor) と呼ぶ。HEMT の特徴としては高いスイッチング速度、大きな相互コンダクタンス、高い電流利得カットオフ周波数などがあげられ、AlGa_N/GaN HEMT の研究が盛んに行われている。また、III 属として Ga、Al の他に In も有力な材料である。電子供給層として InAlN を用いた InAlN/GaN ヘテロ構造は、AlGa_N/GaN 構造に対し 2 倍以上の高濃度の 2DEG が得られる。特に In 混成比を 17~18% とした InAlN/GaN ヘテロ接合は、互いの格子定数がマッチングしており、欠陥の起因となる歪みが小さく、デバイス信頼性を向上できる[12-16]。

高品位な GaN 自立基板の作成が困難なため、他の材料基板上に MOCVD などを用いて GaN をエピタキシャル成長させた基板が研究に用いられてきた。格子定数が GaN と近い SiC や、熱膨張係数差の小さいサファイアなどが研究用途に用いられてきたが、量産性の面では Si 基板が、ウェハコストやウェハサイズの点で優位である。Si は GaN に対し格子定数の差が大きく、反りやクラックの無い GaN on Si ウェハを得る

のは困難であったが、低温成長バッファ層や超格子レイヤを活用した技術が進展し、大口径 Si 基板上に低欠陥 GaN エピタキシャル層を成長させた GaN on Si ウェハが開発され、市販される段階に来ている。

このように実用化が期待される GaN HEMT であるが、電気特性上の課題が残されている。ここでは代表的なノーマリーオン特性、電流コラプス、ゲートリークについて述べる。

ノーマリーオン特性とは、ゲート電圧を印可していないとき、ソース・ドレイン間に電流が流れ、負のゲート電圧を印可した時に電流が遮断される特性である。それとは逆に、ゲート電圧を印可していないとき、ソース・ドレイン間に電流が流れず、正のゲート電圧を印可した時にだけ電流が流れる特性をノーマリーオフ特性という。HEMT はヘテロ接合界面に、自発的に誘起した 2DEG をチャンネルとして活用したトランジスタであるため、電圧を印可しないときは常にチャンネルが存在している。そのため GaN HEMT はノーマリーオン特性を持つ。通常パワートランジスタはフェールセーフ、すなわち故障時に安全側に動作する仕様が求められており、それを簡便な回路で実現するためには、ノーマリーオフ特性をもつ GaN HEMT が必要である。図 1.1.3 に示すように、ノーマリーオフ化の手法として、リセスゲート[17-24]、p 型 GaN ゲート[25-29]、フッ素インプラ[30,31]、カスケード接続などが知られている。

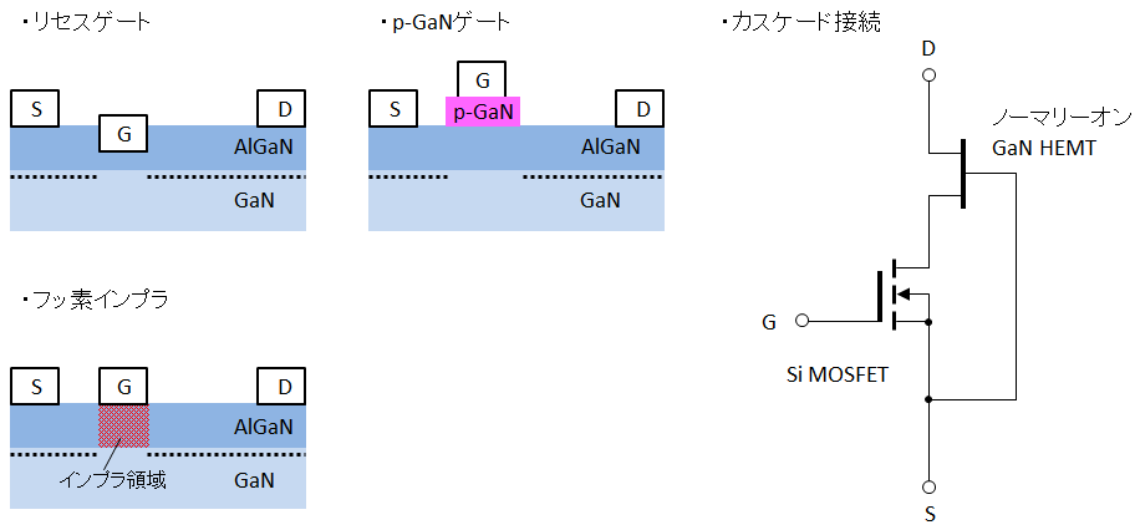


図 1.1.3 ノーマリーオフ化の手法

電流コラプスはソース・ドレイン間に大きな電圧を印加すると、印加前に比べてオン抵抗が増加し、ドレイン電流が減少する現象である。その原因は、半導体表面またはバルクに準位が存在し、高電界により電子がトラップされるためと考えられており、電界緩和を狙ったフィールドプレート構造[32-34]や、アニールによる欠陥密度の低減が報告されている。

ゲートリークはゲート電極で生じる漏れ電流であり、その対策としては、ショットキー接続のゲート電極ではなく、ゲート電極の下に絶縁膜を挟んだ金属(M)/絶縁膜(I)/半導体(S)とした MIS 構造が有力であり、ゲートリークの大幅な低減が報告されている[35,36]。

1.2 オーミック電極の課題

前節で述べたように、GaN HEMT はパワーデバイスとして非常に有望であり、ノーマリーオフ化や電流コラプス低減といった電気特性上の課題について積極的に研究がおこなわれている。その一方、GaN HEMT のオーミック電極は、十分に低い固有接触抵抗をすでに実現しているが、GaN HEMT の普及において足かせとなる課題が残されている。本節ではそれについて説明する。

GaN HEMT で使われるオーミック電極として、Au を含んだ積層金属が広く用いられており、例えば Ti/Al/Ni/Au[37-40]、Ti/Al/Ti/Au[41-43]などがあげられる。これらのオーミック電極は $10^{-6}\Omega\cdot\text{cm}^2$ 台の優れた固有接触抵抗を有している。Au はアニールによる拡散で窒化物半導体表面に到達し、窒化物半導体の欠陥を起点に内部まで拡散する。このとき Ti や Al といった仕事関数の低い金属と共に合金塊(シェル)を形成し、これが 2 次元電子面と直接接触することで低抵抗が得られると考えられている[44,45]。したがって、このようなメカニズムに成り立つオーミック電極において Au は不可欠な金属である。しかし、既存の Si デバイス製造ラインにおいて、Au は致命的な特性不良を引き起こす重金属汚染物質である。Au は Si 基板に容易に拡散し、Si MOSFET を代表とする Si デバイスの耐圧低下、リーク、閾値電圧の変動を引き起こすためである。そのため既存の Si デバイス製造ラインでは Au は厳しく制限されており、Au 含有電極を用いた GaN HEMT を製造することができないため、Si MOSFET の製造を止めて GaN HEMT 専用のラインに切り替えるか、新たにラインを新設するほかない。その場合、経営リスクや初期投資の負担が大きく GaN HEMT の量産化、普及の足かせとなってしまう。Au を含まない GaN HEMT が実用化されれば、既存の Si デバイス製造ラインを活用することで投資負担が減り、なおかつ Si 製品とウェハサイズを合わせた GaN on Si ウェハを使用することで混流生産も可能となり、経営リスクが低減できる。したがって GaN HEMT の実用化に向けて、Au フリーオーミック電極の開発は取り組むべき課題として挙げられる。

Au 含有電極にはもう一つの問題があり、それはアニール温度の高さである。通常、Au を含んだオーミック電極のアニール温度は $800\sim 900^\circ\text{C}$ であり、そのような高温アニールは窒化物半導体に窒素空孔を生じさせる[46]ことで HEMT の特性へ悪影響を及ぼす。特に In 系半導体の場合、 800°C 以上のアニールで移動度が低下するなど、2DEG の特性悪化が報告されている[47]。アニール温度の低下は、プロセスコスト、ス

ループットの面においても、好ましい。したがってアニール温度の低いオーミック電極の開発は、2つ目の取り組むべき課題として挙げられる。

1.3 本研究の目的

本論文では、GaNパワーデバイスのさらなる普及のため、Auを含まず、アニール温度が低く、かつ従来のAu含有電極と同水準である $10^{-6}\Omega\cdot\text{cm}^2$ 台の固有接触抵抗を有するオーミック電極の開発を目的とし、オーミック界面の形成メカニズムや電子伝導メカニズムの解明、およびその電極を用いたHEMTに関する研究を行う。

1.4 本研究の構成

本論文は以下の各章から成る。

第2章では、窒化物半導体へのオーミック接触に関する理論と、試料作製および評価に用いた技術について説明する。

第3章では、AlGaN/GaNヘテロ構造上のAuフリー電極について述べる。特に、電極を構成する各金属の役割とアニールで起きる現象について報告し、オーミック界面の形成メカニズムを提案する。

第4章はInAlN/AlN/GaNヘテロ構造上のAuフリー電極について述べる。特に、リセスオーミック構造における、リセス深さと電子伝導メカニズムの関係について報告する。

第5章は、本研究で開発したオーミック電極を適用したAlGaN/GaN HEMTの特性について報告する。

第6章では、本論文の総括およびGaNデバイスの課題と展望について述べる。

参考文献

- [1] 東芝レビューVol.55 No.7(2000)「パワーエレクトロニクス技術の動向」
www.fhiroze.yz.yamagata-u.ac.jp/img/power12.pdf
- [2] T. Kobayashi, H. Abe, Y. Niimura, T. Yamada, A. Kurosaki, T. Hosen, and T. Fujihira, “High-voltage power MOSFETs reached almost to the silicon limit.” *Power Semiconductor Devices and ICs, 2001. ISPSD'01. Proceedings of the 13th International Symposium*, 435-438, IEEE, 2001.
- [3] 富士経済 プレスリリース 第 18023 号「2018 年版 次世代パワーデバイス & パワエレ 関連機器市場の現状と将来展望」
www.group.fuji-keizai.co.jp/press/pdf/180309_18023.pdf
- [4] J. R. Cooper, A. James, and A. Agarwal. "SiC power-switching devices—The second electronics revolution." *Proceedings of the IEEE*, 90.6, 2002.
- [5] H. Okumura, “Present status and future prospect of widegap semiconductor high-power devices.” *Jpn. J. Appl. Phys.* **45**(10A), 7565-7586, 2006.
- [6] U. K. Mishra, L. Shen, T.E. Kazior, and Y. F. Wu, “GaN-Based RF power devices and amplifiers“ *Proc. IEEE*, **96**(2), 287-305, 2008.
- [7] S. Fujita, “Wide-bandgap semiconductor materials: For their full bloom” *Jpn. J. Appl. Phys.* **54**(3), 030101-1-030101-12, 2015.
- [8] 大橋 弘道、葛原 正明 編著 「半導体デバイスシリーズ④ パワーデバイス」 丸善出版株式会社、2011.
- [9] 長谷川 文夫、吉川 明彦 編著 「ワイドバンドギャップ半導体 光・電子デバイス」 森北出版株式会社、2006.
- [10] 特許庁:平成 26 年度 特許出願技術動向調査報告書 パワー半導体デバイス
- [11] K. S. Im, J. B. Ha, K. W. Kim, J. S. Lee, D. S. Kim, S. H. Hahm, and J. H. Lee, “Normally off GaN MOSFET based on AlGaIn/GaN heterostructure with extremely high 2DEG density grown on silicon substrate.” *IEEE Electron Device Letters*, **31**(3), 192-194, 2010.
- [12] J. Kuzmík, “Power electronics on InAlN/(In)GaN: Prospect for a record performance." *IEEE Electron Device Lett.* **22**, 510, 2001.
- [13] A. Watanabe, J. J. Freedsmen, R. Oda, T. Ito, and T. Egawa, “Characterization of InAlN/GaN high-electron-mobility transistors

- grown on Si substrate using graded layer and strain-layer superlattice." *Appl. Phys. Express* **7** 041002, 2014.
- [14] J. Kuzmík, A. Kostopoulos, G. Konstantinidis, J. F. Carlin, A. Georgakilas, and D. Pogany, "InAlN/GaN HEMTs: a first insight into technological optimization" *IEEE Trans. Electron Devices* **53**, 422, 2006.
- [15] J. Joh and J. A. del Alamo, "Mechanisms for electrical degradation of GaN high-electron mobility transistors." *IEEE Int. Electron Devices Meet.* **2006**, 1.
- [16] J. Joh, L. Xia, and J. A. del Alamo, "Gate current degradation mechanisms of GaN high electron mobility transistors." *IEEE Int. Electron Devices Meet.* **2007**, 385.
- [17] D. Qiao, L. S. Yu, L. Jia, P. M. Asbeck, S. S. Lau, and T. E. Haynes, "Transport properties of the advancing interface ohmic contact to AlGaIn/GaN heterostructures." *Appl. Phys. Lett.* **80**(6), 992-994, 2002.
- [18] J. Zhang, L. Wang, Q. Wang, Y. Jiang, L. Li, H. Zhu, and J. P. Ao, "Plasma-assisted ohmic contact for AlGaIn/GaN heterostructure field-effect transistors." *Semicond. Sci. Technol.* **31**(3), 035015, 2016.
- [19] D. W. Seo, H. G. Choi, J. Twynam, K. M. Kim, J. S. Yim, S. W. Moon, S. Jung, J. Lee, and S. D. Roh, "600 V-18 A GaN Power MOS-HEMTs on 150 mm Si Substrates With Au-Free Electrodes." *IEEE Electron Device Lett.* **35**(4), 446-448, 2014.
- [20] L. Wang, J. Zhang, L. Li, Y. Maeda, and J. P. Ao, "Plasma-assisted surface treatment for low-temperature annealed ohmic contact on AlGaIn/GaN heterostructure field-effect transistors" *Chin. Phys. B*, **26**(3), 037201, 2017.
- [21] J. Zhang, S. Huang, Q. Bao, X. Wang, K. Wei, Y. Zheng, Y. Li, C. Zhou, X. Liu, Q. Zhou, W. Chen, and B. Zhang, "Mechanism of Ti/Al/Ti/W Au-free ohmic contacts to AlGaIn/GaN heterostructures via pre-ohmic recess etching and low temperature annealing." *Appl. Phys. Lett.* **107**(26), 262109, 2015.
- [22] D. H. Zadeh, S. Tanabe, N. Watanabe, and H. Matsuzaki, "Characterization of interface reaction of Ti/Al-based ohmic contacts on AlGaIn/GaN epitaxial layers on GaN substrate." *Jpn. J. Appl. Phys.* **55**(5S), 05FH06, 2016.
- [23] S. Arulkumaran, N. Geok, V. Sahmuganathan, L. Zhihong, and B. Maung, "Improved recess - ohmics in AlGaIn/GaN high - electron -

- mobility transistors with AlN spacer layer on silicon substrate.” *Physic. Status Solidi (c)*, **7**(10), 2412-2414, 2010.
- [24] M. Fagerlind and N. Rorsman, “Optimization of recessed ohmic contacts for AlGa_N/AlN/GaN heterostructures using C (V) characterization of MSHM structures.” *Phys. Status Solidi (c)*, **8**(7-8), 2204-2206, 2011.
- [25] Y. Uemoto, M. Hikita, H. Ueno, H. Matsuo, H. Ishida, M. Yanagihara, T. Ueda, T. Tanaka and D. Ueda, “Gate Injection Transistor (GIT) - A Normally-Off AlGa_N/GaN Power Transistor Using Conductivity Modulation” *IEEE Trans. on Electron Devices*, **54**(12), 3393, 2007.
- [26] T. F. Chang, T. C. Hsiao, C. F. Huang, W. H. Kuo, S. F. Lin, G. S. Samudra, and Y. C. Liang, “Phenomenon of drain current instability on p-GaN gate AlGa_N/GaN HEMTs.” *IEEE Transactions on Electron Devices*, **62**(2), 339-345, 2015.
- [27] N. Tsuyukuchi, K. Nagamatsu, Y. Hirose, M. Iwaya, S. Kamiyama, H. Amano, and I. Akasaki, “Low-leakage-current enhancement-mode AlGa_N/GaN heterostructure field-effect transistor using p-type gate contact.” *Jpn. J. Appl. Phys.* **45**(3L), L319, 2006.
- [28] H. Wang, J. Wei, R. Xie, C. Liu, G. Tang, and K. J. Chen, “Maximizing the performance of 650-V p-GaN gate HEMTs: Dynamic RON degradation and circuit design considerations.” *IEEE Trans. Power Electron*, **32**(7), 5539-5549, 2017.
- [29] A. N. Tallarico, S. Stoffels, P. Magnone, N. Posthuma, E. Sangiorgi, S. Decoutere, and C. Fiegna, “Investigation of the p-GaN gate breakdown in forward-biased GaN-based power HEMTs.” *IEEE Electron Device Letters*, **38**(1), 99-102, 2017.
- [30] K. J.Chen, and C. Zhou, “Enhancement - mode AlGa_N/GaN HEMT and MIS - HEMT technology.” *physica status solidi (a)*, **208**(2), 434-438, 2011.
- [31] F. Tang, K. B. Lee, I. Guiney, M. Frentrup, J. S. Barnard, G. Divitini, Z. H. Zaidi, T. L. Martin, P. A. Bagot, M. P. Moody, C. J. Humphreys, P. A. Houston, R. A. Oliver, and D. J. Wallis, “Nanoscale structural and chemical analysis of F-implanted enhancement-mode InAlN/GaN heterostructure field effect transistors.” *J. Appl. Phys.* **123**(2), 024902, 2018.
- [32] Y. Dora, A. Chakraborty, L. McCarthy, S. Keller, S. P. DenBaars, and U. K. Mishra, “High breakdown voltage achieved on AlGa_N/GaN HEMTs

- with integrated slant field plates.” *IEEE Electron Device Letters*, **27**(9), 713-715, 2006.
- [33] W. Saito, T. Nitta, Y. Kakiuchi, Y. Saito, K. Tsuda, I. Omura, and M. Yamaguchi, “Suppression of dynamic on-resistance increase and gate charge measurements in high-voltage GaN-HEMTs with optimized field-plate structure.” *IEEE transactions on electron devices*, **54**(8), 1825-1830, 2007.
- [34] H. Xing, Y. Dora, A. Chini, S. Heikman, S. Keller, and U. K. Mishra, “High breakdown voltage AlGaIn-GaN HEMTs achieved by multiple field plates.” *IEEE Electron Device Letters*, **25**(4), 161-163, 2004.
- [35] J. J. Freedman, A. Watanabe, T. Ito, and T. Egawa, “Recessed gate normally-OFF Al₂O₃/InAlN/GaN MOS-HEMT on silicon.” *Appl. Phys. Express*, **7**(10), 104101, 2014.
- [36] T. Kubo, J. J. Freedman, Y. Yoshida, and T. Egawa, “Effects of process temperature during atomic layer deposition using water and ozone as oxidants on current-voltage characteristics of Al₂O₃/AlGaIn/GaN high-electron-mobility transistors on Si substrates.” *Jpn. J. Appl. Phys.* **54**(2), 020301. 2015.
- [37] S. Ruvimov, Z. L. Weber, J. Washburn, K. J. Duxstad, E. E. Haller, Z. F. Fan, S. N. Mohammad, W. Kim, A. E. Botchkarev, and H. Morkoc, “Microstructure of Ti/Al and Ti/Al/Ni/Au Ohmic contacts for n - GaN.” *Appl. Phys. Lett.* **69**(11), 1556-1558, 1996.
- [38] Q. Feng, L. M. Li, Y. Hao, J. Y. Ni, and J. C. Zhang, “The improvement of ohmic contact of Ti/Al/Ni/Au to AlGaIn/GaN HEMT by multi-step annealing method.” *Solid-State Electronics*, **53**(9), 955-958, 2009.
- [39] F. Roccaforte, F. Iucolano, F. Giannazzo, A. Alberti, and V. Raineri, “Nanoscale carrier transport in Ti/Al/Ni/Au Ohmic contacts on AlGaIn epilayers grown on Si (111).” *Appl. Phys. Lett.* **89**(2), 022103, 2006.
- [40] L. Zhou, J. H. Leach, X. Ni, H. Morkoç, and D. J. Smith, “Ti/Al/Ni/Au Ohmic contacts for AlInN/AlN/GaN-based heterojunction field-effect transistors.” *J. Appl. Phys.* **107**(1), 014508, 2010.
- [41] A. Motayed, R. Bathe, M. C. Wood, O. S. Diouf, R. D. Vispute, and S. N. Mohammad, “Electrical, thermal, and microstructural characteristics of Ti/Al/Ti/Au multilayer Ohmic contacts to n-type GaN.” *J. Appl. Phys.* **93**(2), 1087-1094, 2003.

- [42] J. A. Bardwell, G. I. Sproule, Y. Liu, H. Tang, J. B. Webb, J. Fraser, and P. Marshall, "Comparison of two different Ti/Al/Ti/Au ohmic metallization schemes for AlGa_N/Ga_N." *J. Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena*, **20**(4), 1444-1447, 2002.
- [43] J. Chen, D. G. Ivey, J. Bardwell, Y. Liu, H. Tang, and J. B. Webb, "Microstructural analysis of Ti/Al/Ti/Au ohmic contacts to n-AlGa_N/Ga_N." *J. Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, **20**(3), 1004-1010, 2002.
- [44] L. Wang, F. M. Mohammed, and I. Adesida, "Formation mechanism of Ohmic contacts on Al Ga N / Ga N heterostructure: Electrical and microstructural characterizations." *J. Appl. Phys.* **103**(9), 093516, 2008.
- [45] X. Kong, K. Wei, G. Liu, and X. Liu, "Role of Ti/Al relative thickness in the formation mechanism of Ti/Al/Ni/Au Ohmic contacts to AlGa_N/Ga_N heterostructures." *J. Phys. D: Appl. Phys.* **45**(26), 265101, 2012.
- [46] M. G. Ganchenkova, and R. M. Nieminen, "Nitrogen Vacancies as Major Point Defects in Gallium Nitride." *Phys. Review Lett.* **96**, 196402, 2006.
- [47] A. Watanabe, J. J. Freedman, Y. Urayama, D. Christy, and T. Egawa, "Thermal stability of an InAlN/GaN heterostructure grown on silicon by metal-organic chemical vapor deposition" *J. Appl. Phys.* **118**, 235705, 2015.

第 2 章 窒化物半導体へのオーミック接触に関する理論 およびその応用技術

2.1 金属と n 型半導体の接合

本節では、金属と n 型半導体の接合を説明し、オーミック特性を得る手法について述べる。

半導体から電流を取り出すためには、半導体に金属を接合すればよいが、ほとんどの場合、金属と半導体の接合ではショットキーダイオードが形成され、整流性を示す。金属と n 型半導体を理想的な状態で接触させ、熱平衡状態となった時のエネルギーバンドが図 2.1.1 である。理想的な状態とは、自然酸化膜といった不純物や、界面におけるダングリングボンド、結晶欠陥などによる界面準位の無い状態を意味する。図 2.1.1 に示すように、半導体と金属の界面にはバリアハイト ϕ_B のエネルギー障壁が存在し、電子の移動が妨げられる。理想的な接合では

$$\phi_B = \phi_M - \chi_S \quad (2.1.1)$$

であり、 ϕ_M は金属の仕事関数、 χ_S はコンダクションバンド下端と真空準位との間のエネルギー差(電気親和力)である。半導体側には幅 W の空乏層が広がっている。熱平衡状態で金属と半導体の間に生じる電位差 ϕ_D は

$$\phi_D = \phi_M - \phi_S \quad (2.1.2)$$

で表され、 ϕ_S は半導体の仕事関数である。n 型半導体の場合、図 2.1.2 に示すように、 $\phi_M > \phi_S$ のとき整流特性が、 $\phi_M < \phi_S$ のときオーミック特性が現れる。したがって、仕事関数の低い金属を選定し $\phi_M < \phi_S$ となる接合を得ればよいのであるが、現実的には極めて困難である。実験で測定されるバリアハイトは、ほとんどの場合上記の理論値と一致せず、n 型 Si の場合 0.6eV 前後で固定され[1,2]、ピンニング現象と呼ばれている。ピンニング現象が起こる原因は、金属と n 型半導体の界面が理想的な状態ではないためと考えられている。すなわち、実デバイスにおいて、自然酸化膜や界面準位を完全に排除できないために、理想的な振る舞いから乖離すると考えられている。また、金属と半導体の接合界面においては何らかの合金層や遷移層ができるため、接合の理解はさらに複雑なものとなる。

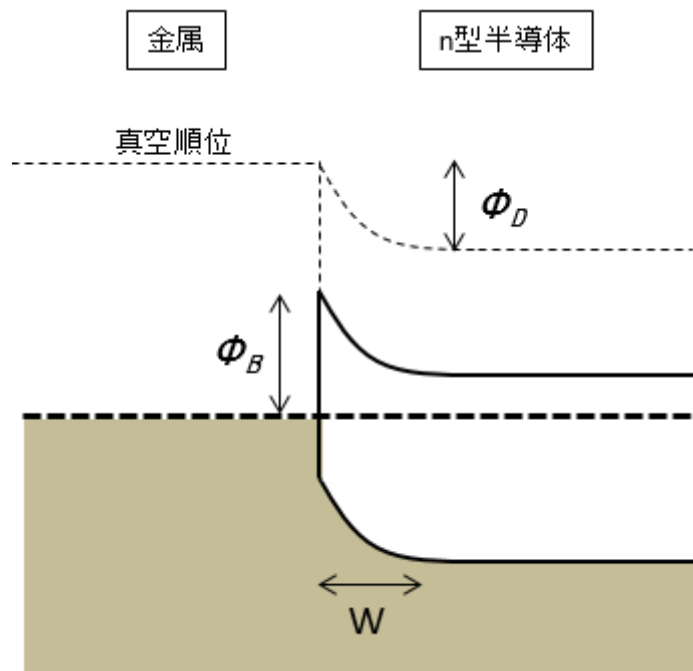


図 2.1.1 金属/n型半導体接合の熱平衡状態

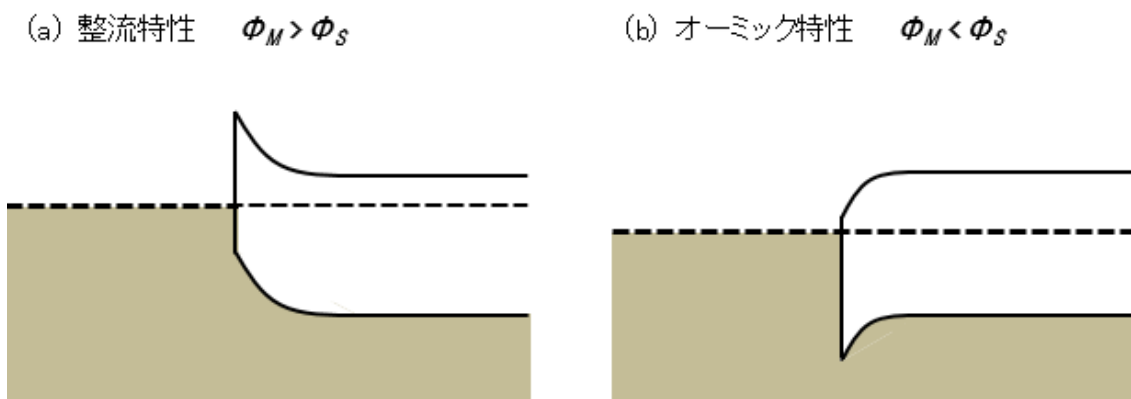


図 2.1.2 整流特性とオーミック特性

オーミック特性を得るため、Si の場合は一般的に不純物のドーピングが行われている。ドーピング濃度を $10^{20}/\text{cm}^3$ のオーダーまで高くすると、半導体に生じる空乏層を極めて薄くすることができ、トンネル効果により電子が障壁を通過できるようになる。ショットキー障壁自体を無くせないため、トンネル効果が起きる程度まで障壁を薄くしてオーミック特性を得る手法である。GaN においても同様のアプローチが有効であるが、特に HEMT の場合、2DEG の特性向上のためバリア層をノンドープとする場合が多く、電極下部だけにドーピングする手法や、 $n^+\text{GaN}$ を選択的に再成長させる手法が提案されている。

バンドープバリア層にオーミック電極を形成する場合は、仕事関数の小さい Al を中心とした複数の金属を積層し、各金属の膜厚やアニール条件を最適化することでオーミック界面の形成が試みられている。

2.2 電子伝導モデル

金属と半導体の界面に生じるエネルギー障壁を電子が通過する機構は大きく 2 つに分けられる。熱エネルギーにより障壁を乗り越える熱拡散と、量子力学的効果により障壁を透過するトンネリングである。またそれらの双方が電子伝導に同時に寄与する場合がある。本節では金属と半導体の界面における電子伝導モデルについて説明する。

2.2.1 熱電子放出モデル

図 2.1.1 に示した金属/n 型半導体接合において、バリアハイト ϕ_B を超える大きなエネルギーを持つ電子は、ショットキー障壁を乗り越えて接合を流れることができる。このような電子伝導を熱電子放出 (TE: Thermionic Emission) という。

金属から半導体に向かって、 ϕ_B (単位: eV) を超える大きなエネルギーを持つ電子の電流密度 J_1 は、金属中の電子密度 n_M および電子の有効質量 m^* を用いて、

$$J_1 = en_M \left(\frac{m^*}{2\pi kT} \right)^{\frac{1}{2}} \exp \left(-\frac{e\phi_B}{kT} \right) \quad (2.2.1.1)$$

と表される。反対に半導体から金属への電流 J_2 は、

$$J_2 = A^* T^2 \exp \left(-\frac{e\phi_B}{kT} \right) \exp \left(\frac{eV}{kT} \right) \quad (2.2.1.2)$$

で表される。ここで、

$$A^* = \frac{4\pi e m^* k^2}{h^3} \quad (2.2.1.3)$$

をリチャードソン定数という。V=0 の場合、 $J_1=J_2$ となることから、

$$en_M \left(\frac{m^*}{2\pi kT} \right)^{\frac{1}{2}} = A^* T^2 \quad (2.2.1.4)$$

が成り立ち、 J_1 は、

$$J_1 = A^*T^2 \exp\left(-\frac{e\phi_B}{kT}\right) \quad (2.2.1.5)$$

と書き直すことができる。電圧 V によりショットキー界面を流れる電流 J は、

$$J = J_2 - J_1 = A^*T^2 \exp\left(-\frac{e\phi_B}{kT}\right) \left\{ \exp\left(\frac{eV}{kT}\right) - 1 \right\} \quad (2.2.1.6)$$

と表される。固有接触抵抗 ρ_c は、

$$\rho_c^{-1} = \left(\frac{dJ}{dV}\right)_{V \rightarrow 0} \quad (2.2.1.7)$$

で求められ、

$$\rho_c = \frac{k}{eA^*T} \exp\left(\frac{e\phi_B}{kT}\right) \quad (2.2.1.8)$$

となる。これが熱電子放出モデルにおける ρ_c の式となる。

2.2.2 電界放出モデル

半導体の不純物濃度が十分に高い場合、ショットキー界面において空乏層幅が縮まることでポテンシャル障壁が薄くなり、トンネル効果により電子が障壁を通過して電流が流れだす。このような電子伝導を電界放出 (FE: Field Emission) という。

トンネル効果による電流密度は、トンネル確率と電子のエネルギー分布の積を取り、エネルギーで積分することで得られ、式(2.2.1.7)を用いて固有接触抵抗 ρ_c を求めると以下のように求まる[3]。

$$\rho_c = \left[\frac{A^* \pi e T}{k \sin(\pi c_1 k T)} \exp\left(-\frac{e\phi_B}{E_{00}}\right) - \frac{A^* c_1 e}{(c_1 k)^2} \exp\left(-\frac{e\phi_B}{E_{00}} - e c_1 E_n\right) \right]^{-1} \quad (2.2.2.1)$$

ここで

$$c_1 = -\frac{\ln^4 \frac{\phi_B}{E_n}}{2E_{00}} \quad (2.2.2.2)$$

$$E_{00} = \frac{e\hbar}{2} \left(\frac{N_D}{m^* \varepsilon}\right)^{\frac{1}{2}} \quad (2.2.2.3)$$

であり、 ε は比誘電率、 N_D は不純物濃度、 E_n (単位:eV)はコンダクションバンド下端とフェルミ準位とのエネルギー差である。

2.2.3 熱電界放出モデル

TE モデルと FE モデルのどちらでショットキー界面を電流が流れるかはポテンシャル障壁の幅によって決まる。ポテンシャル障壁が厚ければ TE モデル、薄ければ FE モデルとなるが、双方のモデルが同時に伝導に寄与する中間領域がある。中間領域では、図 2.2.3.1 中央に示すように、ある程度のエネルギーを持った電子が、トンネル効果によってエネルギー障壁を通過する。このような伝導モデルを熱電界放出モデル (TFE: Thermionic Field Emission) と呼び、固有接触抵抗 ρ_c は、

$$\rho_c = \frac{k^2}{qA^*} \frac{\cosh\left(\frac{E_{00}}{kT}\right) \sqrt{\coth\left(\frac{E_{00}}{kT}\right)}}{\sqrt{\pi(\phi_B + E_n)E_{00}}} \exp\left(\frac{e(\phi_B + E_n)}{E_0} - \frac{eE_n}{kT}\right) \quad (2.2.3.1)$$

と書き表される[3]。

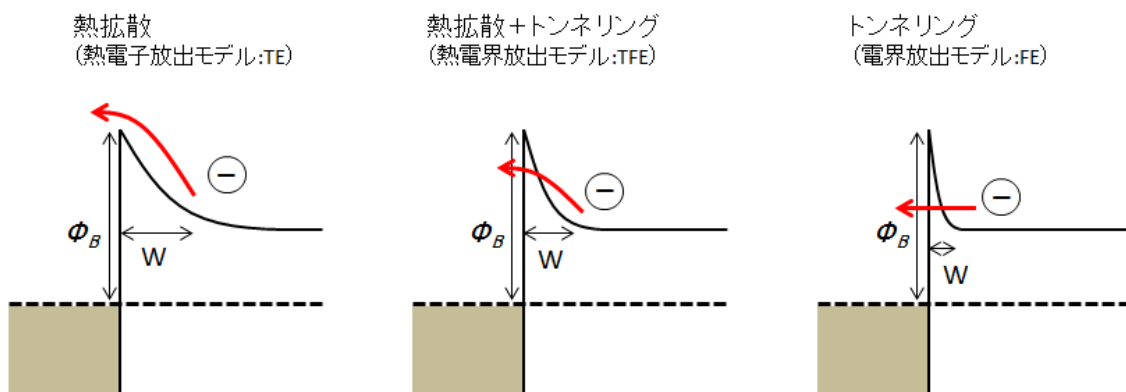


図 2.2.3.1 電子伝導モデルの概略図

2.3 試料作製方法および評価技術

2.3.1 TLM

オーミック電極の性能は固有接触抵抗 ρ_c で表される。固有接触抵抗の測定には TLM (Transmission Line Model)法が広く用いられている。図 2.3.1.1 に示すように直線状の電極が並ぶパターンと、円形電極を用いるパターンがあるが、いずれも電極間距離(図に示した $L_1 \sim L_3$)の異なる電極パターンを形成し、電極間の抵抗を測定する点で共通である。円形パターンの場合、必要な面積が大きくなる傾向があるが、アイ

ソレーションが不要になる点、図 2.3.1.1 のライン TLM に示した迂回電流の影響を回避できる点で利点がある。

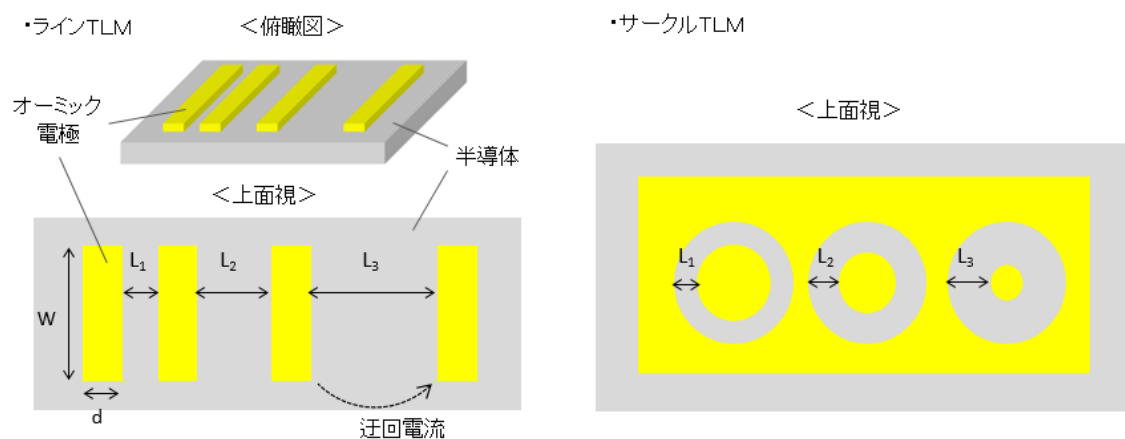


図 2.3.1.1 TLM の種類

抵抗測定は図 2.3.1.2 のように 4 端子法を用いて行う。電圧を印可し電流測定を行う 2 端子と、電圧測定を行う 2 端子に分けることで、プローブと電極間で生じる接触抵抗や配線抵抗といった寄生抵抗の影響を排し、測定精度を高めることができる。本研究では、タングステンの探針を用い Agilent 社製の半導体パラメータアナライザ 4156C を用いて、電極パッド間の I-V 特性を測定した。

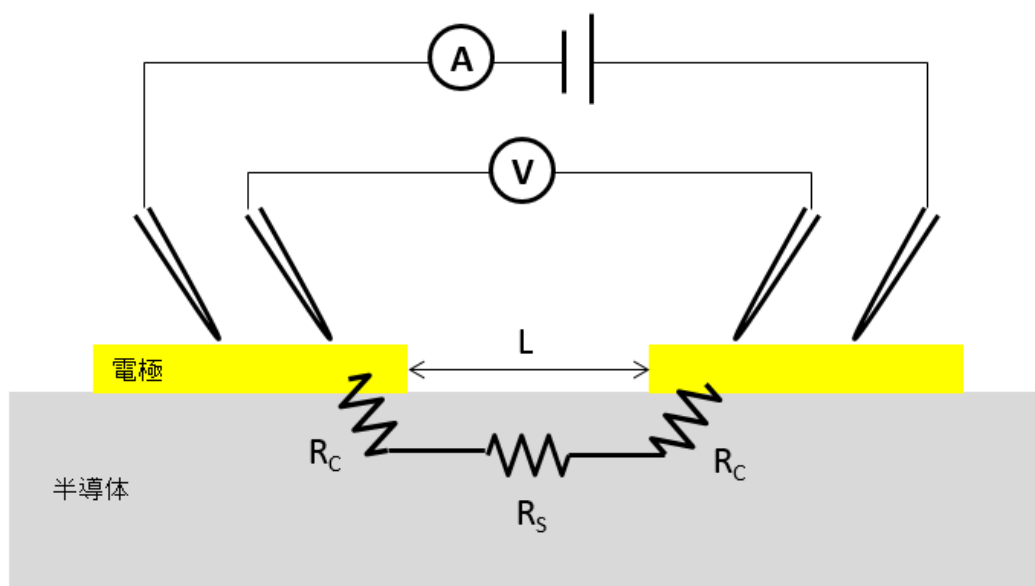


図 2.3.1.2 抵抗の測定系

ρ_c の導出をライン TLM の場合で説明する。抵抗測定で得られる総抵抗 R_{total} は、図 2.3.1.2 で表すように、コンタクト抵抗 R_c と半導体の抵抗 R_s を用いて

$$R_{total} = 2R_c + R_s \quad (2.3.1.1)$$

となる。 R_s は電極間距離 L に比例し、電極幅 W に反比例することから、半導体のシート抵抗 R_{sh} を用いて

$$R_s = \frac{R_{sh}L}{W} \quad (2.3.1.2)$$

と表される。つぎに、 R_c について考察するため、図 2.3.1.3 のような伝送回路図を考える。図に示した横向きの素抵抗 r_h は電極下の半導体のシート抵抗 R_{SK} と微小距離 dx を用いて、

$$r_h = \frac{R_{SK}dx}{W} \quad (2.3.1.3)$$

と表される。図 2.3.1.3 に示した縦向き素抵抗 r_v は電極幅 W および dx に反比例す

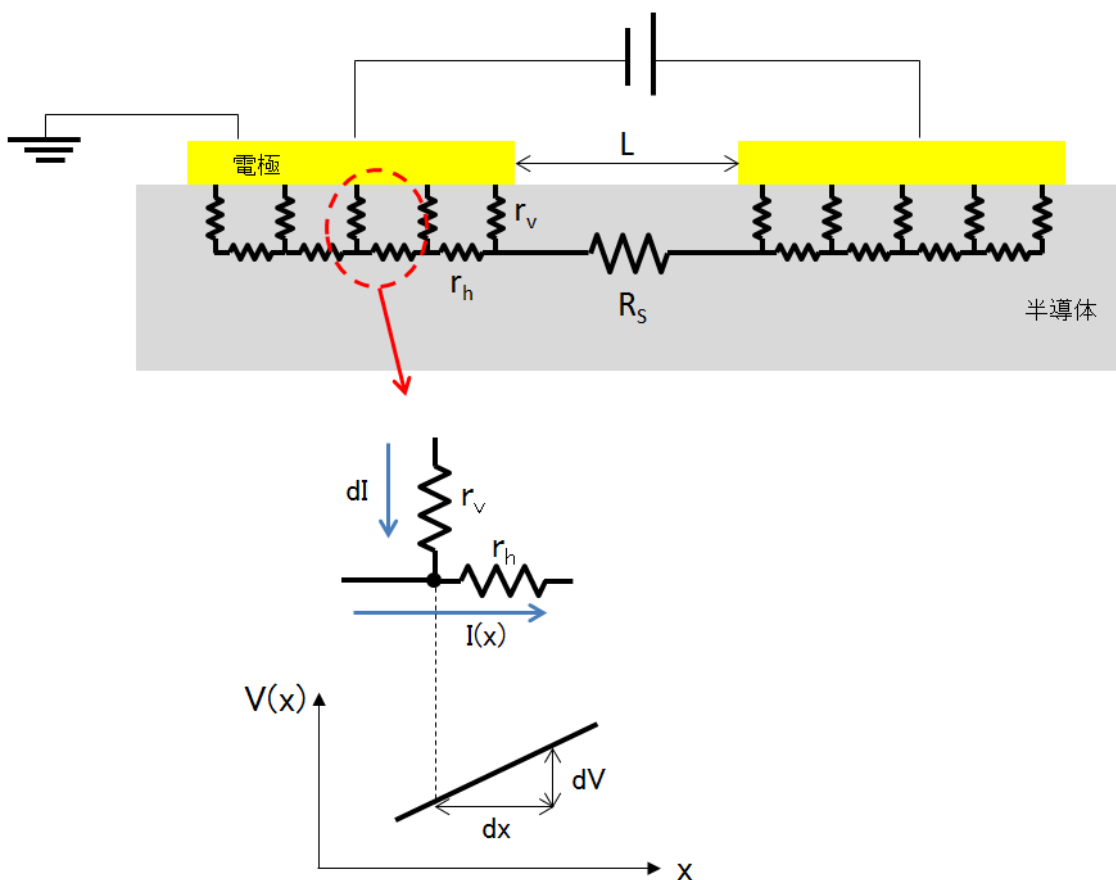


図 2.3.1.3 伝送回路図

ることから、固有接触抵抗 ρ_c を用いて、

$$r_v = \frac{\rho_c}{W dx} \quad (2.3.1.4)$$

と表される。ここで図 2.3.1.3 下部に示した微小区間モデルにおいて、オームの法則により

$$dV = I(x)r_h \quad (2.3.1.5)$$

が成り立ち、式(2.3.1.3)を代入すると

$$\frac{dV}{dx} = \frac{R_{SK}}{W} I(x) \quad (2.3.1.6)$$

が得られる。同様に微小区間モデルにおいてオームの法則により

$$dI = \frac{V(x)}{r_v} \quad (2.3.1.7)$$

が成り立ち、式(2.3.1.4)を代入すると

$$\frac{dI}{dx} = \frac{W}{\rho_c} V(x) \quad (2.3.1.8)$$

が得られる。これを微分し式(2.3.1.6)を代入すると

$$\frac{d^2 I}{dx^2} = \frac{W}{\rho_c} \frac{dV(x)}{dx} = \frac{R_{SK}}{\rho_c} I(x) \quad (2.3.1.9)$$

となる。ここで電流 $I(x)$ が指数関数的に増加する場合、 $I(x)$ は

$$I(x) = A e^{\frac{x}{L_T}} \quad (2.3.1.10)$$

と表される。伝搬長 L_T は $I(x)$ が $1/e$ に減衰する距離、 A は任意の定数である。式(2.3.1.10)を2回微分すると

$$\frac{d^2 I}{dx^2} = \frac{1}{L_T^2} A e^{\frac{x}{L_T}} = \frac{1}{L_T^2} I(x) \quad (2.3.1.11)$$

となり、式(2.3.1.9)と式(2.3.1.11)から

$$L_T = \sqrt{\frac{\rho_c}{R_{SK}}} \quad (2.3.1.12)$$

となる。電流は電極端から L_T の範囲でしか流れないとすると、電流の流れる面積は $L_T \times W$ であり、定義により

$$R_C = \frac{\rho_c}{L_T W} \quad (2.3.1.13)$$

と表され、式(2.3.1.12)を用いて ρ_c を消すと

$$R_C = \frac{R_{SK}L_T}{W} \quad (2.3.1.14)$$

となる。式(2.3.1.1)に式(2.3.1.2)と式(2.3.1.14)を代入すると

$$R_{total} = \frac{2R_{SK}L_T}{W} + \frac{R_{sh}L}{W} \quad (2.3.1.15)$$

となる。ここで R_{SK} が R_{sh} と変わらないと仮定すると、

$$R_{total} = \frac{R_{sh}}{W} (2L_T + L) \quad (2.3.1.16)$$

が得られる。

TLM の電極パターンにて異なる L をもつ電極間抵抗 R_{total} を求め、横軸 L 、縦軸 R_{total} でプロットすると、図 2.3.1.4 のようなグラフが得られる。式(2.3.1.16)から明らかなように、傾きは R_{sh}/W であり、 W が既知であることから R_{sh} が求まる。また x 切片は $-2L_T$ であるので L_T が求まる。式(2.3.1.12)を変形すると

$$\rho_C = R_{sh}L_T^2 \quad (2.3.1.17)$$

と表されるため、 R_{sh} と L_T を代入して ρ_C が求まる。

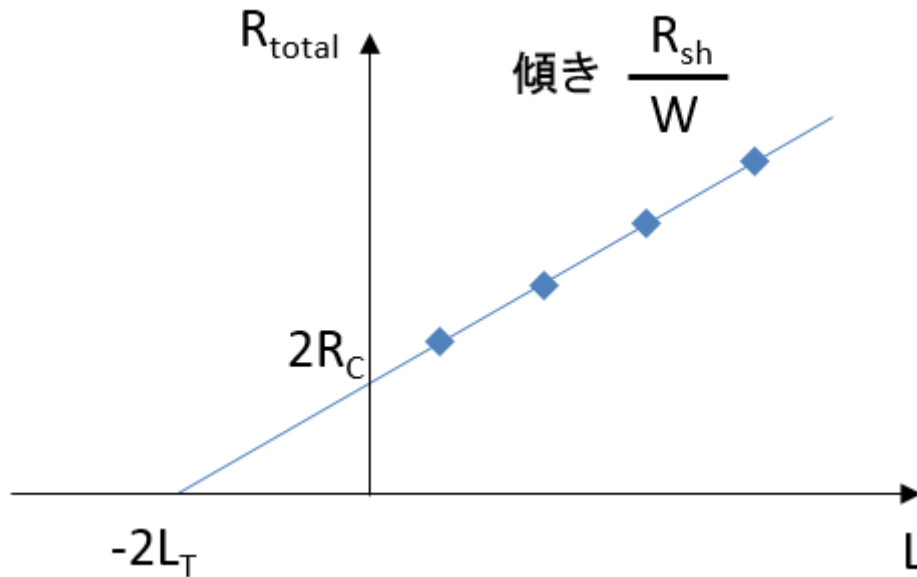


図 2.3.1.4 電極間距離 L と電極間抵抗 R_{total} の関係

測定例を図 2.3.1.5 に示す。良好なオーミック電極の場合、図 2.3.1.5(a)のように電極間距離に応じた傾きをもった線形なデータが得られる。算出した抵抗を図 2.3.1.5(b)のように横軸を電極間距離でプロットするとほぼ直線に並び、最小二乗法で求めた 1 次関数より、 R_{sh} および ρ_c を求める。

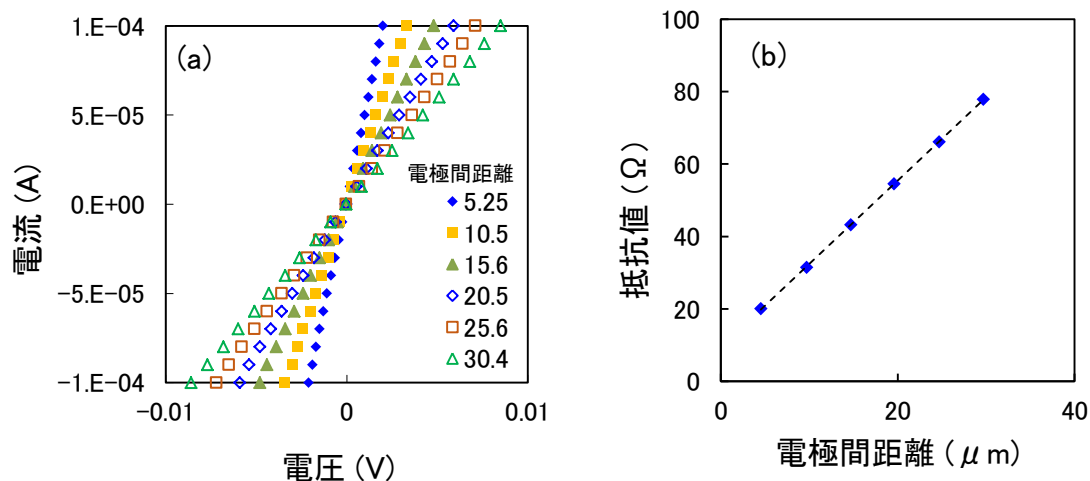


図 2.3.1.5 TLM 測定データの例

本研究で用いた TLM 作成プロセスについて図 2.3.1.6 を用いながら説明する。最初にチップを 6 インチウェハから切り出すため、Si 基板にレーザーマーキングを用いて直線状の破碎層を形成し、マニュアルで劈開を行った。次に行うアイソレーションは、 ρ_c の測定精度を低下させる迂回電流を防ぐために、不要な AlGaIn/GaN をエッチングで除去する工程である。エッチングには RIE ドライエッチング装置を用い、図 2.3.1.6 に示した条件にて処理した。オーミック電極を成膜する前に、塩酸に 1 分間つけて自然酸化膜の除去を行ったのち、純水洗浄、N₂ ブロー乾燥し、速やかにスパッタ装置の真空チャンバに投入することで、自然酸化膜の形成を抑えた。多層金属の成膜は、真空チャンバ内で真空を破らずに連続的に行った。スパッタリングの条件を表 2.3.1.1 にまとめる。電極のパターン形成はリフトオフ法を用いた。リフトオフ法は、レジストパターンを形成したうえで、金属成膜を行い、その後にレジストを除去することで、レジスト上の金属を除去し、レジストの無かった領域に金属パターンを残す手法である。最後にアニーリングはランプアニール装置を用い、残留酸素による酸化を防ぐため 1Pa まで真空引き→窒素充填を 2 回繰り返したのち窒素雰囲気にて処理を行った。TLM での ρ_c 算出において電極間距離は重要なパラメータであるため、今回試作した全ての試料において SEM による測長を行い、算出に使用した。

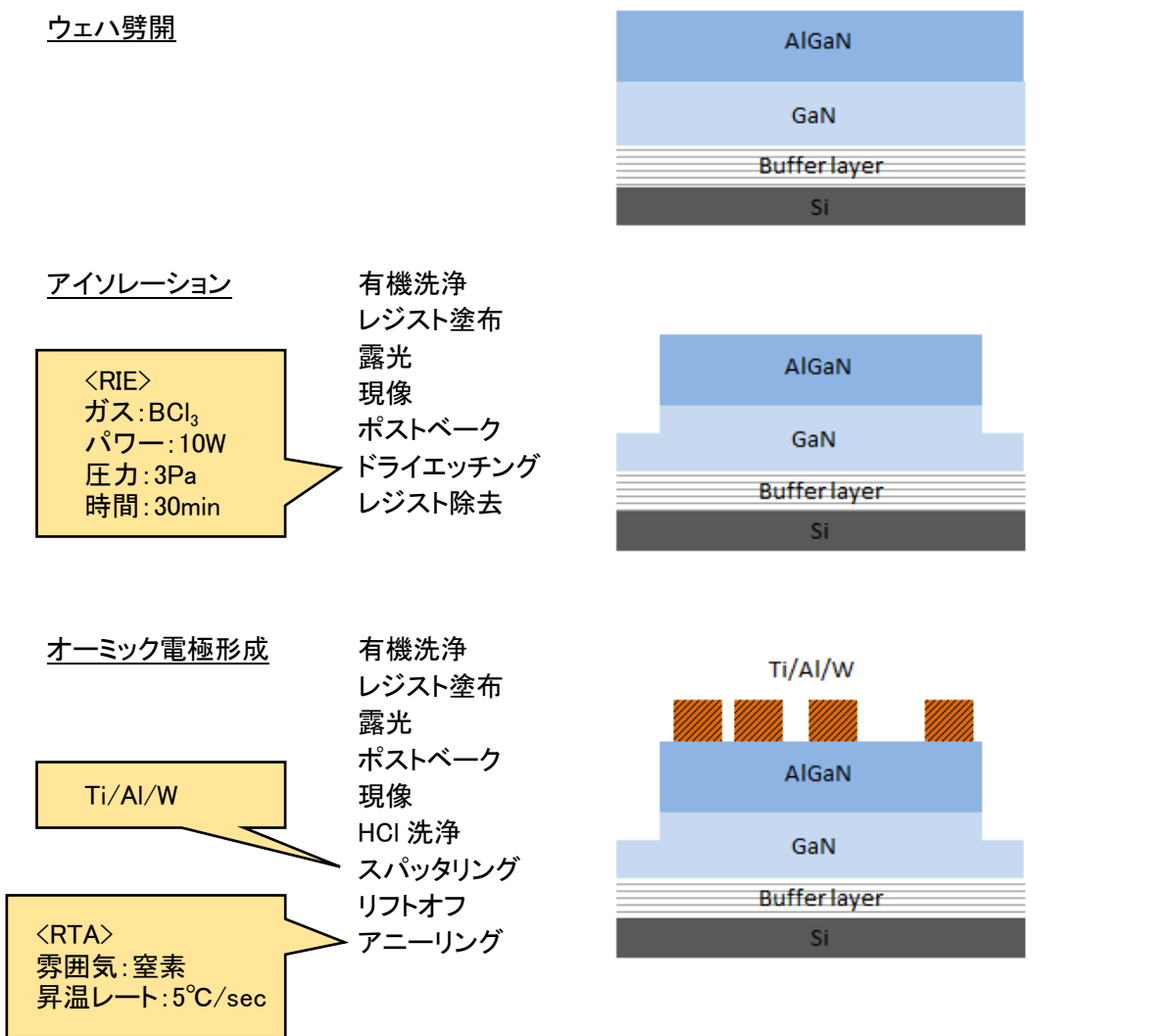


図 2.3.1.6 TLM プロセスフロー

表 2.3.1.1 スパッタ条件一覧

金属	DC (W)	RF (W)	Ar (sccm)	Stage Rotation (rpm)	Target/Stage 距離 (mm)	APC (Pa)	参考 レート (nm/sec)
Ti	1000	-	143	10	90	0.67	0.45
Al	-	500	138	10	100	0.67	0.29
W	1000	-	143	10	110	0.67	0.67
Ni*	1000	-	143	10	120	0.67	0.72

*後述の HEMT ゲート電極形成で使用

2.3.2 MIS-HEMT

従来、HEMT のゲート構造は、バリア層の上に直接ゲート電極を堆積して生じたショットキー接合に電圧を印可して電流制御を行っていた。そのような HEMT を MES (Metal Semiconductor)-HEMT と呼ぶ。しかし MES-HEMT はゲートリーク電流が大きいことや、大きなゲート電圧をかけられないためドレイン電流が制限されることなどの欠点があった。そこで、ゲート電極とバリア層の間に絶縁膜を形成することでリークやゲート電圧の課題を対策した MIS (Metal Insulator Semiconductor)-HEMT が広く使われている。ゲート絶縁膜として、バンドギャップの大きい SiO_2 や Al_2O_3 があり、特に High-k 材料である Al_2O_3 は広く使われている[4,5]。High-k 材料は、ゲートリーク電流を抑制するためにゲート絶縁膜を厚くしても、大きな容量を得られ、相互コンダクタンス(g_m)の向上が期待できる。本研究ではゲート絶縁膜として Al_2O_3 、ゲート電極として Ni/W を用いた MIS-HEMT を評価に用いた。

リセスゲート構造を用いたノーマリーオフ MIS-HEMT の作成プロセスを図 2.3.2.1 に示す。アイソレーションまでは TLM プロセスと同じである。ゲートリセスのドライエッチングは ICP ドライエッチング装置にて低バイアスで処理することで、ゲート部のエッチングダメージ低減を図った。レシピの詳細は 4.4 節にて説明する。ゲート絶縁膜形成には ALD (Atomic Layer Deposition) を使用し、図 2.3.2.1 に示した条件で成膜を行った。オーミック、ゲート、パッド電極はいずれもスパッタリングで成膜し、リフトオフ法でパターン形成を行った。ただし、オーミック電極として Au 含有電極の Ti/Al/Ni/Au を成膜するときのみ、真空蒸着装置で成膜した。

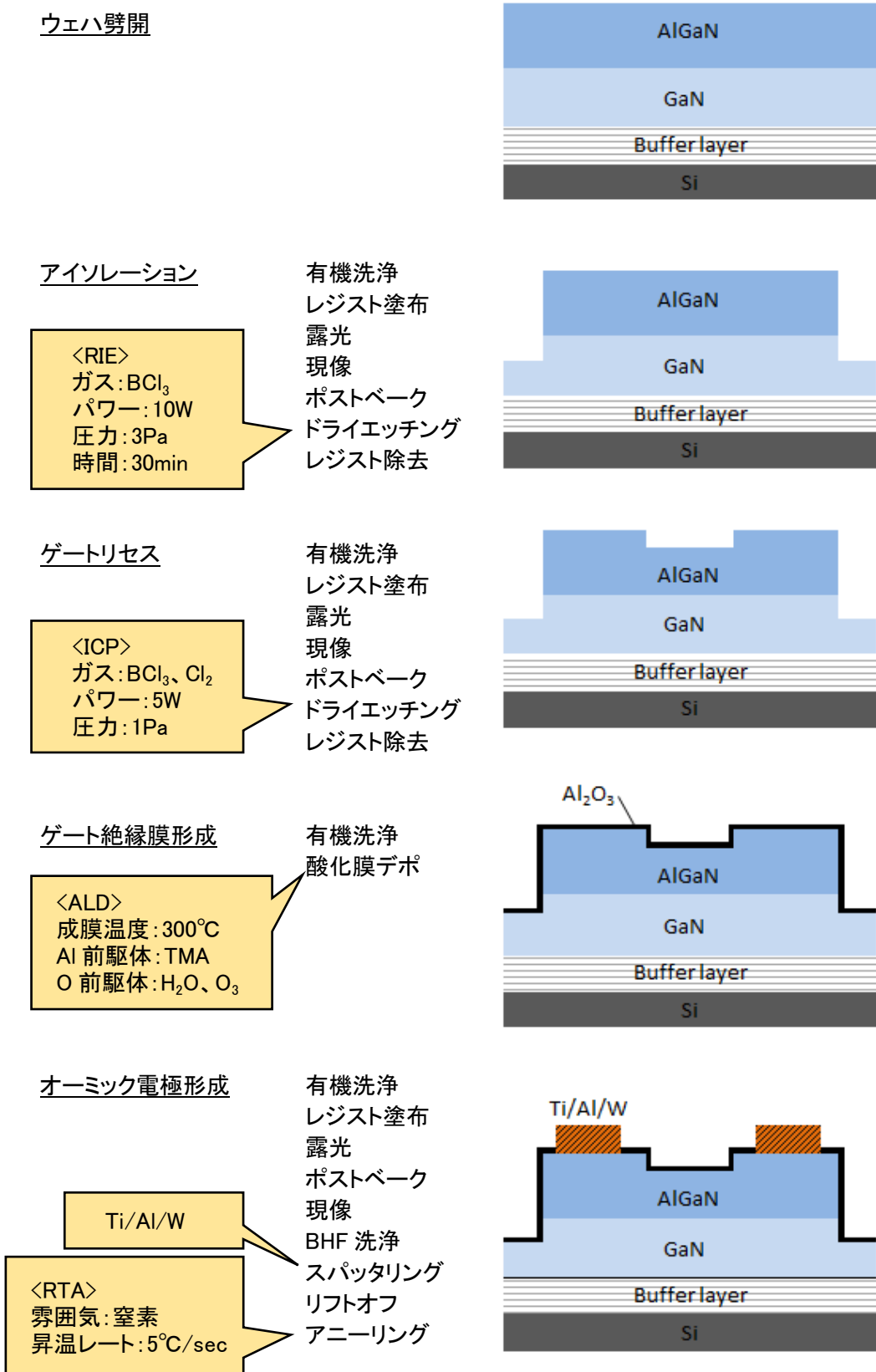
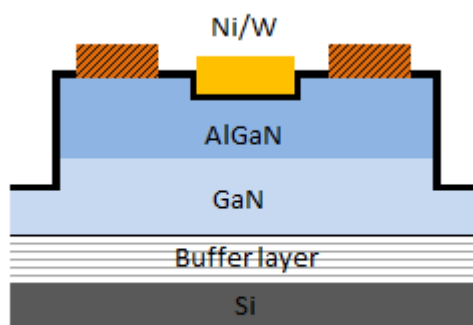


図 2.3.2.1 HEMT プロセスフロー (次ページへ続く)

ゲート電極形成

Ni/W
50/60nm

有機洗浄
レジスト塗布
露光
ポストバーク
現像
スパッタリング
リフトオフ



パッド形成

Ti/Al
15/140nm

有機洗浄
レジスト塗布
露光
ポストバーク
現像
スパッタリング
リフトオフ

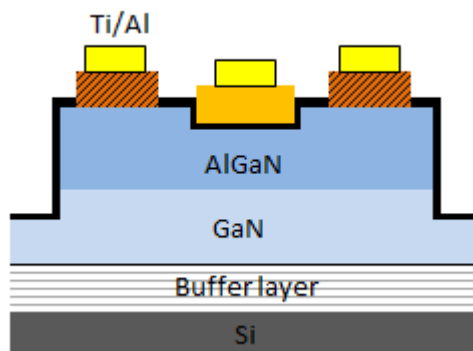


図 2.3.2.1 HEMT プロセスフロー (続き)

参考文献

- [1] A. M. Cowley, and S. M. Sze. "Surface states and barrier height of metal - semiconductor systems." *J. Appl. Phys.* **36**(10), 3212-3220, 1965.
- [2] B. M. Welch, D. A. Nelson, Y. D. Shen, and R. Venkataraman, "Metallization Technology for GaAs Integrated Circuits." *VLSI Electronics Microstructure Science*, **15**, 393-450, 1987.
- [3] A. Y. C. Yu, "Electron Tunneling and Contact Resistance of Metal-Silicon Contact Barriers." *Solid State Electron*, **13**(2), 239-247, 1970.
- [4] T. Hashizume, S. Ootomo, T. Inagaki, and H. Hasegawa, "Surface passivation of GaN and GaN/AlGaN heterostructures by dielectric films and its application to insulated-gate heterostructure transistors." *J. Vacuum Science & Technology B : Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena*, **21**(4), 1828-1838, 2003.
- [5] P. D. Ye, B. Yang, K. K. Ng, J. Bude, G. D. Wilk, S. Halder, and J. C. M. Hwang, "GaN metal-oxide-semiconductor high-electron-mobility transistor with atomic layer deposited Al₂O₃ as gate dielectric." *Appl. Phys. Lett.* **86**(6), 063501, 2005.

第3章 AlGaN/GaN ヘテロ構造上 Au フリーオーミック電極

3.1 はじめに

本章では、AlGaN/GaN ヘテロ構造上に形成した Au フリーオーミック電極について述べる。電極形成における各種のパラメータが固有接触抵抗へ与える影響、および最適条件について説明したのち、電極の組成、構造分析を行いオーミック界面形成メカニズムについて考察する。

本章で用いた AlGaN/GaN on Si ウェハの断面構造を図 3.1.1 に示す。本研究では量産でも使える技術とすべく、GaN on Si ウェハを用いた。測定で得られたウェハ特性を表 3.1.1 にまとめる。試料はこのウェハを 8mm 角に劈開して流動した。

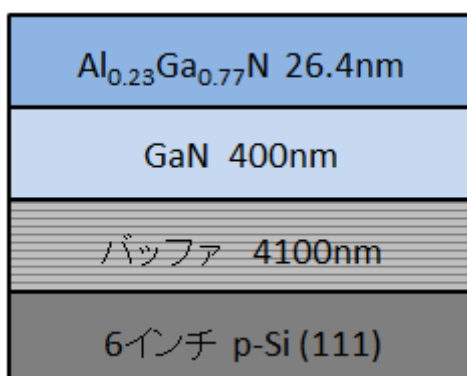


図 3.1.1 ウェハ断面構造図

表 3.1.1 ウェハ諸特性

SORI (um)	50
RMS 5μm ² (nm)	0.2
シート抵抗 (Ω/sq.)	552
シートキャリア密度 (/cm ²)	8.9E+12
移動度 (cm ² /Vs)	1441

3.2 メタルの選定

開発するAuフリーオーミック電極に求める仕様は、第1章で述べた低抵抗、低温アニールの他に、量産における生産コストやスループットの向上のため、以下の3つの要求を満たすことが好ましい。

- ・金属種が少ない
- ・積層膜数が少ない
- ・使用する金属は既存 Si デバイス製造ラインで使用実績がある

表 3.2.1 は GaN または AlGaIn (以下 (Al)GaN と表記する) エピ上のオーミック電極に関する文献を一覧にまとめたものである。大別すると、Au の有無、および下の 2 層が Ti/Al から成る Ti/Al 系電極か否かに分けられる。最下層には Ti が用いられるケースが多く、その理由の一つは、Ti は還元作用が強く、半導体表面の自然酸化膜を分解するためである[1]。また、Ti はアニール中に (Al)GaN と反応し、窒素空孔を形成すると考えられている。窒素空孔は n 型ドーパントとして働くため、Ti と接する (Al)GaN 表層は n 型化し、ショットキー障壁が薄くなることでトンネル伝導が容易となり抵抗が低下すると考えられる[2-5]。Al は低い仕事関数により金属/半導体界面のショットキー障壁を下げると思われ、しばしば Ti の直上に配置される。この Ti/Al 積層はアニールにより $TiAl^3$ からなる熱的に安定した合金を形成し[2,6-8]、オーミック界面を形成すると考えられており、Au の有無を問わず広く用いられている。Au フリー電極の最小構成として、この Ti/Al のみの電極が考えられるが、Ti/Al のみの電極では一般に高いコンタクト抵抗しか得られない[1,9]。その原因は大気中での Al の酸化や、アニール中の雰囲気に含まれる残留酸素や水蒸気による酸化であると考えられる。Kwak らは残留酸素や水蒸気を除去するため Ti getter furnace を通過した Ar 雰囲気アニールすることで、低いコンタクト抵抗を得ている[10]。しかし、GaN デバイス製造プロセスでの再現性という観点では、酸化保護膜を最上段に成膜する手法を選ぶのが適切であると考えられる。酸化保護膜としては緻密な膜を形成し、アニール中に膜構造が崩れない高融点金属が好ましい。その候補として W、Ta、Mo、Nb などがあげられるが、W は Si デバイスにおいて下層配線と上層配線を電気的に接続するビアの埋め込み金属として広く使われており、Si デバイス製造ラインでの使用実績がある。そのため、表面保護膜としては W に利点がある。以上のことから、本研究で開発ターゲットとするオーミック電極は、オーミック界面を形成する Ti/Al をベースとし、酸化保護膜として W をもちいた Ti/Al/W の 3 層構造を選定した。

表 3.2.1 オーミック電極の例

分類 1	分類 2	金属	文献		
Au 含有	Ti/Al 系	Ti/Al/Ni/Au	[11-21]		
		Ti/Al/Ti/Au	[22,23]		
		Ti/Al/Mo/Au	[22,24-27]		
		Ti/Al/Ta/Au	[22]		
		Ti/Al/Pt/Au	[22,28]		
		Ti/Al/Nb/Au	[22]		
		Ti/Al/Pd/Au	[29,30]		
		Ti/Al/Au	[31]		
	その他	Ti/Au/Al/Ni/Au	[32]		
		Ti/Au	[33,34]		
		Mo/Al/Mo/Au	[26,35,36]		
		V/Al/Mo/Au	[26]		
		Au フリー	Ti/Al 系	Ti/Al/W	[37-40]
				Ti/Al/Ti/TiN	[41-43]
Ti/Al/TiN	[6]				
Ti/Al/Ni/Pt	[44]				
Ti/Al/NiV	[45]				
Ti/Al/Ti/W	[46]				
Ti/Al	[1,9,10,47-50]				
その他	Ti/Pd/Al			[51]	
	Ti/Pt/Al		[51]		
	Ta/Al		[52]		
	Ta/Al/Ta		[53-55]		
	Ta/Ti/Al		[56]		
	Ta/Si/Ti/Al/Ni/Ta		[57]		
	Mo/Al/Ti		[58]		
TiN/TiSi ₂	[58]				
NiAl	[59]				
Hf/Al/Ta	[60]				
Al	[61]				

3.3 メタル膜厚と固有接触抵抗

本節では Ti、Al、W の各メタル膜厚を変えたときの固有接触抵抗の変動について述べる。Ti 厚さを 6.75~44.4nm、Al 厚さを 65~187nm、W 厚さを 5~30nm の範囲で変更し、仮のアニール条件として 550°C で 2 分間アニールを行った結果を図 3.3.1 に示す。横軸がそれぞれの金属厚さ、縦軸が固有接触抵抗の平均値である。誤差範囲(エラーバー)は MAX-MIN であるが、各点の試料数が 1~6 個と一様でないため、参考データとする。図 3.3.1(a)より、Ti が薄いほど固有接触抵抗が低下する傾向が見られる。図 3.3.1(b)では、Al が厚いほど固有接触抵抗が下がるが、140nm 以上では変わらないことが分かる。W も同様に、厚いほど固有接触抵抗が下がるが、20nm 以上では変わらないことが分かる。これらの結果から、Ti 厚さが固有接触抵抗に大きく影響しており、Al と W の厚さは、ある一定値以上あれば、固有接触抵抗には影響しないことが分かった。

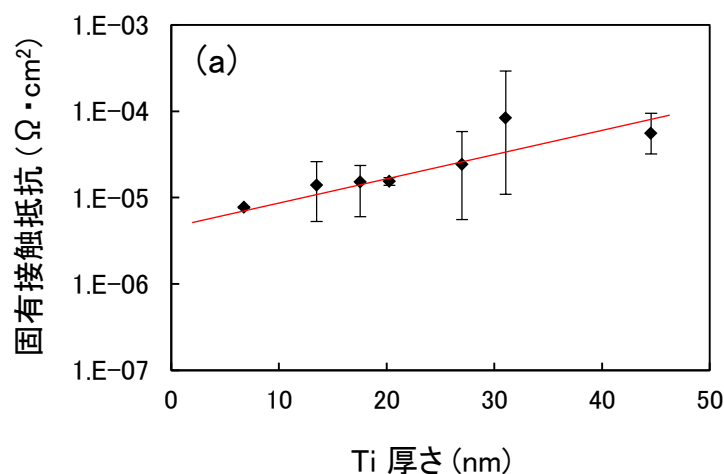


図 3.3.1(a) Ti 膜厚と固有接触抵抗

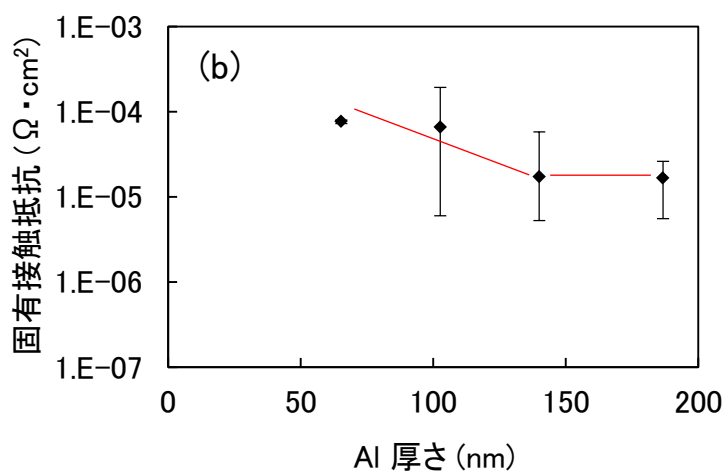


図 3.3.1(b) Al 膜厚と固有接触抵抗

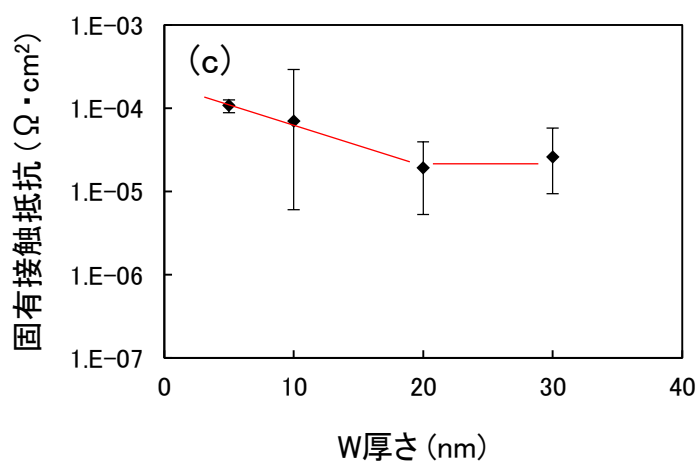


図 3.3.1(c) W 膜厚と固有接触抵抗

Ti が薄いほど固有接触抵抗が低下することが分かったため、Ti をさらに薄くした試料を作成し評価した。図 3.3.2 にその結果を示す。Ti の厚さは 0nm(成膜せず)、1.35、2.0、2.7、4.0、5.4、9.5nm である。アニール条件は 500°C10 分、550°C1 分、550°C10 分の 3 条件とした。いずれのアニール条件においても、Ti 厚さが 2.7nm の試料で最も低い固有接触抵抗が得られることが分かった。それより薄い 2.0nm では固有接触抵抗が増加し、1.35nm 以下ではオーミック特性が得られなかった。このことから、Ti が最下層にあることがオーミック界面を形成するために必須であることが示唆される。

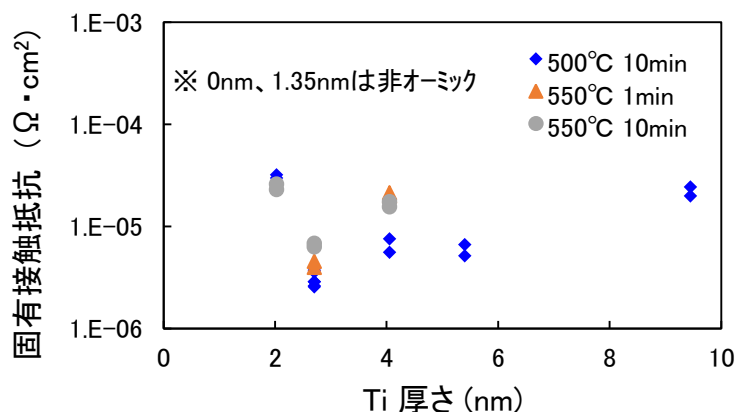


図 3.3.2 Ti 膜厚と固有接触抵抗の関係

本節をまとめると、Ti は薄い方が好ましく、最適厚さは 2.7nm であり、それ以上薄いと特性は悪化する。Al と W は、ある一定値以上あれば、固有接触抵抗には影響しない。

3.4 アニール条件と固有接触抵抗

本節ではアニールの温度と時間を変えた時の固有接触抵抗の変動について述べる。図 3.4.1 は、Ti 厚さを 2.7nm とし、横軸をアニール時間、縦軸を固有接触抵抗としたグラフである。アニール温度は 500°C と 550°C である。アニール温度が 500°C と低い場合、アニール時間を延ばすことで抵抗が低下し、10 分にて最も低い固有接触抵抗が得られた。アニール温度が 550°C の場合、1 分にて最も低い固有接触抵抗が得られ、10 分まで伸ばすと逆に抵抗が上昇した。低い温度では長いアニール時間が必要で、高い温度では短いアニール時間で良いことが分かった。単に温度ではなく、温度と時間の積で抵抗が変化することは、金属の拡散現象が、オーミックコンタクト形成に関わっていることを示唆する。

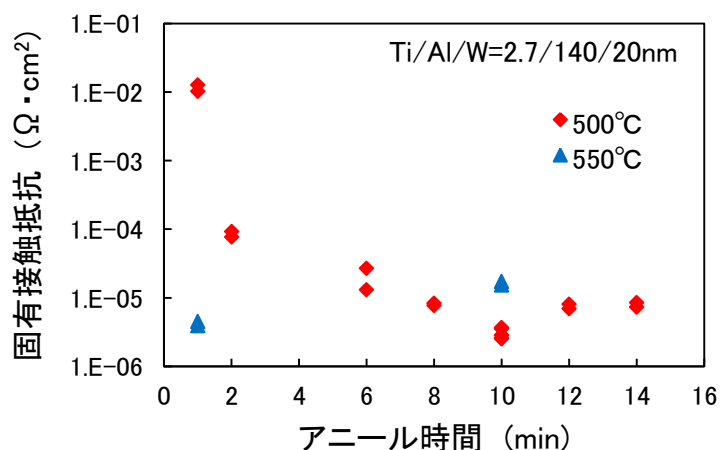


図 3.4.1 アニール時間と固有接触抵抗の関係

3.5 Ti 厚さとアニール温度

Ti 厚さが 2.7nm のときと、13.5nm のときの最適アニール条件をそれぞれ求めた。その結果、Ti 厚さが 2.7nm の場合は 500°C、10 分アニールが、Ti 厚さが 13.5nm の場合は、580°C、1 分が最適アニール条件であり、それぞれの固有接触抵抗は $2.54E-6\Omega\cdot\text{cm}^2$ 、 $7.13E-6\Omega\cdot\text{cm}^2$ であった。目標の $10^{-6}\Omega\cdot\text{cm}^2$ 台の低い固有接触抵抗が得られた。アニール時間を変えずに、アニール温度だけを振って固有接触抵抗を測定した結果が図 3.5.1 である。比較対象として、従来の Au 含有電極として Ti/Al/Ni/Au(15/80/12/40nm)を 650~950°Cで 1 分間アニールしたデータも載せている。Au 含有電極が 850°Cという高温で最小の抵抗値を示すのに対し、Au フリー電極ははるかに低い 500~580°Cで最小の抵抗値を示すことが分かる。さらに、Ti の厚さが薄いほうが、アニール温度は低く、かつ抵抗値も小さくなることが分かる。Au 含有電極の固有接触抵抗は $1.49E-6\Omega\cdot\text{cm}^2$ であるので、Ti 厚さ 2.7nm の場合、同レベルの低い抵抗が得られたといえる。

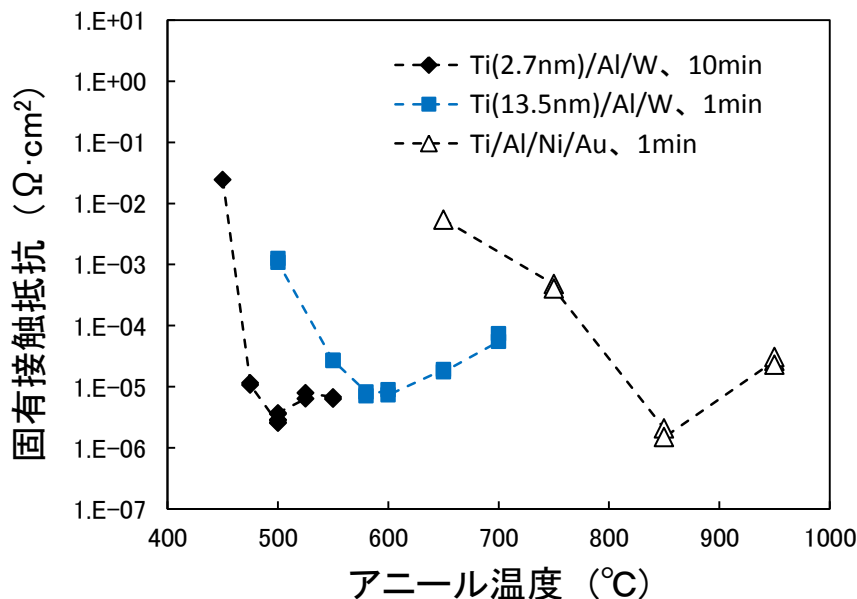


図 3.5.1 アニール温度と固有接触抵抗の関係

Ti 厚さとアニール温度について文献調査を行った。図 3.5.2 は今回求めた Ti 厚さと最適アニール温度をプロットしたグラフであり、Ti/Al/W に関する論文[37-39]および Ti/Al に関する論文[10]のデータを記載している。[10]は酸化防止の W 層を成膜していないが、3.2 節で述べたように、アニール雰囲気中の残留酸素や水蒸気を取り除くことで、低いコンタクト抵抗を実現しているため、比較対象になると考え記載した。グラフ縦軸の最適アニール温度とは、各 Ti 厚さに対して最も低いコンタクト抵抗が得られるアニール温度を意味する。グラフから正の相関関係が読み取れる。また、その傾きから、最も低いアニール温度がおよそ 500°C であることも推測される。実際に、ノドープ (Al)GaIn 上の低温オーミック電極に関する論文で 500°C を下回るアニール温度の報告はない。ただし、リセスしてからオーミック電極を形成するリセスオーミック電極 (4-4 節参照) や、ハイドロ層を用いたノンアロイ系オーミック電極[19,62,63]を除く。前者はリセスにより 2DEG への直接コンタクトを狙う方法、後者はハイドロ層による急峻なバリアで起こるトンネリングを狙った方法である。

今回 Ti 厚さ 2.7nm の試料で得られた固有接触抵抗 $2.54\text{E-}6\Omega\cdot\text{cm}^2$ は、図 3.5.2 で引用したいずれの論文で報告された値よりも低い値である。

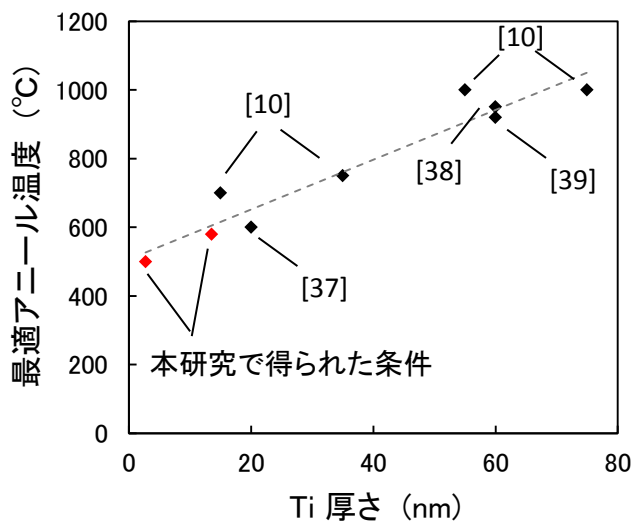


図 3.5.2 Ti 厚さと最適アニール温度の関係

3.6 Ti/Al/W 電極の優位点

今回得られた低抵抗オーミック電極の優位点について述べる。

3.6.1 低温アニールと HEMT プロセス

オーミック電極のアニール温度が低い利点として、HEMT 作成においてゲートファーストプロセスが可能となることが挙げられる。ゲート電極として一般的に Ni などが用いられるが、Au 含有オーミック電極で必要な高温アニールによって劣化してしまうため、オーミック電極形成後にゲート電極を形成する、オーミックファーストプロセスを採用するのが一般的である。しかし、HEMT の高周波数特性の向上に有効な T 型ゲートセルフアラインプロセスではゲートファーストプロセスが求められる[64,65]。T 型ゲートセルフアラインを用いるとソース・ゲート間距離およびゲート・ドレイン間距離を短くできるため、アクセス抵抗が低減され、高周波数特性が向上する。アニール温度が低い Ti/Al/W 電極を採用することでゲート電極劣化の問題を回避できるため、高周波 HEMT が実現可能となる。

ゲートプロセスを先に行うことは、ゲート部の欠陥準位を減らすためにも有効であり、オーミック電極形成の前に Al₂O₃ を成膜することで V_{th} のヒステリシスが低減する[66]。

3.6.2 シート抵抗の改善

図 3.6.2.1 は、横軸をアニール温度、縦軸をシート抵抗としてプロットしたグラフであり、Ti 厚さ 2.7nm および 13.5nm の Ti/Al/W 電極と、Ti/Al/Ni/Au(15/80/12/40nm) 電極を比較している。プロセス加工を施していないウェハのシート抵抗が 552Ω/sq. であることから、Au フリー電極の場合、電極を形成してもシート抵抗が劣化しないことが分かる。一方、Au 含有電極では 700~781Ω/sq.と大きく上昇している。原因としてアニール温度の影響が考えられるが、グラフで傾きが見られないこと、同じ 650°C でも Au 含有電極と Au フリー電極でシート抵抗が異なっていることから、温度の影響ではない。Au 含有電極におけるシート抵抗上昇の原因は Au の AlGaIn 内部への拡散にあると考えられる。3.7 節で述べるように、Au フリー電極は金属が AlGaIn 内へ拡散しないため、2DEG はプロセス前と同じ性能を保持する。一方、Au 含有電極は、拡散係数の大きい Au がアニール中に AlGaIn 表面に到達したのち、AlGaIn の欠陥部分から AlGaIn 内部に拡散し、シェル構造を形成する(図 3.6.2.2 参照) [25,67]。シェルは電極下部の 2DEG を消失させるが、金属拡散は横方向にも広がるため、電極近傍の 2DEG も劣化させる。そのため Au 含有電極では電極間のシート抵抗が増大したと推測される。この影響はデバイスのパターンルールが微細化するほど大きくなり、シート抵抗が劣化しないことは Au フリー電極の大きな利点である。

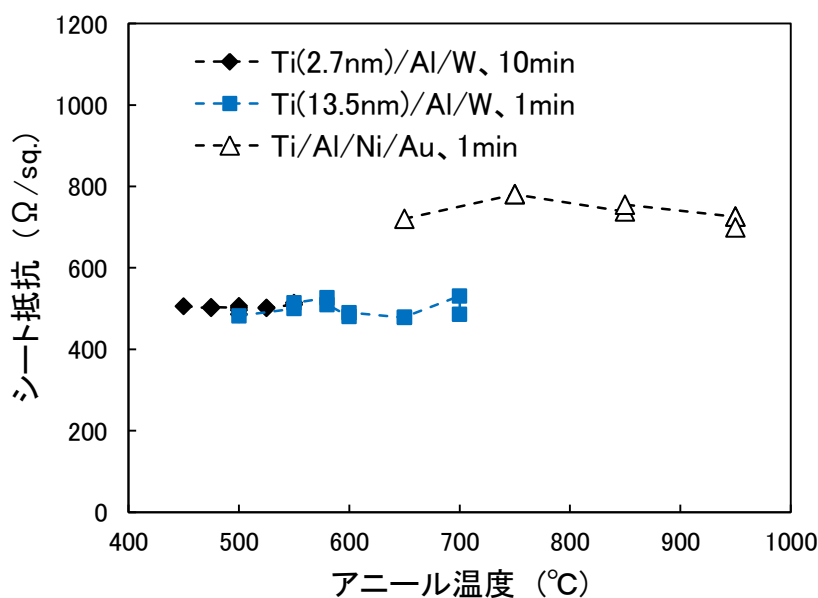


図 3.6.2.1 アニール温度とシート抵抗の関係

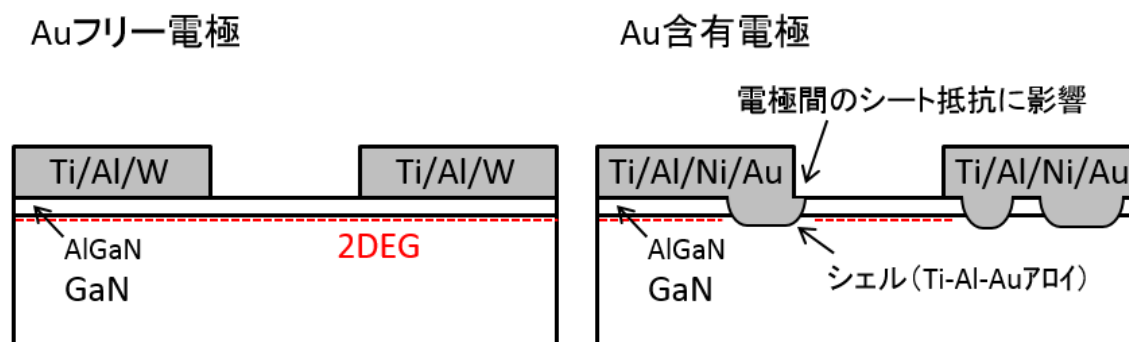


図 3.6.2.2 シート抵抗増大のモデル

3.6.3 表面ラフネスの改善

図 3.6.3.1 はオーミック電極の外観を、ノマルスキー型微分干渉顕微鏡を用いて凹凸を強調して撮影した像である。図 3.6.3.1(c)に見られるように、Au 含有電極では高温アニールにより生じた金属の凝集体(バルジ)が観察される。このようなバルジはオーミック電極パターンのエッジラインの直線性に悪影響を及ぼし、HEMT の低オン抵抗化のためパターンルールを小さくした場合にゲート-ドレイン間距離の不均一を生み、耐圧のばらつきにつながるため、好ましくない。またデバイスの実装工程で行われるワイヤボンディングでは、ワイヤ接着強度の低下やばらつきにつながる。Au フリー電極のアニール前(a)とアニール後(b)を比べると、金属の凝集が部分的に生じているものの、低いアニール温度により凝集部のサイズが小さく抑えられているため、上記の悪影響が生じにくい。

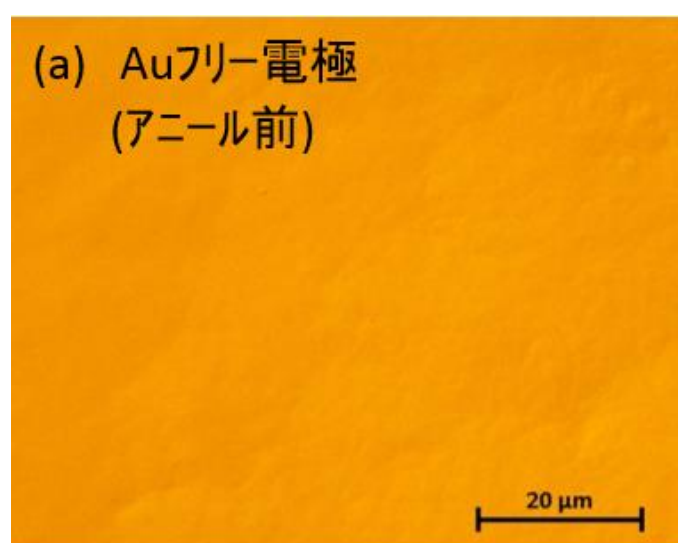


図 3.6.3.1 アニール後のオーミック電極外観 (次ページへ続く)

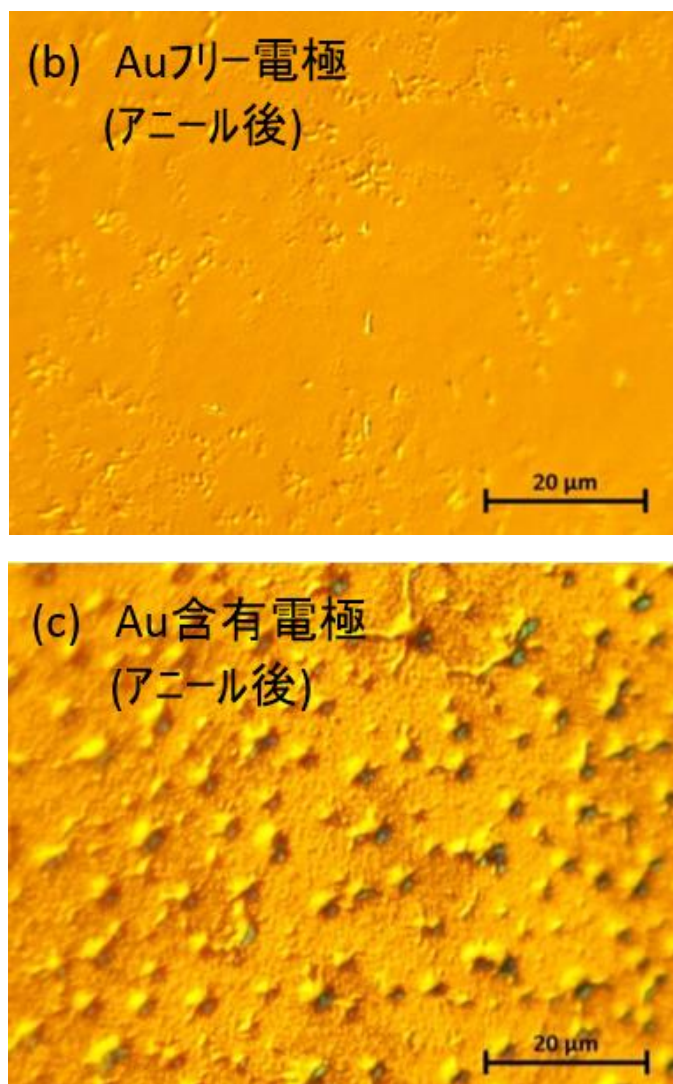


図 3.6.3.1 アニール後のオーミック電極外観 (続き)

3.7 電極の分析

今回得られた低抵抗オーミック電極を構成する物質の同定、電極の組成、構造分析を行い、オーミック界面の形成メカニズムについて考察する。

3.7.1 物質の同定

オーミック電極を構成する物質を同定するため、X線回折(XRD: X-ray diffraction)を行った。XRDは、試料にX線を照射し、試料から散乱、干渉したX線の回折を解析することで、試料を構成する成分の同定や定量を行う分析手法である。

測定条件を表 3.7.1.1 にまとめる。分析に用いた試料はおよそ 10mm 四方で表面全体にメタル製膜を行い、各種条件でアニールを行った。

表 3.7.1.1 XRD 測定条件一覧

分析装置	リガク製 SmartLab		
分析条件	測定方法	Out-of-plane XRD 法(2θ/ω スキャン)	
	X線発生部	対陰極	Cu
		出力	45kV 200mA
	検出部	半導体検出器	
	入射光学系	平行ビーム法(スリットコリメーション)	
	ソーラー	入射側	5.0 °
	スリット	受光側	5.0 °
	スリット	入射側	IS=1 (mm)
		長手制限	2 (mm)
		受光側	RS1=1 RS2=1.1 (mm)
	走査条件	走査軸	2θ/ω
		走査モード	連続走査
		走査範囲	10~110 °
		ステップ幅	0.02 °
		走査速度	3 °/min

図 3.7.1.1 は Ti/Al/W=2.7/140/20nm を成膜した試料のアニール前の分析結果とアニール後の分析結果を比較したグラフである。アニール条件は最適条件の 500℃、10 分である。アニール前の試料では、基板を構成する(Al)GaN および Si と、成膜金属である Al および W が同定された。Ti に関しては、そのピーク位置が Al や W とオーバーラップすること、膜厚が薄くピークが小さいことから、同定することができなかった。2θが 17、34、53、73 度で見られるピークは AlGaIn/GaN 積層膜の(001)、(002)、(003)、(004)に由来する。これらのピークがブロードで、近傍に副ピークが見られるのは、結晶性の高い膜において、一度散乱された X 線が結晶中を進行する過程で何度も散乱されることにより生じる多重散乱が起きるためである。アニール後の試料では新たなピークが出現しており、Ti_{0.5}Al_{0.5}N と同定された。アニール後の試料でのみオーミック特性が見られることから、この合金はオーミック界面の形成にかかわっていると考えられる。過去に報告されている Ti-Al 合金としては TiAl₃[2,6-8]、TiAl₂[10]、TiAl[8,68-70]、Ti₂Al[68,70]、Ti₃Al[68,70]、Ti₂AlN[10]、Ti₃Al₂N₂[69]が挙げら

れるが、 $Ti_{0.5}Al_{0.5}N$ の報告はこれまでは無い。また Garbe らは TiN が成膜時点で形成されていると報告している[6]が、今回の分析で TiN は観察されなかった。

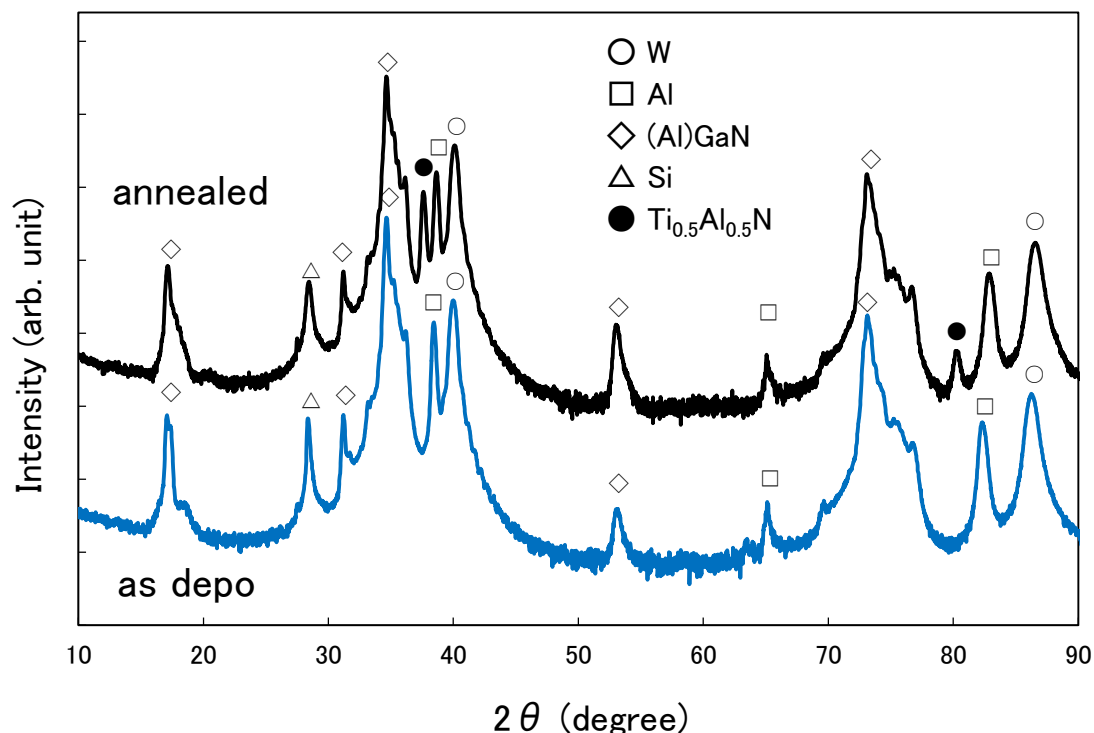


図 3.7.1.1 アニール前後の XRD 比較
(Ti/Al/W=2.7/140/20nm、500°C 10 分アニール)

次に、Ti 厚さを 1.35nm、2.7nm、13.5nm と変えた試料の XRD データを図 3.7.1.2 に示す。アニール条件は共通で 500°C、10 分である。 $Ti_{0.5}Al_{0.5}N$ が観測されるのは Ti 厚さが 2.7nm の試料のみであり、Ti 層が厚い 13.7nm の試料では、 $TiAl_3$ が観測された。 $TiAl_3$ は複数の論文で報告されているが、いずれも Ti の成膜厚さが 15~80nm と厚い試料を用いている[2,6-8]。 $TiAl_3$ は Ti-Al 合金の中で最も低いギブス自由エネルギーを持ち[71]、安定している物質であることから、十分に Ti が存在する場合は $TiAl_3$ が形成され、Ti 層が 2.7nm と薄い場合は $Ti_{0.5}Al_{0.5}N$ が形成されるものと思われる。一方、Ti 層が薄い 1.35nm の試料ではいずれの Ti-Al 系合金も観測されなかった。何らかの合金は形成されたと思われるが、検出下限を下回った可能性が高い。Ti 厚さが 1.35nm、13.5nm のデータにおいて、 WAl_{12} および $TiGa_3$ のピークが観察された。 WAl_{12} は Al と W の境界面で、 $TiGa_3$ は Ti と AlGaN の境界面で相互拡散により生じた合金と推測される。ただしこの 2 つについては、観察されない試料もあり、反応の進み具合が不均一であると思われる。

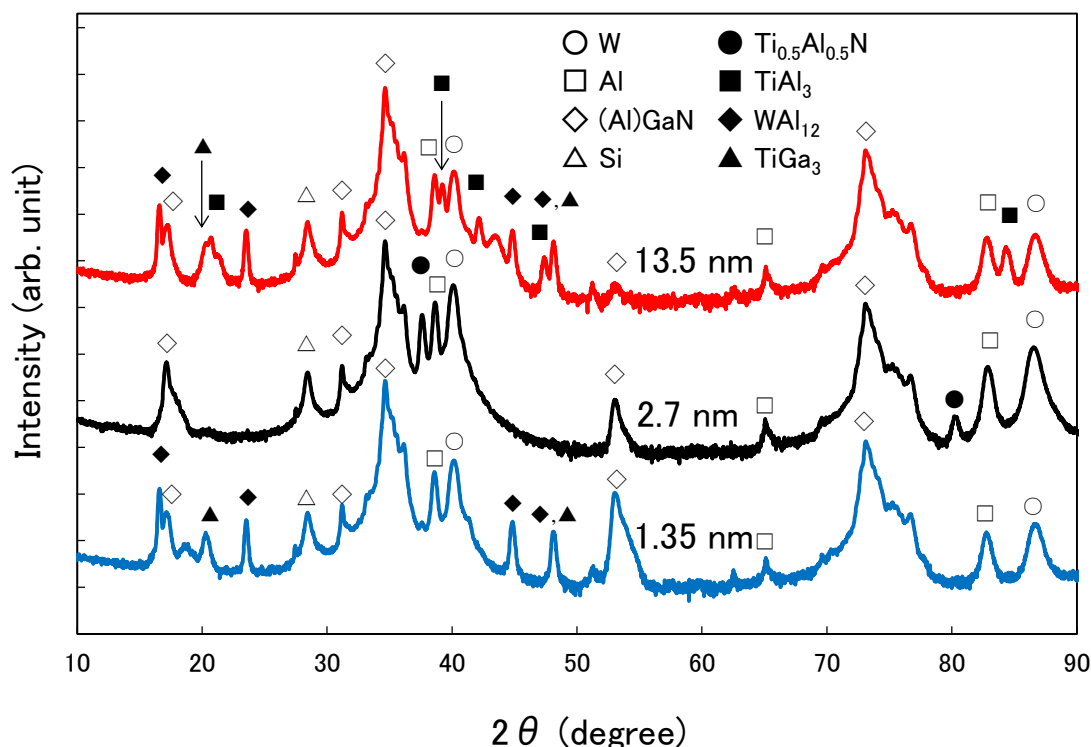


図 3.7.1.2 Ti 厚さを変えた試料の XRD 比較
(Ti=1.35、2.7、13.5nm、500°C10 分アニール)

図 3.7.1.3 は Ti 厚さを 2.7nm とし、10 分間、それぞれ 400、500、550°C でアニールした試料の XRD データである。500°C 以上でアニールした試料でのみ $Ti_{0.5}Al_{0.5}N$ のピークが現れることが分かる。固有接触抵抗の評価において、図 3.5.1 にあるように、Ti 厚さが 2.7nm の場合、450°C では抵抗値が大きく、400°C ではオーミック特性が得られなかった。したがって、 $Ti_{0.5}Al_{0.5}N$ のピークが現れる温度条件と、オーミック特性が得られる温度条件は整合する。

図 3.7.1.4 は Ti 厚さを 2.7nm とし、500°C で、それぞれ 1、10、60 分間アニールした試料の XRD データである。 $Ti_{0.5}Al_{0.5}N$ は 10 分以上アニールした試料で明確に観察された一方、1 分しかアニールしていないサンプルではわずかなピークに留まった。図 3.4.1 において、アニール温度が 500°C の場合、アニール時間が 1 分では固有接触抵抗が大きく、時間を延ばすにしたがって抵抗が下がった結果と整合する。

以上、XRD 分析をまとめると、最適条件 (Ti=2.7nm、500°C、10 分) の試料において、アニール後に $Ti_{0.5}Al_{0.5}N$ の生成を確認した。また、低い固有接触抵抗が得られるアニール条件と、 $Ti_{0.5}Al_{0.5}N$ が生じるアニール条件は良い整合が見られた。

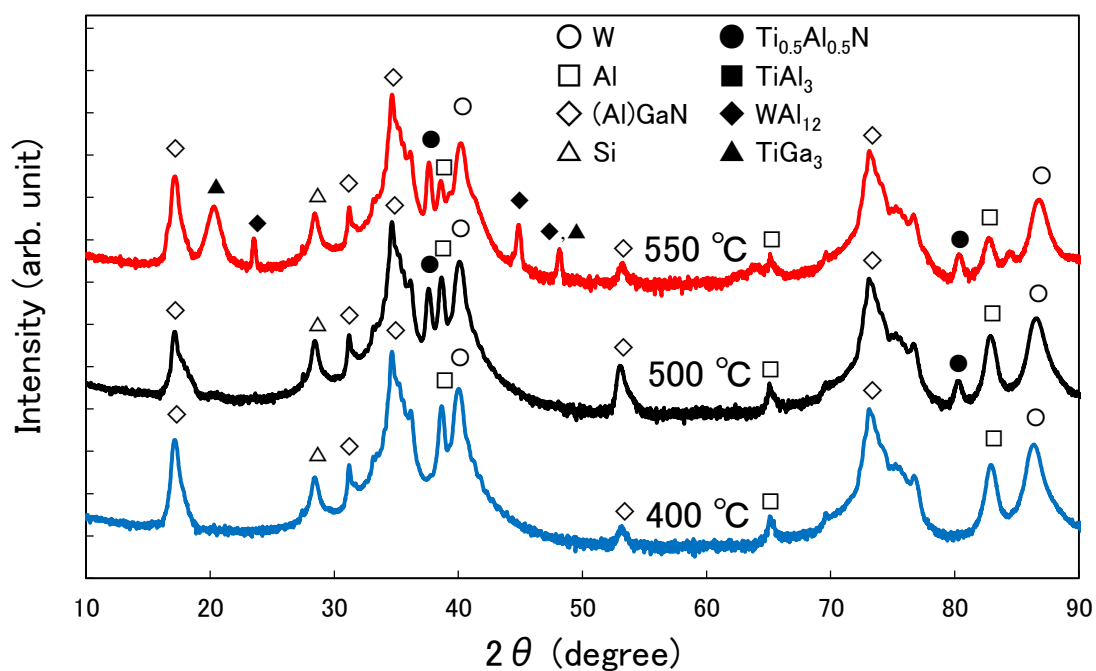


図 3.7.1.3 アニール温度を変えた試料の XRD 比較 (Ti=2.7nm、10 分アニール)

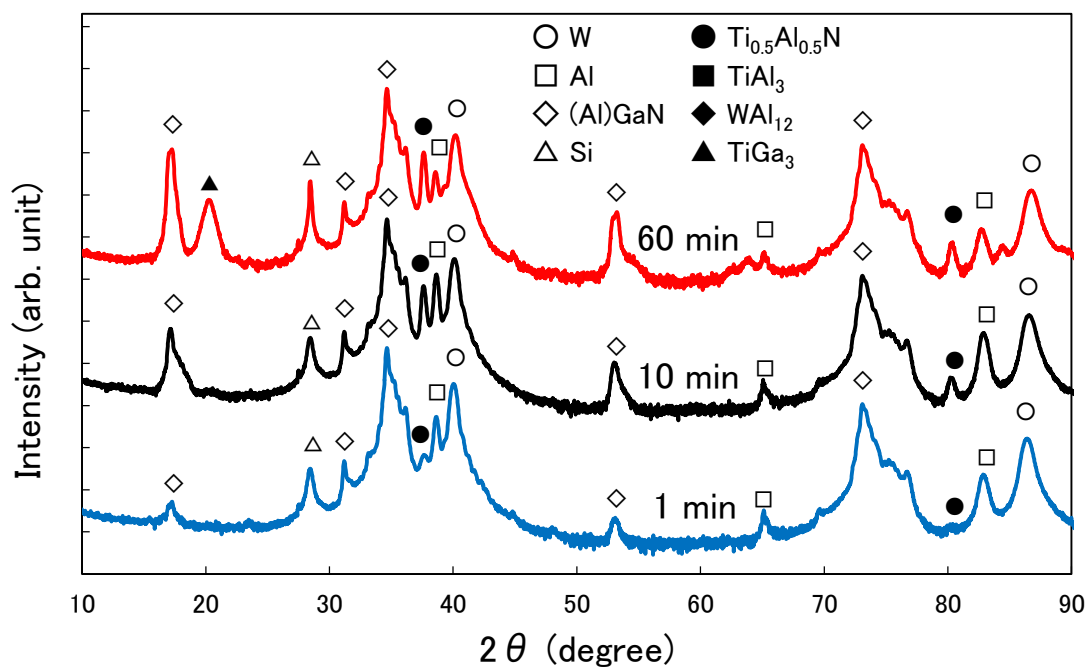


図 3.7.1.4 アニール時間を変えた試料の XRD 比較 (Ti=2.7nm、500°Cアニール)

3.7.2 組成、構造分析

アニール前後での各金属の分布の比較や、金属/AlGaIn 界面の変化を確認するため TEM(Transmission Electron Microscopy)にて断面観察を行った。また、各金属の拡散の様子を観察するため EDX(Energy Dispersive X-ray Spectroscopy)にてライン分析を行った。分析の諸条件を表 3.7.2.1 に示す。

表 3.7.2.1 TEM および EDX 分析の条件

試料前処理	イオンミリング法による薄片化	
TEM	透過電子顕微鏡	日立ハイテクノロジーズ製 H-9500
	加速電圧	200kV
	倍率精度	±10%
EDX	走査透過電子顕微鏡	日本電子製 JEM-ARM200F
	加速電圧	200kV
	ビーム径	約 0.1nmφ
	元素分析装置	JED-2300T
	X線検出器	Siドリフト検出器
	エネルギー分解能	約 140eV
	X線取出角	21.9°
	立体角	0.98sr
	取込点数	50 or 100 点

Ti/Al/W を 2.7/140/20nm 積層した試料の、アニール前とアニール後(最適条件の 500°C、10 分)の TEM 像を図 3.7.2.1 に示す。アニール前は AlGaIn/GaN ヘテロ構造の上に、各金属が層状に成膜されていることが分かる。アニール後も W はおおむね層状を維持しており酸化防止膜として機能していると考えられる。ただし、一部 W 層の薄い個所も見られることから、20nm は必要最小膜厚に近いと思われ、信頼性を高めるために 30~40nm 程度積んだ方がよいと考えられる。Al/W 界面には一部拡散領域が見られ、XRD で同定された WAl_{12} と考えられる。アニール前に見られる濃い色の Ti 層は、アニール後には見えなくなっている。

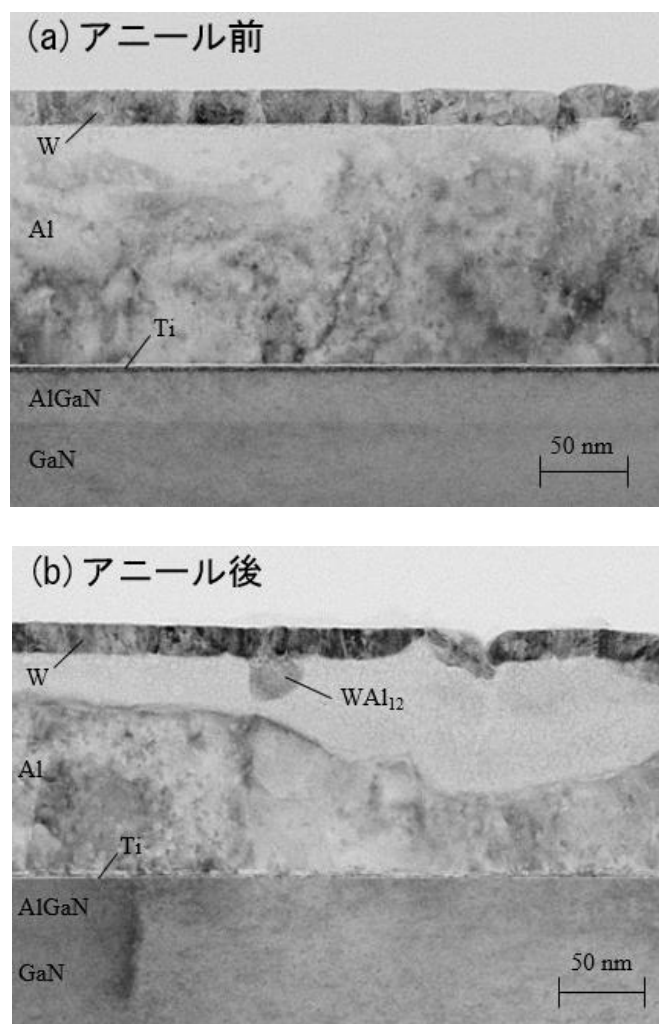


図 3.7.2.1 アニール前後の断面 TEM 像 (Ti/Al/W=2.7/140/20nm、500°C、10 分)

金属/AlGa_N 界面をより詳細に観察するため、同じ試料にて、金属/AlGa_N 界面を拡大した断面 TEM 像が図 3.7.2.2(a)、(b)である。それぞれの図中の点線に沿ってライン EDX を行った結果が図 3.7.2.2(c)、(d)である。横軸は Al 層から AlGa_N 層に向かう測定位置を示し、原点は AlGa_N 表面とした。AlGa_N バルクでの Ga 組成比がおおよそ 50%であったので、Ga 組成比が半分の 25%となる位置を、AlGa_N 表面と定義した。EDX 結果を考慮すると、アニール前の図 3.7.2.2(a)に見られる各層は、上から Al、Al 酸化物、Ti、AlGa_N である。酸化層が Al 層と Ti 層の間に形成されていることは予期しない結果であった。スパッタは真空チャンバ内で真空を破ることなく、連続的に行ったため、Al が成膜される前に Ti が酸化されることは考えにくい。考えられる酸素の由来は AlGa_N の自然酸化膜 (Ga₂O₃) であるが、その場合、Ti/AlGa_N 界面に酸化層が位置するはずである。事前の想定では、Ti/AlGa_N 界面にある Ga₂O₃ が、アニール中に Ti の還元作用により分解され、酸素が Ti または Ti-Al 合金層に取り込ま

れると考えていた。今回得られた分析データから、Ti は成膜の段階で Ga_2O_3 から酸素を奪っていると考えられる。このような現象が起きる可能性を探るため、Ti および Ga の結合解離エネルギーを調べた。文献[72]によると、Ti-O の結合解離エネルギーは 667kJ/mol であり、Ga-O の結合解離エネルギー 374kJ/mol よりも大きい。これは、Ti-O 結合が Ga-O 結合よりも安定であり、金属 Ti が成膜されれば酸素は Ti と結合されることを意味する。また、今回の試料のバリア層は AlGaIn なので、自然酸化膜に Al_2O_3 が含まれる可能性もあるが、Al-O の結合解離エネルギーは 502kJ/mol であり、やはり Ti の方が大きい。スパッタ法では運動エネルギーを持った Ti が自然酸化膜に衝突するため、Ti は自然酸化膜にもぐり込むように入り、酸素の移動がさらに起こりやすと考えられる。このように、Ti が酸素原子を自然酸化膜から奪い、Ti/AlGaIn 界面から酸素を持ち去る効果は、オーミック界面を形成する重要な役割を果たすと考えられる。本節で後述するが、Ti が十分厚い場合は、Ti は酸素原子を取り込みながら成長するため、上記のメカニズムで説明できる。しかし、図 3.7.2.2(a)のように Ti が 2.7nm と薄い場合は、Ti 層内の酸素は少なく、主に Ti 層の上に酸素が集まっており、これを上記のメカニズムで説明するのは難しい。この点について更なる検討が必要であると考えられる。また、この結果を受けて XRD において、酸化物の同定を試みたがいずれの酸化物も見つからなかった。

今回得られた分析結果と同様に、Wang らは、Ti がアニール前に酸素を取り込むことを指摘している[73]。そこでは Ti/Al/Mo/Au 電極が AlGaIn 上に蒸着法により成膜されており、EELS(Electron Energy-Loss Spectroscopy)によって、アニール前の段階で O ピークが AlGaIn 表面ではなく Ti 層内に位置することが報告されている。蒸着法の場合、高温の Ti 原子が飛来するため、酸素を Ga_2O_3 から奪う反応が熱エネルギーにより促進されたと考えられる。

アニール後の図 3.7.2.2(b)において、酸化層が一様な層ではなくなり、凝集している様子が観察される。凝集した酸化物の間を Ti-Al 合金が埋めており、これは電流経路が形成されたことを意味する。アニール前の層状の酸化層は絶縁性を示すと考えられるため、アニールによる酸化層の凝集は、オーミック特性を得るために必要なプロセスと考えられる。これは成膜後のアニールが、オーミック特性を得るために必要な理由の一つである。また、金属と AlGaIn の境界に注目すると、アニール後においても、金属/AlGaIn 界面が明瞭に残っていることが分かる。これは、Au 含有電極と異なり、金属の AlGaIn への拡散が起きていないことを示す。

アニール後の EDX(図 3.7.2.2(d))において、Al と Ti の相互拡散が見られる。特に注目すべきは Al の下方拡散であり、AlGaIn 表面まで拡散が進んでいる。AlGaIn 由来の窒素も Al-Ti 合金層内に増えており、XRD で同定された $\text{Ti}_{0.5}\text{Al}_{0.5}\text{N}$ が、AlGaIn 直上に形成され、 $\text{Ti}_{0.5}\text{Al}_{0.5}\text{N}$ /AlGaIn 界面が形成されたと推測される。

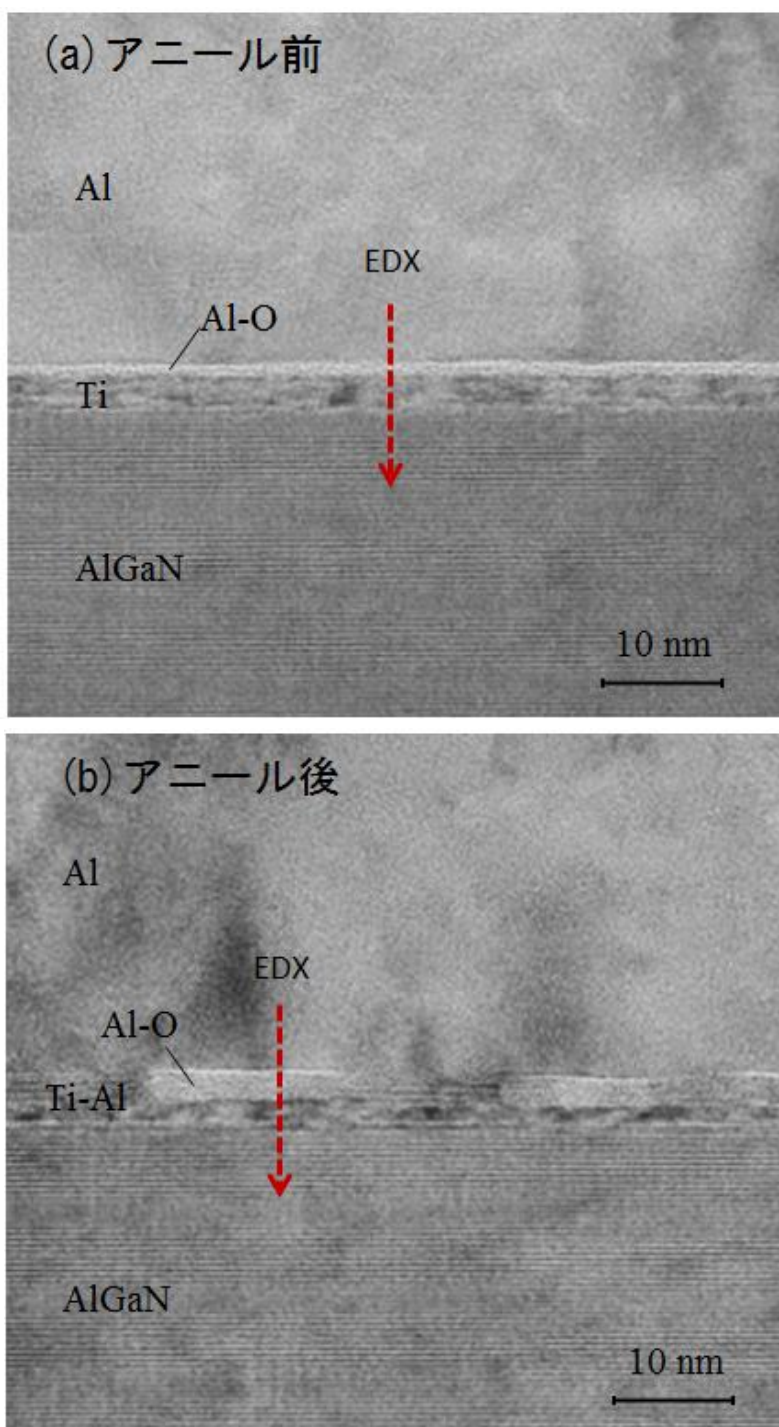


図 3.7.2.2(a)、(b) アニール前後の断面 TEM 像
試料: Ti/Al/W=2.7/140/20nm、500°C、10 分

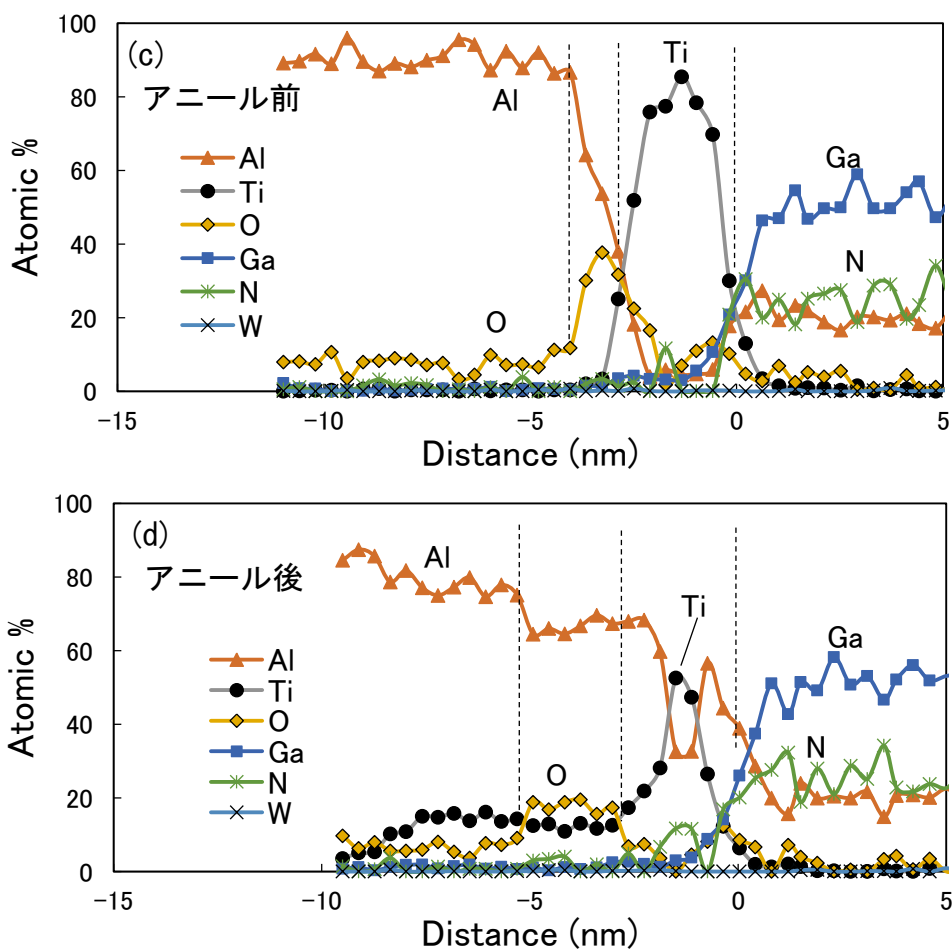


図 3.7.2.2(c)、(d) ライン EDX

試料: Ti/Al/W=2.7/140/20nm、500°C、10 分

図 3.7.2.3 は、Ti 厚さが 13.5nm の試料において、図 3.7.2.2 と同様の分析を行った結果である。アニール前の TEM 像では、Ti 厚さ 2.7nm の試料と同様に、Ti 層の上に酸化層が見られるが、EDX ライン分析をみると、Ti 層内にも一様に酸素が分布しており、Ti により酸素が取り込まれたことが分かる。また、窒素が Ti 層内に分布している様子も見られる。(Al)GaN に Ti を成膜ただけで、TiN が形成されているとする報告[6]もあり、それを示唆している可能性がある。ただし XRD では TiN は観察されていない。アニール後の TEM 像では酸化層は消失しており、EDX の結果から、Al-Ti 合金層に広く拡散していることが分かる。

アニールによる Al の下方拡散が見られるが、Ti 層が厚いため、AlGaN 表面まで到達する Al 量が少なく、AlGaN 表面での Al 組成比は、Ti 厚さ 2.7nm の場合よりも低い。仕事関数の小さい Al が、AlGaN 表面まで拡散することはオーミック界面の形成において重要であるため、Al 組成比の低下は好ましくない。この点において、Ti は Al 拡散の障害層であることは注目に値する。Ti 層が厚いほど、Al は Ti 層を通過するた

めの大きな熱エネルギー、すなわち高温・長時間のアニールが必要となる。Ti/Al/W電極の条件出しを進める中で、Ti が薄いほどアニール温度が低くてよいことを見出した。また Ti 厚さが同じ場合、高温では短い時間でよく、低温では長い時間のアニールが必要なことを見出した。これらのことは、Al が Ti 層を通過し、AlGaIn 表面に十分な

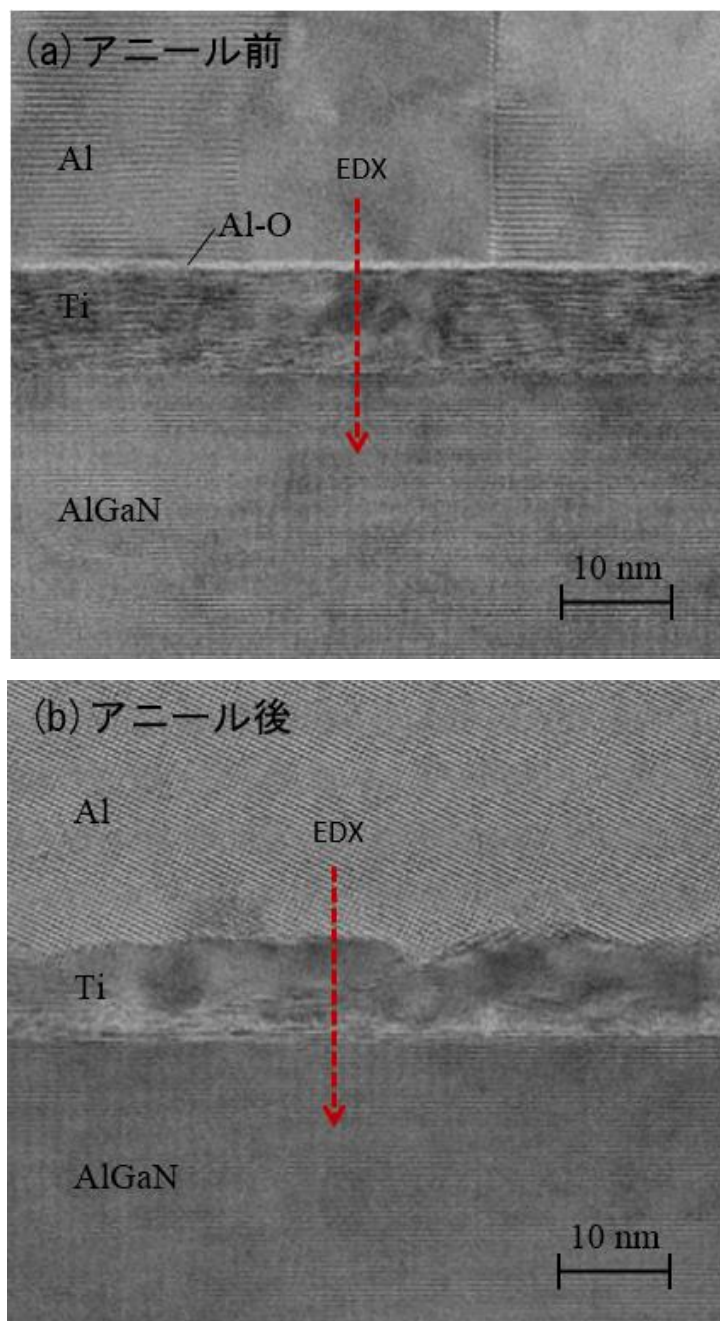


図 3.7.2.3(a)、(b) アニール前後の断面 TEM 像
試料: Ti/Al/W=13.5/140/20nm、500°C、10 分

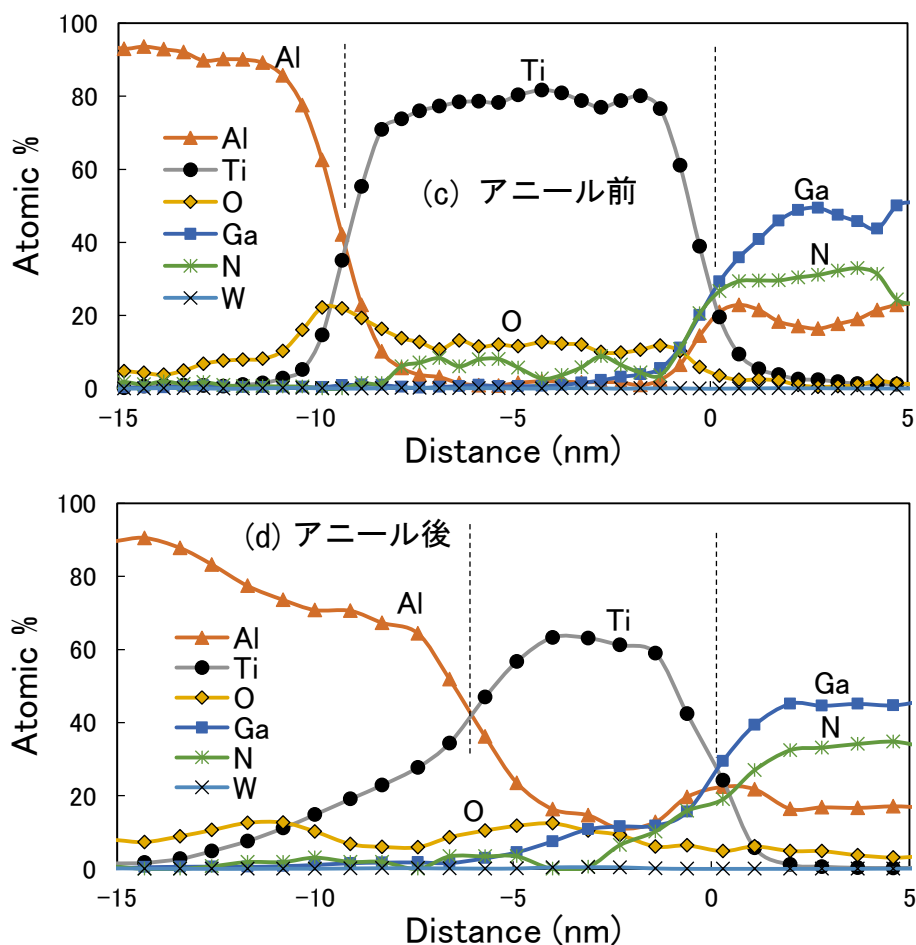


図 3.7.2.3(c)、(d) ライン EDX

試料: Ti/Al/W=13.5/140/20nm、500°C、10分

量が蓄積したとき、低い固有接触抵抗が得られると考えると説明ができる。言い換えると、Al が AlGa_N 表面に十分な量だけ蓄積する温度と時間が、最適なアニール条件となり、そのとき最小の抵抗値が得られる。それを超える高温や長時間アニールは、アニール炉内の残留酸素による酸化を進めるため、抵抗値が上昇すると考えられる。

EDX にて Ga と N は、金属/AlGa_N 界面において、アニール前には急な傾きを持っていたが、アニール後なだらかになっており、金属側へ拡散していることが分かる。Ti は(Al)Ga_N を分解することが知られており、Ti 量の多いこの試料ではその作用が明確に表れている。AlGa_N 表面が分解されることで、不純物の無いクリーンな金属/AlGa_N 界面が形成されることはオーミック界面の形成に寄与していると考えられる。

図 3.7.2.4 は、Ti 厚さが 1.35nm の試料において、図 3.7.2.2 と同じ分析を行った結果である。Ti が薄すぎるため TEM では観察されず、アニール前後で変化は見られない。アニール後も酸化層がそのまま残っていることは、このように薄い Ti の場合にオーミック特性が得られない理由の一つであると考えられる。EDX では、やはり Ti ピーク

の上に酸素のピークが見られるが、Ti が非常に薄いため、ほぼ AlGaN 表面から動いていない。このことから 1.35nm の Ti では十分な酸素除去効果が得られないことが分かる。一方、Ti が薄いためアニール前でも Al は AlGaN 表面に達している。これは Ti が薄い場合の優位点であるが、それにもかかわらずオーミック特性が得られない理由は、酸化膜が除去されていないためである。すなわち、オーミック特性を得るためには、AlGaN 表面への Al の拡散と、酸化膜の除去の 2 つが必要条件であると考えられる。

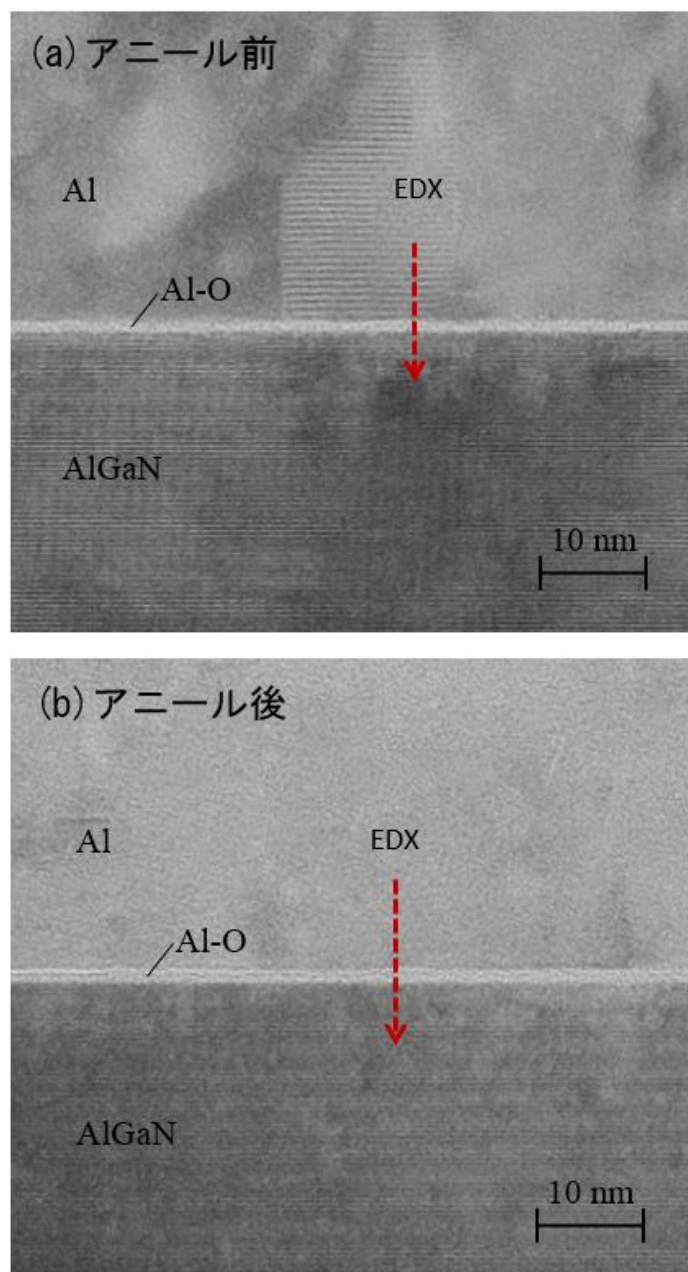


図 3.7.2.4(a)、(b) アニール前後の断面 TEM 像
試料: Ti/Al/W=1.35/140/20nm、500°C、10 分

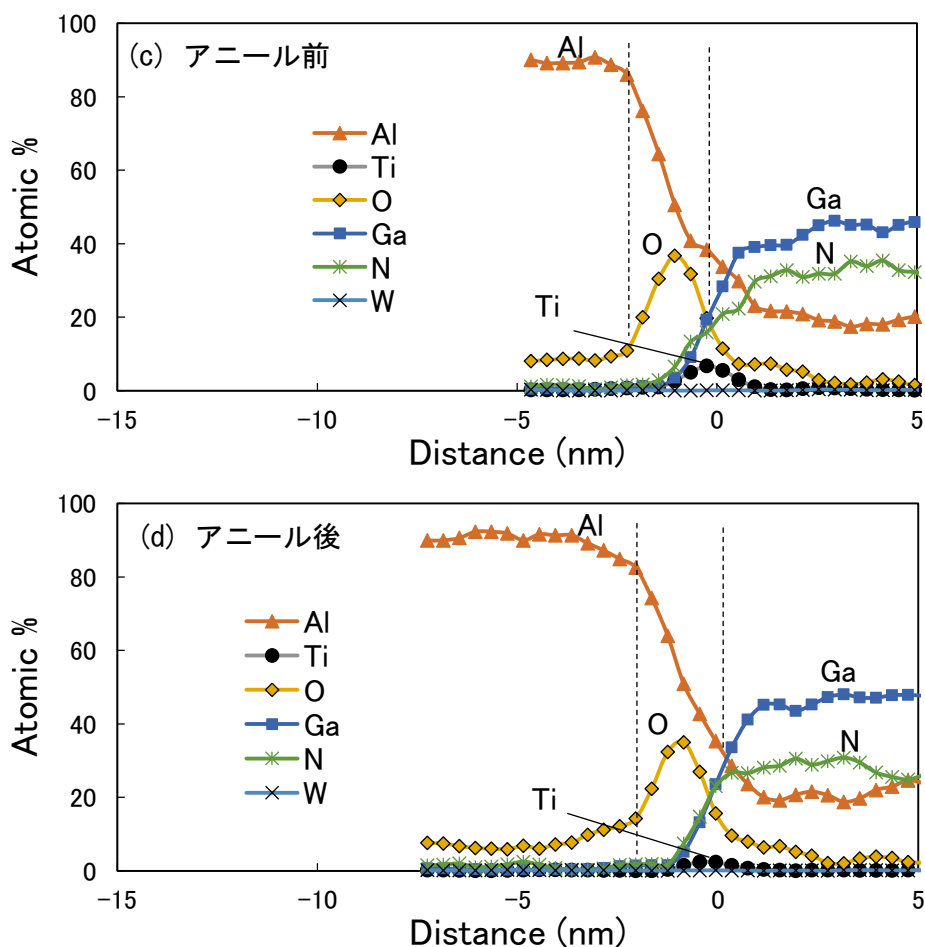


図 3.7.2.4(c)、(d) ライン EDX
 試料: Ti/Al/W=1.35/140/20nm、500°C、10 分

EDXにてGaとNの拡散に着目すると、アニール前後で金属/AlGaIn 界面におけるGaとNの傾きが変化していないことから、Tiの少ないこの試料ではAlGaInの分解がほとんど起きていないことが分かる。

3.7.3 元素組成比

3.7.2 節の議論から、金属/AlGaIn 界面におけるAl組成比とO組成比は固有接触抵抗に影響すると考えられる。Ti厚さが1.35、2.7、13.5nmの試料のEDX結果から、金属/AlGaIn 界面における各元素の組成比を抜き取ってまとめたのが表 3.7.3.1 である。それぞれのTi厚さのTLM試料で得られた固有接触抵抗も記載してある。Ti厚さとAlおよびOの組成比の関係を図 3.7.3.1(a)に示す。まず、O組成比に関しては、Tiが多い方がAlGaIn表面からの酸素除去効果が大きいと考えられ、実際にTi厚さが厚いほどO組成比は低下している。次に、Al組成比に関しては、Tiが厚い方

が小さくなると考えられ、実際に Ti が厚い 13.5nm のときに最も低い Al 組成比となる。しかし、1.35nm と 2.7nm の関係は予測に反して逆転している。恐らく Ti 厚さ 1.35nm の試料での高い酸素組成比が Al 組成比を引き下げたと考えられる。よって、Ti が厚いほど Al 組成比が下がるという傾向はおおむね正しいといえる。

ここで、良好な金属/AlGaIn 界面を示すパラメータとして、Al/O 比について検討する。低い固有接触抵抗を得るためには、Al 組成比は大きい方が、O 組成比は小さい方が好ましいことから、Al/O 比は大きいほうがよい。図 3.7.3.1(b) は Ti 厚さと Al/O 比の関係を示している。Al/O 比は Ti 厚さ 2.7nm で最大となり、それより厚くても薄くても低下することが分かる。図 3.7.3.2 は Al/O 比と固有接触抵抗の関係を示したグラフであり、サンプル数が十分ではないが、Al/O 比が大きいほど固有接触抵抗が下がる関係が見て取れる。

表 3.7.3.1 金属/AlGaIn 界面における元素比率

Ti 厚さ (nm)	元素組成比					Al/O 比 (-)	固有接触抵抗 ($\Omega \cdot \text{cm}^2$)
	Ti	Al	O	N	Ga		
1.35	2.2	34.4	14.8	23.5	25.0	2.32	5.22×10^{-4}
2.7	6.9	39.4	8.9	19.8	25.0	4.44	2.54×10^{-6}
13.5	30.1	21.6	5.4	18.0	25.0	4.04	8.72×10^{-6}

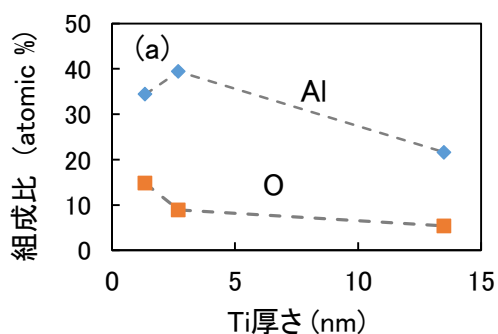


図 3.7.3.1(a) Ti 厚さと組成比

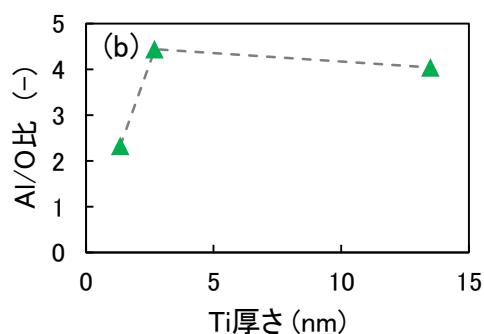


図 3.7.3.1(b) Ti 厚さと Al/O 比

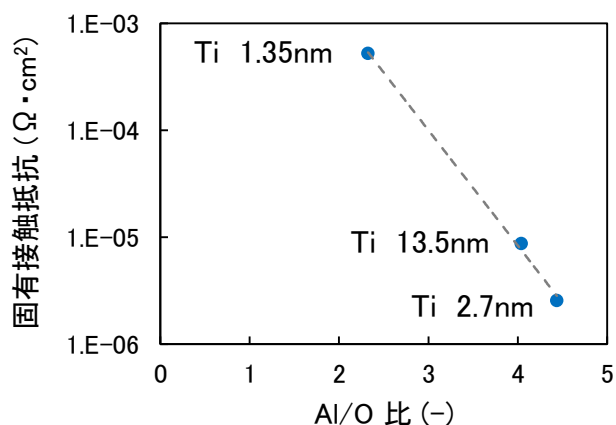


図 3.7.3.2 Al/O 比と固有接触抵抗の関係

3.8 オーミック電極形成メカニズム

これまでの議論を踏まえ、Ti/Al/W による低温オーミック電極の形成メカニズムについて述べる。

まずは Ti の役割についてまとめると以下ようになる。

- ①Ti は AlGaN 表面の自然酸化膜(Ga_2O_3)から酸素を奪い、Ti 層内および Al/Ti 界面に移動させる。これにより、AlGaN 表面の O 組成比が低下する。この作用は Ti 層が厚ければ厚いほど大きい。
- ②Ti は Al の AlGaN 表面への拡散を阻害する。したがって Ti が厚いほど AlGaN 表面の Al 組成比が低下してしまう。この点では Ti 層は薄ければ薄いほど好ましい。
- ③Ti 厚さが 2.7nm 以上あるとき、Al と共に合金化し $\text{Ti}_{0.5}\text{Al}_{0.5}\text{N}$ または TiAl_3 を形成する。
- ④Ti は AlGaN を分解し欠陥や不純物の無いクリーンな金属/AlGaN 界面を形成する。Ti 厚さが 2.7nm のとき、分解した窒素を含む $\text{Ti}_{0.5}\text{Al}_{0.5}\text{N}$ が生じることから、2.7nm 以上あればこの現象が起きると推測される。

①と②がトレードオフの関係にあることから、Ti は厚すぎても薄すぎても固有接触抵抗の増大につながり、その間に最適な厚さがあると考えられる。金属/AlGaN 界面における Al/O 比が最大となるときに最も低い固有接触抵抗が得られることから、「Al/O 比最大」が最適な Ti 厚さを決める指標になると考えられ、本試作の結果、その Ti 厚さは 2.7nm であった。ただし、これはアニール条件を 500°C、10 分とした場合であり、図 3.5.2 から分かるように、アニール温度が高い場合はより厚い Ti が最適となる。したがって Ti 厚さの他に、アニール条件もまた Al/O 比を変化させるパラメータである。

次にAlの役割について述べる。Alは小さい仕事関数を持ちAlGaIn表面まで拡散することで金属/AlGaIn界面のエネルギー障壁を下げる。AlGaIn表面への拡散量は、Ti厚さとアニール条件に依存しており、アニール条件が固定の場合、Ti層が薄いほど増える。AlGaIn表面においてTiと共に合金化し $Ti_{0.5}Al_{0.5}N$ または $TiAl_3$ を形成する。TiAl合金が形成される量は、相対的に薄いTi膜厚で決まるため、Al層の厚さはAlの無限ソースとして考えられる分量があればよく、実験結果からおおよそ140nm以上あればよいと考えられる。オーミック界面の形成は金属/AlGaIn界面の近傍だけで決まるため、それよりAl層を厚くしても固有接触抵抗には影響しない。

Wの役割は酸化しやすいTi/Al積層の酸化防止である。EDXにて、金属/AlGaIn界面までWが拡散していないことから、オーミック界面の形成には直接寄与していない。酸化防止膜としての役割を果たすためには、固有接触抵抗の測定結果から、20nmあればよい。しかし断面TEMにて、20nmの場合に薄膜部分が見られるため、さらに厚いほうが信頼性が高まると思われる。

Ti/Al/W電極はアニールしなければオーミック特性が得られない。アニールの役割をまとめると次のようになる。

- I. TiのAlGaIn分解を促す
- II. AlをAlGaIn表面まで拡散させる
(最適アニール条件はこれが完了する温度として決まる)
- III. 電流経路を遮断する一様な酸化層を凝集、または金属内に拡散させることで電流経路を形成する
- IV. TiAl合金を形成させる

以上を踏まえ、非常に薄い2.7nmのTi膜厚と、500°Cの低温アニールを特徴とする、Ti/Al/Wオーミック電極の形成メカニズムをまとめたのが図3.8.1である。メタル成膜時にTiの役割①が起こり、アニール中にI.~IV.が起こることでクリーンな $Ti_{0.5}Al_{0.5}N$ /AlGaIn界面を形成する。Wは単に酸化防止膜としての役割しか持たないことから、このメカニズムはAuを含まないTi/Al系オーミック電極に広く適用可能であると考える。

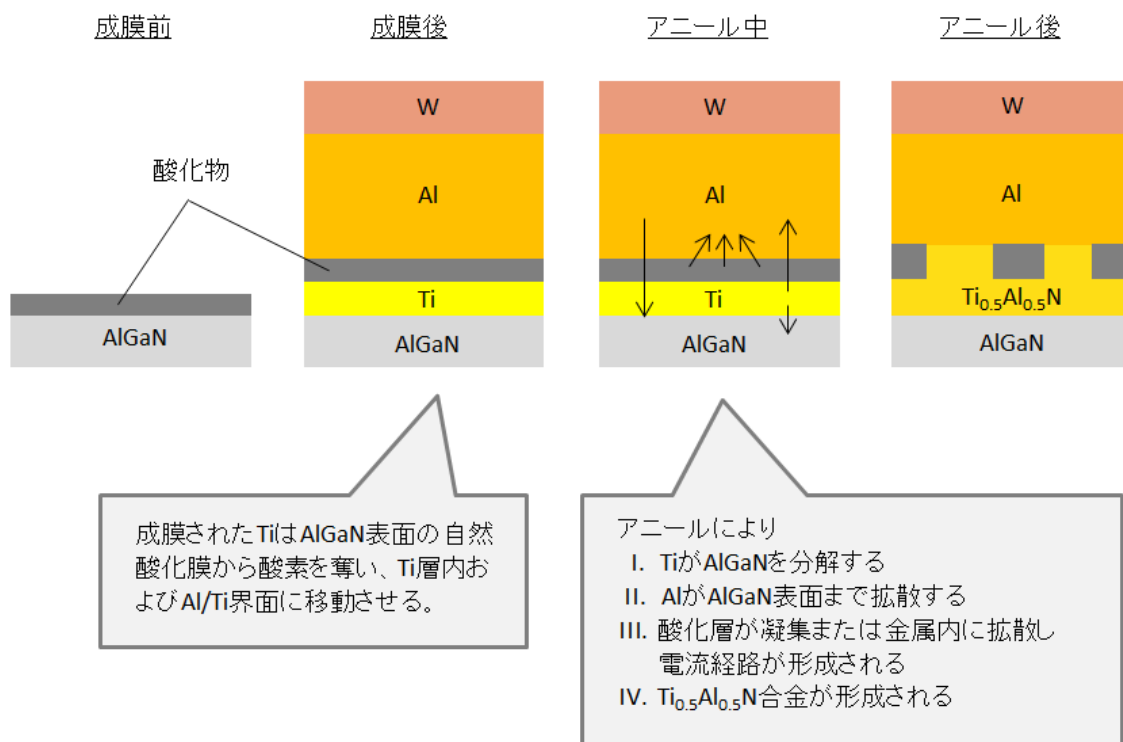


図 3.8.1 オーミック電極形成の模式図

3.9 本章のまとめ

AlGaIn/GaN on Si ウェハ上の Ti/Al/W オーミック電極の特性評価を行った結果、以下のことが分かった。

- Ti が薄いほど、必要なアニール温度が下がると同時に固有接触抵抗が下がる
- Al と W の厚さは、ある程度以上になると固有接触抵抗に影響しない
- 最も低い固有接触抵抗は Ti 厚さが 2.7nm、アニール条件 500°C、10 分のときに得られ、その値は $2.54\text{E-}6\Omega\cdot\text{cm}^2$ である
- このアニール温度および固有接触抵抗は、これまで報告された Ti/Al/W 電極に関する論文の中で最も低い値である

Ti/Al/W 電極は Au 含有電極と比べて、以下の利点がある。

- 低いアニール温度でオーミック特性が得られるためプロセス自由度が上がり、ゲートファーストプロセスが可能となる
- AlGaIn に深く拡散しないため、シート抵抗を悪化させない

- 表面の平坦性が良く、パターンの直線性やワイヤボンディングの密着性に優れる

電極の組成、構造分析を行った結果、以下のことが分かった。

- Ti 厚さが 2.7nm の場合、アニール後に $\text{Ti}_{0.5}\text{Al}_{0.5}\text{N}$ が生成する
- Ti 厚さが 13.5nm の場合、アニール後に TiAl_3 が生成する
- $\text{Ti}_{0.5}\text{Al}_{0.5}\text{N}$ が生じるアニール条件と、低い固有接触抵抗が得られるアニール条件は整合する (500°C 以上、10 分以上)
- オーミック金属成膜時点で酸化層は Ti 層と Al 層の間に移動する
- アニールにより酸化層は凝集または合金内に拡散する
- アニールにより Ti は AlGaIn を分解する
- アニールにより Al は AlGaIn 表面まで拡散する

これらの結果を踏まえ、各金属の役割と、アニールが果たす役割を明らかにし、薄い Ti 層と低温アニールを特徴とする Ti/Al/W 電極のオーミック界面形成メカニズムを明らかにした。

参考文献

- [1] B. P. Luther, S. E. Mohny, T. N. Jackson, M. A. Khan, Q. Chen and J. W. Yang, "Investigation of the mechanism for Ohmic contact formation in Al and Ti/Al contacts to n-type GaN." *Appl. Phys. Lett.* **70**(1) 57, 1997.
- [2] A. Shriki, R. Winter, Y. Calahorra, Y. Kauffmann, G. Ankonina, M. Eizenberg, and D. Ritter, "Formation mechanism of gold-based and gold-free ohmic contacts to AlGaIn/GaN heterostructure field effect transistors." *J. Appl. Phys.* **121**(6) 065301 2017.
- [3] S. Ruvimov, Z. Liliental-Weber, J. Washburn, K. J. Duxstad, E. E. Haller, Z. F. Fan, S. N. Mohammad, W. Kim, A. E. Botchkarev and H. Morkoc, "Microstructure of Ti/Al and Ti/Al/Ni/Au Ohmic contacts for n - GaN." *Appl. Phys. Lett.* **69**(11) 1556-1558, 1996.
- [4] Q. Wang, Y. Jiang, J. Zhang, K. Kawaharada, L. Li, D. Wang, and J. P. Ao, "A self-aligned gate GaN MOSFET using an ICP-assisted low-temperature Ohmic process." *Semicond. Sci. Technol.* **30**(7), 075003, 2015.
- [5] M. E. Lin, Z. Ma, F. Huang, Z. F. Fan, L. H. Allen, and H. Morkoc, "Low resistance ohmic contacts on wide band - gap GaN." *Appl. Phys. Lett.* **64**(8), 1003-1005, 1994.
- [6] V. Garbe, J. Weise, M. Motylenko, W. Münchgesang, A. Schmid, D. Rafaja, B. Abendroth, and D. C. Meyer, "Au-free ohmic Ti/Al/TiN contacts to UID n-GaN fabricated by sputter deposition." *J. Appl. Phys.* **121**(6) 065703 2017.
- [7] J. S. Kwak, S. E. Mohny, J. Y. Lin, R. S. Kern, "Low resistance Al/Ti/n-GaN ohmic contacts with improved surface morphology and thermal stability." *Semicond. Sci. Technol.* **15**(7) 756 2000.
- [8] S. M. Gasser, E. Kolawa, and M. A. Nicolet, "Reaction of aluminum-on-titanium bilayer with GaN: Influence of the Al: Ti atomic ratio." *J. electron. mater.* **28**(8) 949-954 1999.
- [9] B. V. Daele, G. V. Tendeloo, W. Ruythooren, J. Derluyn, M. R. Leys, and M. Germain "The role of Al on Ohmic contact formation on n-type GaN and AlGaIn/GaN." *Appl. Phys. Lett.* **87**(6) 061905, 2005.
- [10] J. S. Kwak, S. E. Mohny, J. Y. Lin, R. S. Kern, " Low resistance Al/Ti/n-GaN ohmic contacts with improved surface morphology and thermal stability." *Semicond. Sci. Technol.* **15**(7), 756 2000.

- [11] S. Ruvimov, Z. Liliental-Weber, J. Washburn, K. J. Duxstad, E. E. Haller, Z. F. Fan, S. N. Mohammad, W. Kim, A. E. Botchkarev, and H. Morkoc, "Microstructure of Ti/Al and Ti/Al/Ni/Au Ohmic contacts for n - GaN." *Appl. Phys. Lett.* **69**(11) 1556-1558, 1996.
- [12] R. Gong, J. Wang, S. Liu, Z. Dong, M. Yu, C. P. Wen, Y. Cai, and B. Zhang, "Analysis of surface roughness in Ti/Al/Ni/Au Ohmic contact to AlGaIn/GaN high electron mobility transistors." *Appl. Phys. Lett.* **97**(6), 062115, 2010.
- [13] J. C. Gerbedoen, A. Soltani, M. Mattalah, A. Telia, D. Troadec, B. Abdallah, E. Gautron, and J. C. De Jaeger, "Study of ohmic contact formation on AlGaIn/GaN HEMT with AlN spacer on silicon substrate." European Microwave Integrated Circuits Conf. p 136-139, 2009.
- [14] A. Negencev, V. Zemlyakov, V. Egorkin, V. Garmash, and A. Emelianov, "Optimization of Ohmic contact fabrication technology to GaN-based heterostructures." Electrical and Electronic Engineering, 2017 IEEE Conf. of Russian p 1413-1415, 2017.
- [15] J. W. Chung, W. E. Hoke, E. M. Chumbes, and T. Palacios, "AlGaIn/GaN HEMT With 300-GHz f_{max} ." *IEEE Electron Device Lett.* **31**(3), 195, 2010.
- [16] M. Hirose, Y. Takada, M. Kuraguchi, T. Sasaki, and K. Tsuda, "A 1.9 GHz SPDT switch implemented with GaN HFETs featuring two different depth-recesses in i-AlGaIn." *In Compound Semiconductor Integrated Circuit Symposium, 2004. IEEE*, pp.163-166, 2004.
- [17] A. N. Bright, P. J. Thomas, M. Weyland, D. M. Tricker, C. J. Humphreys, and R. Davies, "Correlation of contact resistance with microstructure for Au/Ni/Al/Ti/AlGaIn/GaN ohmic contacts using transmission electron microscopy." *J. Appl. Phys.* **89**(6), 3143-3150, 2001.
- [18] T. Fujiwara, S. Keller, J. S. Speck, S. P. DenBaars, and U. K. Mishra, "Low ohmic contact resistance m-plane AlGaIn/GaN heterojunction field-effect transistors with enhancement-mode operations." *Appl. Phys. Express*, **3**(10), 101002, 2010.
- [19] Z. Zheng, H. Seo, L. Pang, and K. Kim, "Nonalloyed ohmic contact of AlGaIn/GaN HEMTs by selective area growth of single-crystal n⁺-GaIn using plasma assisted molecular beam epitaxy." *physica status solidi (a)*, **208**(4), 951-954, 2011.
- [20] K. Čičo, D. Gregušová, Š. Gaži, J. Šoltýs, J. Kuzmík, J. F. Carlin, N. Grandjean, D. Pogany, and K. Fröhlich, "Optimization of the ohmic

- contact processing in InAlN//GaN high electron mobility transistors for lower temperature of annealing.” *Physic. Status Solidi (c)*, **7**(1), 108-111, 2010.
- [21] Z. H. Liu, S. Arulkumaran, and G. I. Ng, “Temperature dependence of Ohmic contact characteristics in AlGaIn/GaN high electron mobility transistors from– 50 to 200 C.” *Appl. Phys. Lett.* **94**, 142105, 2009.
- [22] F. M. Mohammed, L. Wang, I. Adesida, and E. Piner “The role of barrier layer on Ohmic performance of Ti/ Al-based contact metallizations on AlGaIn/GaN heterostructures.” *J. Appl. Phys.* **100**(2), 023708, 2006.
- [23] A. Motayed, R. Bathe, M. C. Wood, O. S. Diouf, R. D. Vispute, and S. N.Mohammad, “Electrical, thermal, and microstructural characteristics of Ti/Al/Ti/Au multilayer Ohmic contacts to n-type GaN.” *J. Appl. Phys.* **93**(2), 1087-1094, 2003.
- [24] L. Wang, D. H. Kim, and I. Adesida, “Direct contact mechanism of Ohmic metallization to AlGaIn/GaN heterostructures via Ohmic area recess etching.” *Appl. Phys. Lett.* **95**(17), 172107, 2009.
- [25] L.Wang, F. M. Mohammed, and I. Adesida, “Formation mechanism of Ohmic contacts on Al Ga In/ Ga N heterostructure: Electrical and microstructural characterizations.” *J. Appl. Phys.* **103**(9), 093516, 2008.
- [26] D. Selvanathan, F. M. Mohammed, A. Tesfayesus, and I. Adesida, “Comparative study of Ti/Al/Mo/Au, Mo/Al/Mo/Au, and V/Al/Mo/Au ohmic contacts to AlGaIn/GaN heterostructures.” *J. Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena*, **22**(5), 2409-2416, 2004.
- [27] L. Wang, D. H. Kim, and I. Adesida, “Direct contact mechanism of Ohmic metallization to AlGaIn/GaN heterostructures via Ohmic area recess etching.” *Appl. Phys. Lett.* **95**(17), 172107, 2009.
- [28] S. J. Cai, R. Li, Y. L. Chen, L. Wong, W. G. Wu, S. G. Thomas, and K. L. Wang, “High performance AlGaIn/GaN HEMT with improved ohmic contacts.” *Electronics Lett.* **34**(24), 2354-2356, 1998.
- [29] C. Lu, H. Chen, X. Lv, X. Xie, and S. N. Mohammad, “Temperature and doping-dependent resistivity of Ti/Au/Pd/Au multilayer ohmic contact to n-GaN.” *J. appl. phys.* **91**(11), 9218-9224, 2002.
- [30] M. W. Fay, G. Moldovan, N. J. Weston, P. D. Brown, I. Harrison, K. P. Hilton, A. Masterton, D. Wallis, R. S. Balmer, M. J. Uren, and T. Martin, “Structural and electrical characterization of AuPdAlTi ohmic contacts to

- AlGaIn/GaN with varying Ti content.” *J. Appl. Phys.* **96**(10), 5588-5595, 2004.
- [31] S. Kim, J. H. Ryou, R. D. Dupuis, and H. Kim, “Carrier transport mechanism of low resistance Ti/Al/Au ohmic contacts to AlInN/GaN heterostructures.” *Appl. Phys. Lett.* **102**(5), 052107, 2013.
- [32] H. Sazawa, Y. Honda, M. Hata, A. Hasegawa, H. Hamamatsu, M. Shimizu, H. Okumura, T. Sakurai, and K. Akimoto, “Improved Contact Resistance in AlGaIn/GaN Heterostructures by Titanium Distribution Control at the Metal–Semiconductor Interface.” *Appl. Phys. Express*, **1**(8), 081101, 2008.
- [33] Y. Yue, Z. Hu, J. Guo, B. Sensale-Rodriguez, G. Li, R. Wang, F. Faria, T. Fang, B. Song, X. Gao, S. Guo, T. Kosel, G. Snider, P. Fay, D. Jena, and H. Xing, “InAlN/AlN/GaN HEMTs with regrown ohmic contacts and f_T of 370 GHz.” *IEEE Electron Device Lett.* **33**(7), 988-990, 2012.
- [34] P. S. Park, S. Krishnamoorthy, S. Bajaj, D. N. Nath, and S. Rajan, “Recess-free nonalloyed ohmic contacts on graded AlGaIn heterojunction FETs.” *IEEE Electron Device Lett.* **36**(3), 226-228, 2015.
- [35] A. Basu, F. M. Mohammed, S. Guo, B. Peres, and I. Adesida, “Mo/Al/Mo/Au Ohmic contact scheme for $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$ high electron mobility transistors annealed at 500°C.” *J. Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena*, **24**(2), L16-L18, 2006.
- [36] J. Lee, M. Yan, B. Ofuonye, J. Jang, X. Gao, S. Guo, and I. Adesida, “Low resistance Mo/Al/Mo/Au ohmic contact scheme to InAlN/AlN/GaN heterostructure.” *Physic. Status Solidi (a)*, **208**(7), 1538-1540, 2011.
- [37] M. V. Hove, X. Kang, S. Stoffels, D. Wellekens, N. Ronchi, R. Venegas, K. Geens, and S. Decoutere, “Fabrication and Performance of Au-Free AlGaIn/GaN-on-Silicon Power Devices With Al_2O_3 and $\text{Si}_3\text{N}_4/\text{Al}_2\text{O}_3$ Gate Dielectrics.” *IEEE Trans. Electron Devices*, **60**(10), 3071-3078 2013.
- [38] H. S. Lee, D. S. Lee, T. Palacios, “AlGaIn/GaN high-electron-mobility transistors fabricated through a Au-free technology.” *IEEE Electron Device Lett.* **32**(5), 623 2011.
- [39] T. E. Hsieh, Y. C. Lin, C. M. Chu, Y. L. Chuang, Y. X. Huang, W. C. Shi, C. F. Dee, B. Y. Majlis, W. I. Lee, E. Y. Chang, “Au-Free GaN High-Electron-Mobility Transistor with Ti/Al/W Ohmic and WN_x

- Schottky Metal Structures for High-Power Applications.” *J. Electronic Mater.* **45**(7), 3285 2016.
- [40] H. Huang, Y. C. Liang, G. S. Samudra, and C. L. L. Ngo, “Au-free normally-off AlGaIn/GaN-on-Si MIS-HEMTs using combined partially recessed and fluorinated trap-charge gate structures.” *IEEE Electron Device Lett.* **35**(5), 569-571, 2014.
- [41] A. Shriki, R. Winter, Y. Calahorra, Y. Kauffmann, G. Ankonina, M. Izenberg, and D. Ritter, “Formation mechanism of gold-based and gold-free ohmic contacts to AlGaIn/GaN heterostructure field effect transistors.” *J. Appl. Phys.* **121**(6) 065301, 2017.
- [42] S. Lenci, B. De Jaeger, L. Carbonell, J. Hu, G. Mannaert, D. Wellekens, S. You, B. Bakeroot, and S. Decoutere, “Au-free AlGaIn/GaN power diode on 8-in Si substrate with gated edge termination.” *IEEE Electron Device Lett.* **34**(8), 1035-1037, 2013.
- [43] D. W. Seo, H. G. Choi, J. Twynam, K. M. Kim, J. S. Yim, S. W. Moon, S. Jung, J. Lee, and S. D. Roh, “600V-18A GaN Power MOS-HEMTs on 150 mm Si Substrates With Au-Free Electrodes.” *IEEE Electron Device Lett.* **35**(4), 446-448, 2014.
- [44] Z. Liu, M. Sun, H. S. Lee, M. Heuken, and T. Palacios, “AlGaIn/AlN/GaN high-electron-mobility transistors fabricated with Au-free technology.” *Appl. Phys. Express* **6**(9) 096502, 2013.
- [45] W. H. Tham, D. S. Ang, L. K. Bera, S. B. Dolmanan, T. N. Bhat, R. S. Kajen, H. R. Tan, S. L. Teo, and S. Tripathy, “Gold-free contacts on $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$ high electron mobility transistor structure grown on a 200-mm diameter Si (111) substrate.” *J. Vac. Sci. Technol. B* **34**(4) 041217, 2016.
- [46] J. Zhang, S. Huang, Q. Bao, X. Wang, K. Wei, Y. Zheng, Y. Li, C. Zhou, X. Liu, Q. Zhou, W. Chen, and B. Zhang, “Mechanism of Ti/Al/Ti/W Au-free ohmic contacts to AlGaIn/GaN heterostructures via pre-ohmic recess etching and low temperature annealing.” *Appl. Phys. Lett.* **107**(26), 262109, 2015.
- [47] M. Nozaki, J. Ito, R. Asahara, S. Nakazawa, M. Ishida, T. Ueda, A. Yoshigoe, T. Hosoi, T. Shimura, and H. Watanabe, “Synchrotron radiation X-ray photoelectron spectroscopy of Ti/Al ohmic contacts to n-type GaN: Key role of Al capping layers in interface scavenging reactions.” *Appl. Phys. Express*, **9**(10), 105801, 2016.

- [48] S. M. Gasser, E. Kolawa, and M. A. Nicolet, "Reaction of aluminum-on-titanium bilayer with GaN: Influence of the Al: Ti atomic ratio." *J. electron. mater.* **28**(8) 949-954, 1999.
- [49] B. Zhang, W. Lin, S. Li, Y. Zheng, X. Yang, D. Cai, and J. Kang, "Ohmic contact to n-AlGaIn through bonding state transition at TiAl interface." *J. Appl. Phys.* **111**(11), 113710, 2012.
- [50] S. Jung, S. N. Lee, K. S. Ahn, and H. Kim, "Carrier Transport Mechanism of a Low Resistance Ti/Al Ohmic Contact on (1122) Semipolar n-Type GaN." *Jpn. J. Appl. Phys.* **51**(6R), 061001, 2012.
- [51] S. Murai, H. Masuda, Y. Koide, and M. Murakami, "Effect of Pd or Pt addition to Ti/Al ohmic contact materials for n-type AlGaIn." *Appl. Phys. Lett.* **80**(16), 2934-2936, 2002.
- [52] B. P. Luther, S. E. Mohny, J. M. Delucca, and R. F. Karlicek, "Study of contact resistivity, mechanical integrity, and thermal stability of Ti/Al and Ta/Al ohmic contacts to n-type GaN." *J. electronic materials*, **27**(4), 196-199, 1998.
- [53] A. Malmros, H. Blanck, and N. Rorsman, "Electrical properties, microstructure, and thermal stability of Ta-based ohmic contacts annealed at low temperature for GaN HEMTs." *Semiconductor Science and Technology*, **26**(7), 075006, 2011.
- [54] S. L. Selvaraj, A. Kamath, W. Wang, Z. Chen, K. T. Win, T. S. Phua, and G. Q. Lo, "Process uniformity and challenges of AlGaIn/GaN MIS-HEMTs on 200-mm Si (111) substrates fabricated with CMOS-compatible process and integration." *J. Electronic Materials*, **44**(8), 2679-2685, 2015.
- [55] J. Bergsten, A. Malmros, M. Tordjman, P. Gamarra, C. Lacam, M. A. di Forte-Poisson, and N. Rorsman, "Low resistive Au-free, Ta-based, recessed ohmic contacts to InAlN/AlN/GaN heterostructures." *Semicond. Sci. Technol.* **30**(10), 105034, 2015.
- [56] D. Qiao, L. S. Yu, L. Jia, P. M. Asbeck, S. S. Lau, and T. E. Haynes, "Transport properties of the advancing interface ohmic contact to AlGaIn/GaN heterostructures." *Appl. Phys. Lett.* **80**(6), 992-994, 2002.
- [57] S. Arulkumaran, G. I. Ng, S. Vicknesh, H. Wang, K. S. Ang, C. M. Kumar, K. L. Teo, and K. Ranjan, "Demonstration of submicron-gate AlGaIn/GaN high-electron-mobility transistors on silicon with complementary metal-oxide-semiconductor-compatible non-gold metal stack." *Appl. Phys. Express*, **6**(1), 016501, 2012.

- [58] K. Tsutsui, “Ohmic contacts for AlGaIn/GaN HEMTs with artificially introduced uneven structures at metal/AlGaIn interfaces.” In *Junction Technology (IWJT), 2016 16th International Workshop*, pp. 9-12, 2016.
- [59] D. B. Ingerly, Y. Chen, R. S. William, T. Takeuchi, and Y. A. Chang, “Low resistance ohmic contacts to n-GaN and n-AlGaIn using NiAl.” *Appl. Phys. Lett.* **77**(3), 382-384, 2000.
- [60] Y. Liu, S. P. Singh, L. M. Kyaw, M. K. Bera, Y. J. Ngoo, H. R. Tan, S. Tripathy, G. Q. Lo, and E. F. Chor, “Mechanisms of Ohmic Contact Formation and Carrier Transport of Low Temperature Annealed Hf/Al/Ta on In_{0.18}Al_{0.82}N/GaN-on-Si.” *ECS J. Solid State Sci. Technol.* **4**(2), 30-35, 2015.
- [61] J. Zhang, L. Wang, Q. Wang, Y. Jiang, L. Li, H. Zhu, and J. P. Ao, “Plasma-assisted ohmic contact for AlGaIn/GaN heterostructure field-effect transistors.” *Semicond. Sci. Technol.* **31**(3), 035015, 2016.
- [62] H. C. Seo, P. Chapman, H. I. Cho, J. H. Lee, and K. Kim, “Ti-based nonalloyed Ohmic contacts for Al_{0.15}Ga_{0.85}N/GaN high electron mobility transistors using regrown n⁺-Ga N by plasma assisted molecular beam epitaxy.” *Appl. Phys. Lett.* **93**(10), 102102, 2008.
- [63] Y. J. Lin, and C. T. Lee, “Investigation of surface treatments for nonalloyed ohmic contact formation in Ti/Al contacts to n-type GaN.” *Appl. Phys. Lett.* **77**(24), 3986-3988, 2000.
- [64] V. Kumar, A. Basu, D. H. Kim, and I. Adesida, “Self-aligned AlGaIn/GaN high electron mobility transistors with 0.18 μm gate-length.” *Electronics Letters*, **44**(22), 1323-1325, 2008.
- [65] H. Zhao, J. Huang, Y. T. Chen, J. H. Yum, Y. Wang, F. Zhou, F. Xue, and J. C. Lee, “Effects of gate-first and gate-last process on interface quality of In_{0.53}Ga_{0.47}As metal-oxide-semiconductor capacitors using atomic-layer-deposited Al₂O₃ and HfO₂ oxides.” *Appl. Phys. Lett.* **95**(25), 253501, 2009.
- [66] N. Szabó, A. Wachowiak, A. Winzer, J. Ocker, J. Gärtner, R. Hentschel, A. Schmid, and T. Mikolajick, “High-k/GaN interface engineering toward AlGaIn/GaN MIS-HEMT with improved V_{th} stability.” *J. Vacuum Science & Technology B, Nanotechnology and Microelectronics: Materials, Processing, Measurement, and Phenomena*, **35**(1), 01A102, 2017.

- [67] X. Kong, K. Wei, G. Liu, and X. Liu, "Role of Ti/Al relative thickness in the formation mechanism of Ti/Al/Ni/Au Ohmic contacts to AlGaIn/GaN heterostructures." *J. Phys. D: Appl. Phys.* **45**(26), 265101, 2012.
- [68] T. E. Hsieh, Y. C. Lin, C. M. Chu, Y. L. Chuang, Y. X. Huang, W. C. Shi, C. F. Dee, B. Y. Majlis, W. I. Lee, and E. Y. Chang, "Au-Free GaN High-Electron-Mobility Transistor with Ti/Al/W Ohmic and Wn_x Schottky Metal Structures for High-Power Applications." *J. Electronic Mater.* **45**(7) 3285, 2016.
- [69] J. G. Lee, H. S. Kim, D. H. Kim, S. W. Han, K. S. Seo, and H. Y. Cha, "Au-free AlGaIn/GaN heterostructure field-effect transistor with recessed overhang ohmic contacts using a Ti/Al bilayer." *Semicond. Sci. Technol.* **30**(8), 085005, 2015.
- [70] A. Motayed, R. Bathe, M. C. Wood, O. S. Diouf, R. D. Vispute, and S. N. Mohammad, "Electrical, thermal, and microstructural characteristics of Ti/Al/Ti/Au multilayer Ohmic contacts to n-type GaN." *J. Appl. Phys.* **93**(2), 1087-1094, 2003.
- [71] R. Khoshhal, and M. Soltanieh, "Formation and growth of titanium aluminide layer at the surface of titanium sheets immersed in molten aluminum." *Iranian J. Materials Science and Engineering*, **7**, 24-31, 2010.
- [72] Y. R. Luo, "Comprehensive Handbook of Chemical Bond Energies" CRC Press p 669, 1057, 1071, 2007.
- [73] L. Wang, F. M. Mohammed, and I. Adesida, "Formation mechanism of Ohmic contacts on AlGaIn/GaN heterostructure: Electrical and microstructural characterizations." *J. Appl. Phys.* **103**(9) 093516, 2008.

第4章 InAlN/AlN/GaN ヘテロ構造上 Au フリーオーミック電極

4.1 はじめに

前章において、Ti を薄くした Ti/Al/W 電極が、低いアニール温度でオーミック接合を形成することが分かった。InAlN バリア層を活用したヘテロ接合は、高い 2DEG 電子密度が期待できる一方、高温処理による 2DEG の劣化が AlGaN よりも起こりやすいことが知られており、アニール温度の低いオーミック電極が求められている。InAlN バリア層においても、Ti/Al/W 電極は低いアニール温度で低い固有接触抵抗が得られると考え、評価を行った。

本章では、InAlN/AlN/GaN ヘテロ構造上に形成した Ti/Al/W 電極形成条件の最適化について述べる。また、オーミックリセスを行い、固有接触抵抗への影響を確認するとともに、その温度特性から、リセスオーミック電極における電子伝導メカニズムを考察する。

本章で用いた InAlN/AlN/GaN on Si ウェハの断面構造を図 4.1.1 に示す。また、測定で得られた特性を表 4.1.1 にまとめる。試料はこのウェハを 8mm 角に劈開して流動した。

In _{0.17} Al _{0.83} N 9.5nm
AlN 0.8nm
GaN 1000nm
バッファ 300nm
6インチ Si (111)

表 4.1.1 ウェハ諸特性

シート抵抗 ($\Omega/\text{sq.}$)	215
シートキャリア密度 ($/\text{cm}^2$)	2.09E+13
移動度 (cm^2/Vs)	1240
FWHM(0002) (arcsec)	618
FWHM(10-12) (arcsec)	834

図 4.1.1 ウェハ断面構造図

4.2 Ti 厚さ、アニール条件の最適化

Ti/Al/W 電極の固有接触抵抗に影響を与える因子は、Ti 厚さ、アニール温度とアニール時間である。Ti 厚さは、AlGaN/GaN で最適であった 2.7nm を含む 2~20nm の範囲で評価した。アニール温度は、AlGaN/GaN で最適であった 500°C を含む 400

～650°Cの範囲で評価した。アニール時間はAlGaN/GaNで最適であった10分に加え、1分も試作評価した。500°Cを超える温度では1分とした方が良いという結果がAlGaN/GaNで得られていたためである。AlおよびWの厚さはそれぞれ140nm、40nmで固定とした。

Ti厚さを変えた時の固有接触抵抗の変動を図4.2.1に示す。(a)は10分アニールでの結果、(b)は1分アニールでの結果である。図4.2.1(a)に示した10分アニールの場合、500°Cのデータに注目すると、AlGaN/GaNの場合に最適であった2.7nmよりも厚い10nmのとき最も低い固有接触抵抗が得られることが分かる。Ti厚さ10nmにおいて各温度で得られたデータに着目すると、480°Cのとき、最も低い抵抗が得られた。450°C以下ではオーミック特性が得られなかった。図4.2.1(b)に示した1分アニールの場合、Ti厚さが15nm、アニール温度525°Cのときに、最も低い固有接触抵抗 $1.29E-5\Omega\cdot\text{cm}^2$ が得られた。この値は今回評価した試料の中で最も低い抵抗値である。しかし、LiuらがInAlN/AlN/GaN on SiでHf/Al/Ta(15/200/20nm)を600°C、1分アニールして得られた $6.75E-6\Omega\cdot\text{cm}^2$ には及ばなかった[1]。InAlNでの最適温度525°Cは、AlGaNの最適温度500°Cより高いが、その理由はTi厚さがAlGaNの2.7nmより厚い15nmになったことで、Al拡散を促進するために高温が必要となったためであり、前章でのオーミック接合形成メカニズムと整合する。

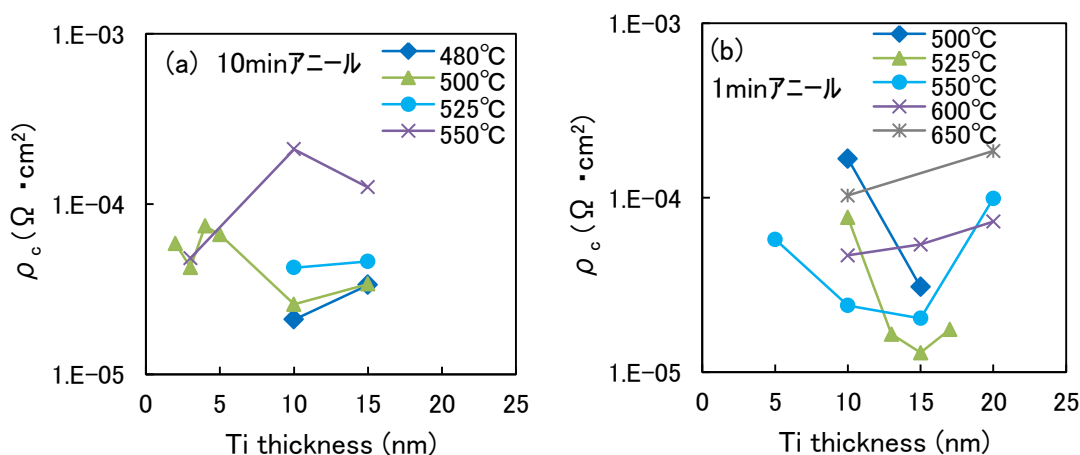


図 4.2.1 Ti 厚さと固有接触抵抗 (a)10 分アニール (b)1 分アニール

InAlNでより厚いTiが必要な理由について考察する。3.7.7節でTiの役割についてまとめたなかで、「Ti層が厚ければ厚いほどAlGaN表面の自然酸化膜(Ga_2O_3)から酸素を奪い、Ti層内およびAl/Ti界面に移動させる」と述べた。AlGaNの場合III族原子の77%はGaであったが、InAlNの場合、83%がAlである。したがって自然酸化膜の主成分は Ga_2O_3 から Al_2O_3 に変わっている。Ga-Oの結合解離エネルギー

374kJ/mol よりも、Al-O の結合解離エネルギーが 502kJ/mol と大きいため、 Al_2O_3 から酸素を奪い、InAlN 表面から運び去るためにより多くの Ti が必要になった可能性がある。もう 1 つの仮説として、Ti には AlGaN 分解効果があるが、AlGaN よりも InAlN の方が Ti による分解が進みにくく、より多くの Ti が必要となった可能性がある。いずれの場合も界面の詳細な分析を進めて確かめる必要がある。

図 4.2.2 にて、Ti 厚さを 15nm としたときのアニール温度と固有接触抵抗の関係をアニール時間が 1 分の場合と 10 分の場合で比較した。500°C においては両者同じ抵抗値だが、それよりも高温では 1 分アニールの方が優位となった。この結果は AlGaN/GaN で得られた図 3.4.1 とほぼ一致しており、おおむね 500°C を超えると 1 分アニールの方が優位である。

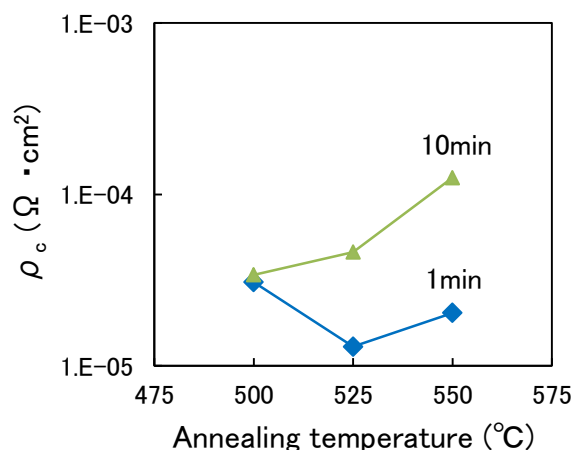


図 4.2.2 アニール温度と固有接触抵抗

4.3 アニール温度とシート抵抗

InAlN は AlGaN に比べ熱による特性劣化が起きやすく、そのためアニール温度の低い Ti/Al/W 電極の有効性が大きくなる。今回試作評価した TLM 測定で得られたシート抵抗と、アニール温度との関係を図 4.3.1 にまとめた。アニール温度の上昇に伴いシート抵抗が増加する傾向が見られる。また 1 分アニールよりも 10 分アニールの方がシート抵抗が上昇する。このことから、InAlN の劣化を防ぐためには低温、短時間のアニールが有効であることが分かる。最小の固有接触抵抗が得られるアニール条件である 525°C、1 分アニールでのシート抵抗が $215\Omega/\text{sq}$. であり、ホール測定で得られた初期値 $215\Omega/\text{sq}$. と変わらないことから、この条件では初期の特性が保たれているといえる。一般的に 800°C を超える Au 含有電極に比べ Ti/Al/W 電極が優位であることが確認された。

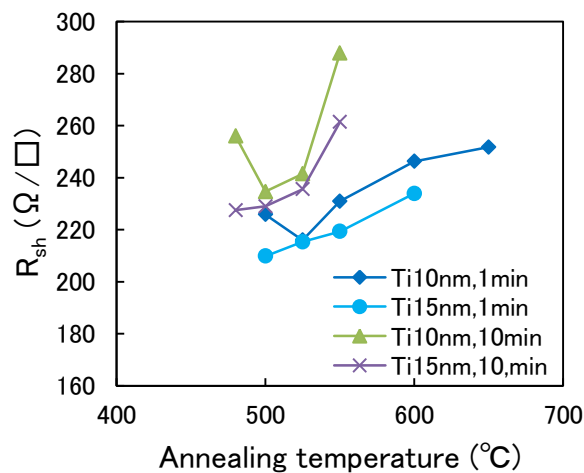


図 4.3.1 アニール温度とシート抵抗

シート抵抗増大が熱処理による In 抜けによる面荒れで起こると考え、InAlN/AlN/GaN ヘテロ構造の試料を 200°Cから 800°Cの各温度で 1 分間アニールした後の面荒れを評価した。AFM にて表面形状を測定した結果を図 4.3.2 に示す。得られた Ra とアニール温度との関係を図 4.3.3 にまとめる。アニール温度が 500°Cまではおおむねアニール前と変わらない外観と Ra だが、600°Cで Ra が上昇し始め、800°Cでは表面の凹凸が大きくなり、大きな Ra を示すことが分かった。このことから、アニール温度は 600°C未満が好ましく、今回得られた 525°Cの条件はその範囲内であることが分かる。

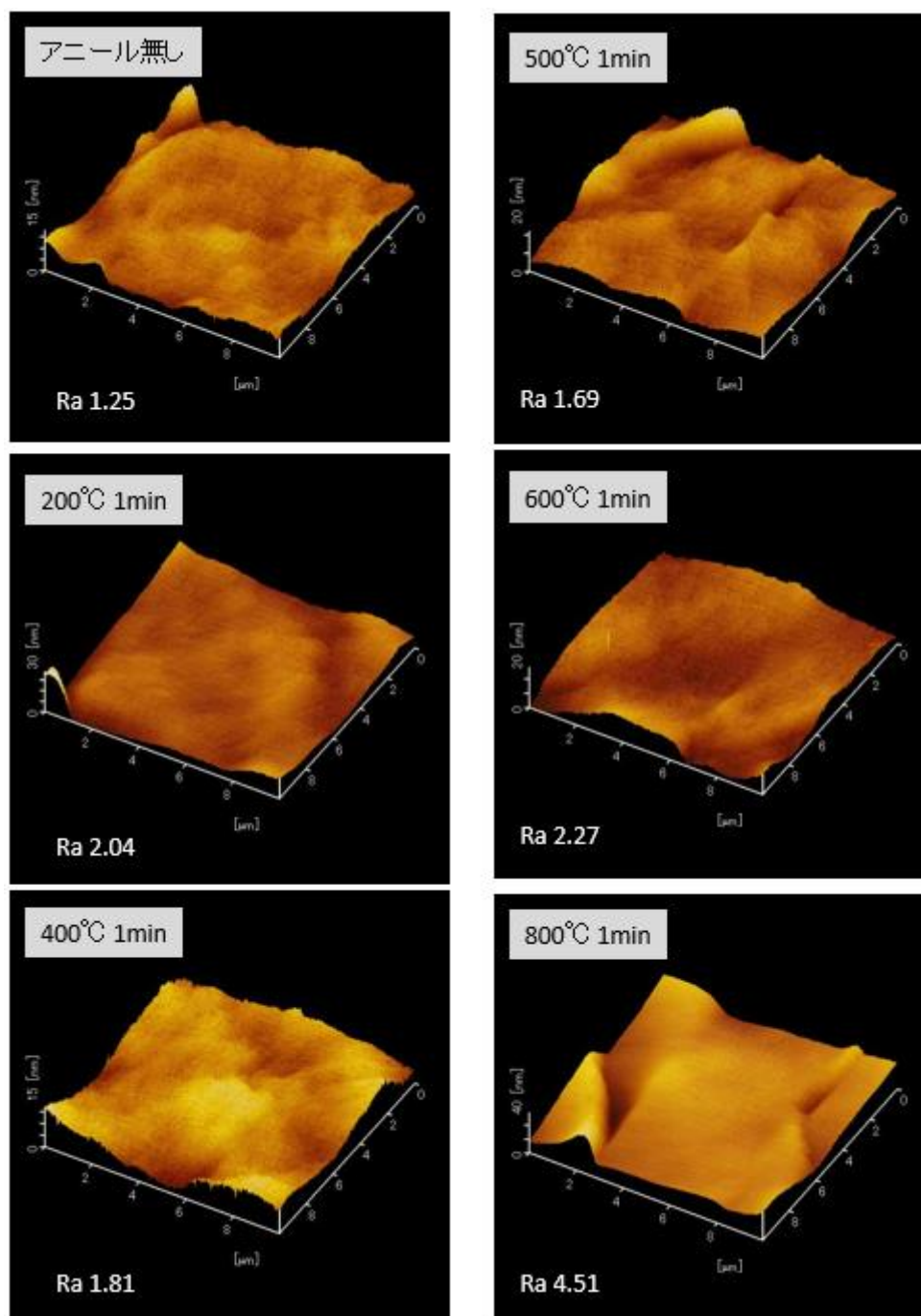


図 4.3.2 アニール温度を変えた InAlN 表面の AFM 像

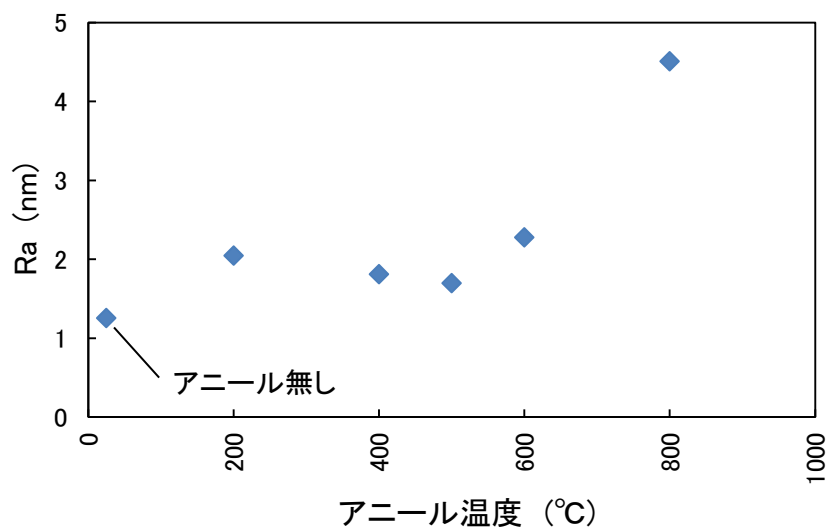
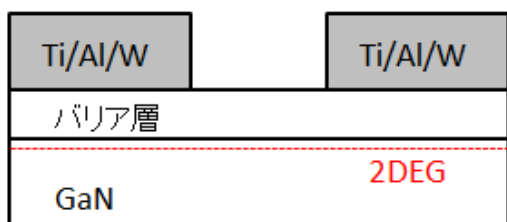


図 4.3.3 InAlN 表面荒れとアニール温度の関係

4.4 リセスオーミック

4.2 節で InAlN/AlN/GaN 上の Ti/Al/W 電極の最適条件を求めたが、AlGaIn/GaN 上での固有接触抵抗に比べ 1 桁大きい値であった。さらなる低減のため、リセスオーミックの試作、評価を行った。リセスオーミックは、オーミックメタル成膜前に、

非リセスオーミック



リセスオーミック

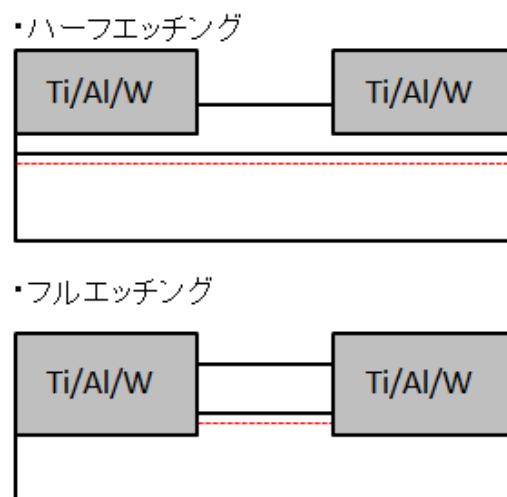


図 4.4.1 リセスオーミックの模式図

電極形成エリアのバリア層をエッチングすることで、電極と 2DEG 間の距離を短くして、コンタクト抵抗の低減を狙う技術である(図 4.4.1)。エッチングの深さは様々であり、バリア層の途中でエッチングを止めるハーフエッチングが良いとする文献[2-11]や、バリア層を完全に除去し、チャンネル層までエッチングするフルエッチングが良いとする文献[12-14]がある。エッチング方法は BCl_3 や Cl_2 を用いた ICP プラズマドライエッチングが主流だが、プラズマダメージを避けたウェットエッチングも用いられる[15-18]。

本実験では ICP プラズマエッチング装置を用い、 BCl_3 と Cl_2 を共に 15ccm、バイアス RF パワーを 5W の条件でリセスエッチングを行った。エッチング深さは AFM にて測定した。図 4.4.2(a)に、AlGaIn/GaN ウェハで得られた、エッチング時間とエッチング深さの関係を示す。処理開始後、エッチングの進まないデッドタイムがあることが分かる。これは AlGaIn 表面に自然酸化膜があり、エッチングを阻害するためである[19]。自然酸化膜除去のため BCl_3 のみを 30ccm 流し、バイアス RF パワーを 5W とし、1 分間処理するステップを最初に追加した結果が図 4.4.2(b)である。デッドタイムが消失し、原点から立ち上がる線形なグラフが得られることが分かる。エッチングレートが異なるのは、用いた AlGaIn/GaN エピウェハの仕様が異なるためである。以下、InAlN/AlN/GaN ウェハのリセスエッチングは、この 2 ステップシーケンスを用いて処理した。エッチングレートは AlGaIn の場合、3.8nm/min、InAlN の場合 4.0nm/min 程度である。

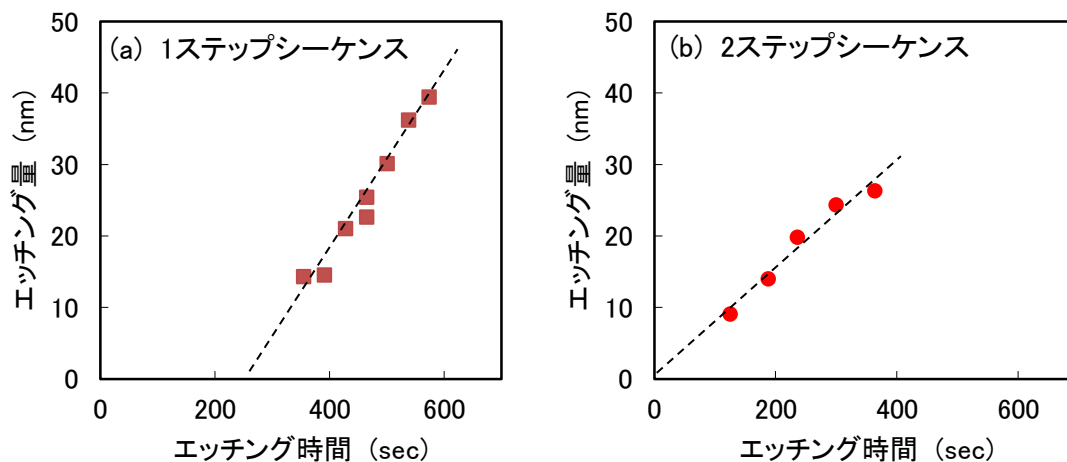


図 4.4.2 エッチング時間とエッチング量
(a) 1 ステップシーケンス (b) 2 ステップシーケンス

4.2節で求めた InAlN 上の Ti/Al/W 電極条件 (Ti=15nm、525°C、1min) を用い、リセス深さを変えた TLM 試料を作成し固有接触抵抗を求めた。リセス深さは最小 4.48nm、最大 12.8nm であり、ハーフエッチングからフルエッチングまでを網羅している。リセスしていない試料も同時に作成した。図 4.4.3 はリセス深さと固有接触抵抗のグラフである。リセスしていない試料の固有接触抵抗 $3.04E-5\Omega\cdot\text{cm}^2$ に対し、リセス深さ 4.48nm ではいったん上昇するが、リセス深さ 5.58nm のとき最小の $2.36E-5\Omega\cdot\text{cm}^2$ が得られた。さらにリセスを深くすると抵抗は増大した。今回リセス無し試料で得られた抵抗値は、4.2節でリセス無しで条件出した際に得られた値よりも大きくなった。原因は明らかでないが、In 組成比やエピ厚のウェハ面内分布が影響した可能性がある。本節のリセス評価で用いた試料はウェハ内の同じ領域から切り出されており、相対的な評価が可能である。

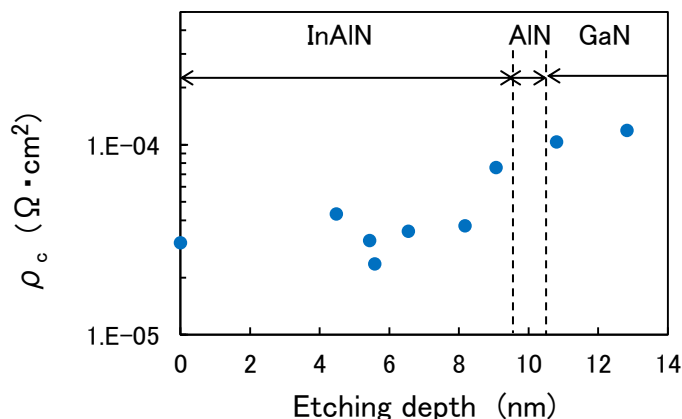


図 4.4.3 リセス深さと固有接触抵抗

4.5 温度特性

前節で作成した試料の温度特性を評価した。プローバーのステージ温度を室内温度の 25°C から 200°C まで 25°C 刻みで変化させ、TLM 測定を行った。算出した固有接触抵抗の温度特性が図 4.5.1(a) である。全ての試料で、固有接触抵抗が温度上昇とともに低下する傾向が見られた。これは熱エネルギーの増大によりショットキーバリアを乗り越える電子数が増加したためと考えられる。リセスが深く、完全に InAlN が除去された試料での温度依存性が顕著に大きく、電子伝導プロセスの変化を示唆する。シート抵抗の温度特性が図 4.5.1(b) であり、温度上昇とともにシート抵抗が上昇する傾向が見られる。同じ傾向が AlGaIn/GaN においても観察されている[20-22]。シート抵抗は 2 次元電子密度 n_s と移動度 μ を用いて

$$R_{sh} \propto \frac{1}{n_s \mu} \quad (4.5.1)$$

の関係がある。 n_s の温度依存性は小さい[2,23]ことから、 μ が高温において格子振動により低下することでシート抵抗が上昇すると考えられる。

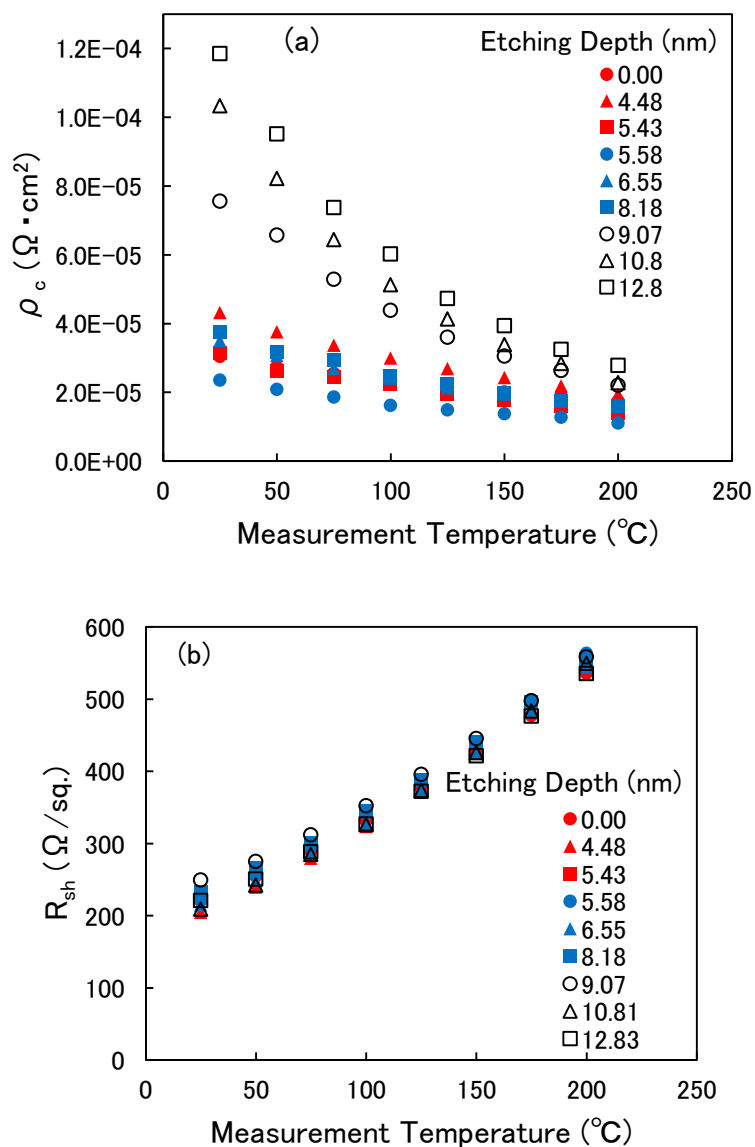


図 4.5.1 測定温度依存性 (a)固有接触抵抗 (b)シート抵抗

4.6 パラメータフィッティング

前節で得られた固有接触抵抗の温度特性データに対し、TFE モデルの式(2.2.3.1)を用いてフィッティングを行った。フィッティングを行うパラメータはバリアハイト

ϕ_B 、不純物濃度 N_D 、コンダクションバンド下端とフェルミ準位とのエネルギー差 E_n である。測定データとフィッティングカーブとの誤差の二乗和が最小となるように、それぞれのパラメータを変動させ、最適値を求めた。電子有効質量は $0.22m_e$ [24,25]、比誘電率は $0.89\epsilon_0$ を用いた。表 4.6.1 が得られたパラメータの一覧である。比較的近いパラメータが、同じく TFE モデルを用いたフィッティングにて InAlN[26,27]、または AlGaN[28] の試料で報告されている。図 4.6.1 は実測値とフィッティングカーブを重ねたグラフであり、よく一致していることが分かる。

表 4.6.1 TFE モデルへのフィッティングで得られたパラメータ

Etching depth (nm)	ρ_c at 25°C ($\Omega \cdot \text{cm}^2$)	ϕ_B (eV)	N_D (cm^{-3})	E_n (eV)
0.00	3.04E-05	1.008	5.9E+19	0.072
4.48	4.32E-05	0.862	4.3E+19	0.049
5.43	3.13E-05	0.817	4.1E+19	0.049
5.58	2.36E-05	0.877	5.1E+19	0.054
6.55	3.50E-05	0.982	6.0E+19	0.057
8.18	3.74E-05	0.802	3.9E+19	0.043
9.07	7.56E-05	0.653	2.2E+19	0.025
10.81	1.03E-04	0.659	2.4E+19	0.002
12.83	1.19E-04	0.681	2.5E+19	0.003

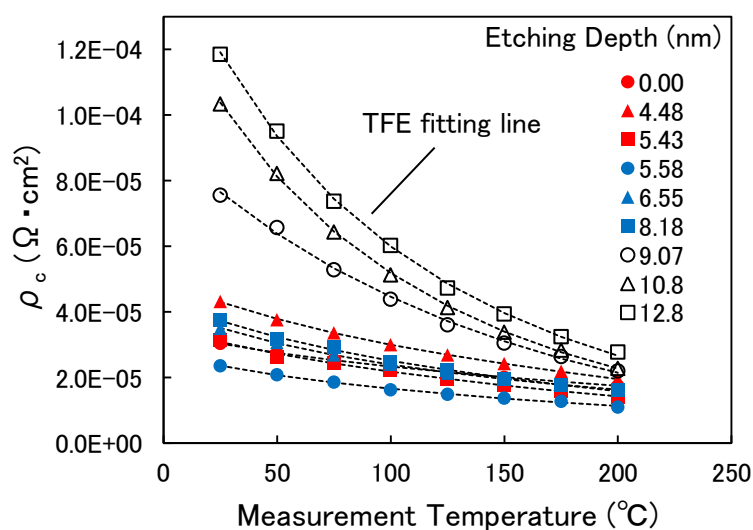


図 4.6.1 測定値とフィッティングカーブの比較

TE および FE モデルにおいてもフィッティングを試みており、それらと TEF モデルにてフィッティングしたグラフを並べたのが図 4.6.2 である。実測値はリセスエッチングを行っていない試料のものである。TE モデルは強い温度依存性を持ち実験データとは全く合わないことが分かる。FE モデルはパラメータの調整で実測値に近いラインを描けるが、直線的であり TFE のような優れたフィッティングは得られなかった。TEF モデルが最もよくフィッティングすることは、熱拡散とトンネリングの両方が電気伝導に関わっていることを示唆する。

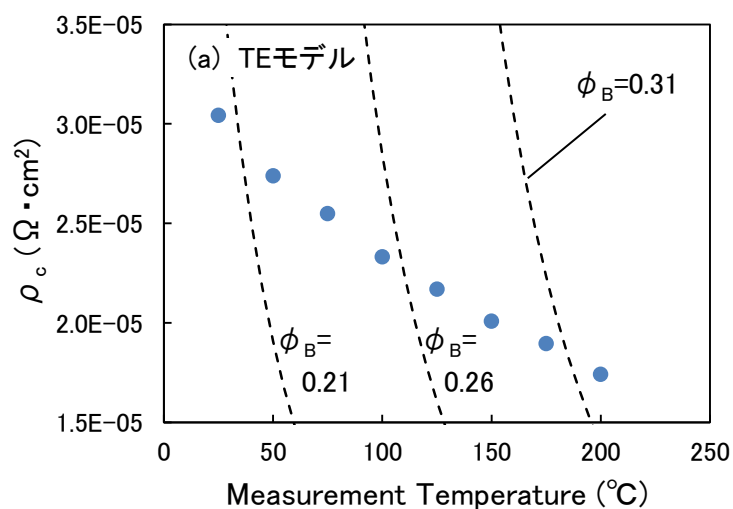


図 4.6.2(a) TE モデルのフィッティングカーブ

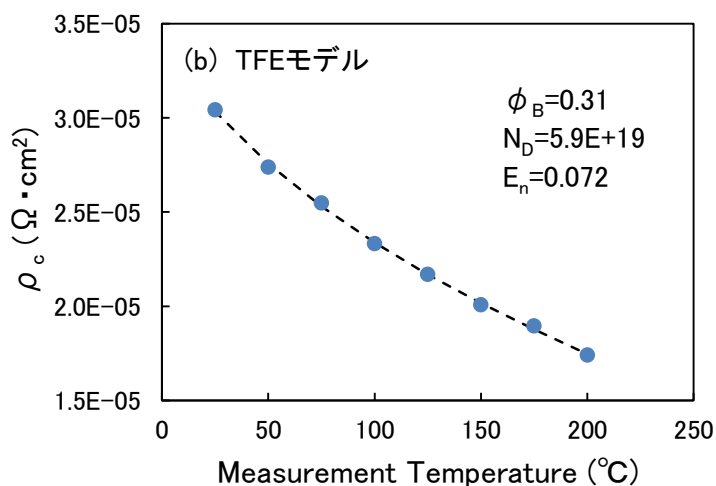


図 4.6.2(b) TFE モデルのフィッティングカーブ

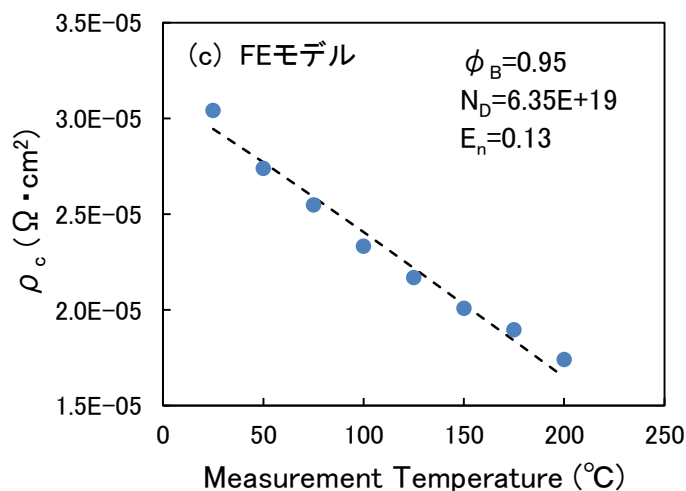


図 4.6.2(c) FE モデルのフィッティングカーブ

4.7 リセス深さと電子伝導モデル

前節で得られた各パラメータとエッチング深さとの関係を図 4.7.1 に示す。エッチングの深さごとに 3 つの領域に分けて、 ϕ_B と N_D の変動について考察する。

Region I は他の領域と比較し大きな ϕ_B と N_D を持つ。InAlN はエッチングされているものの、まだオーミック電極下部には 2DEG が形成されており、電流経路の模式図 4.7.2(a) 左のように、電流は電極から 2DEG へ垂直に流れる。別の言い方をすると、**Region I** は 2DEG がまだ残っている領域と定義できる。図 4.7.2(a) 左に示すように、電流の流れる金属/InAlN 界面はリセス底面にあたり、ドライエッチングによるダメージ層が存在する。そのため ϕ_B は高い値となる。ICP ドライエッチングによるダメージで AlGaN の窒素空孔が増加する[29]ことから、InAlN においてもダメージ層において窒素空孔が増加すると考えられる。窒素空孔はドナーライクな振る舞いを示す[30]ため、 N_D は高い値を示す。それにより、図 4.7.2(a) 右のバンド図に示すように、ショットキー障壁の空乏層 W が薄くなり、トンネル効果が起きる可能性が上昇するため、電子伝導におけるトンネリングの寄与が大きい。

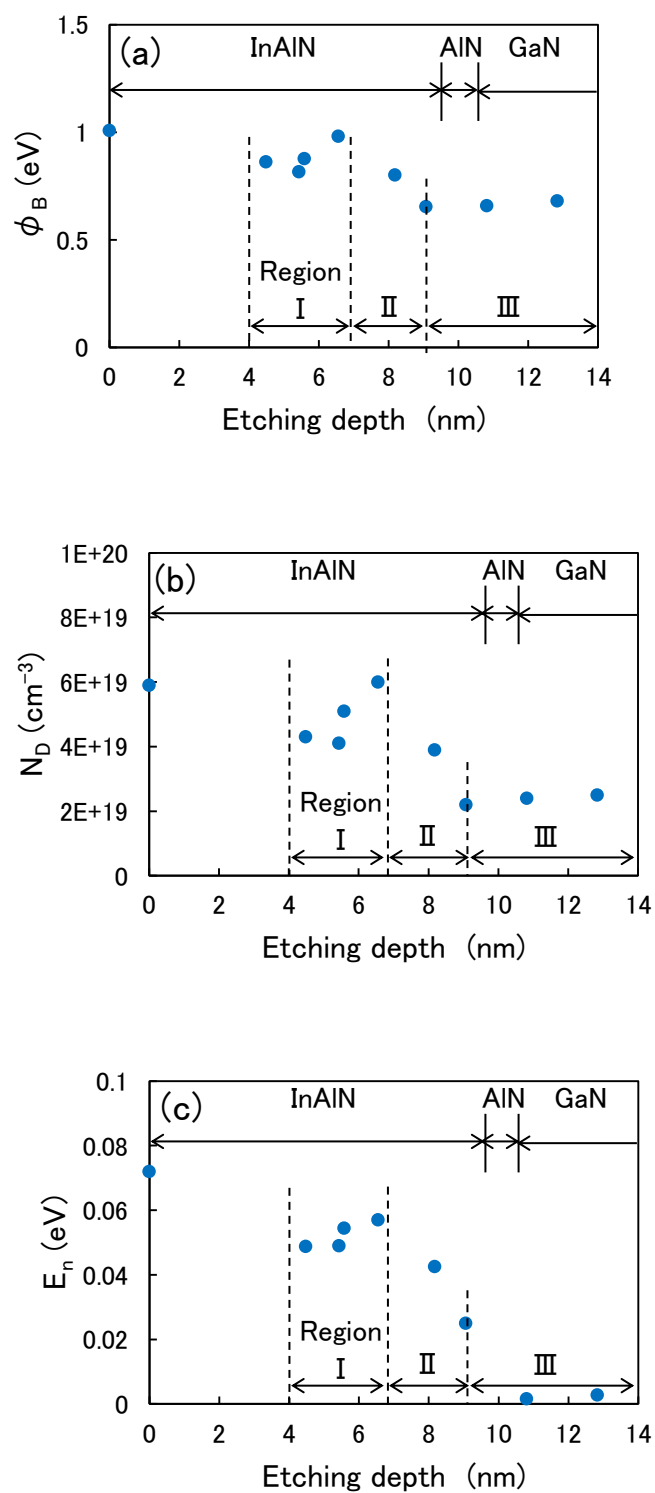


図 4.7.1 各パラメータとエッチング深さ
(a) ϕ_B (b) N_D (c) E_n

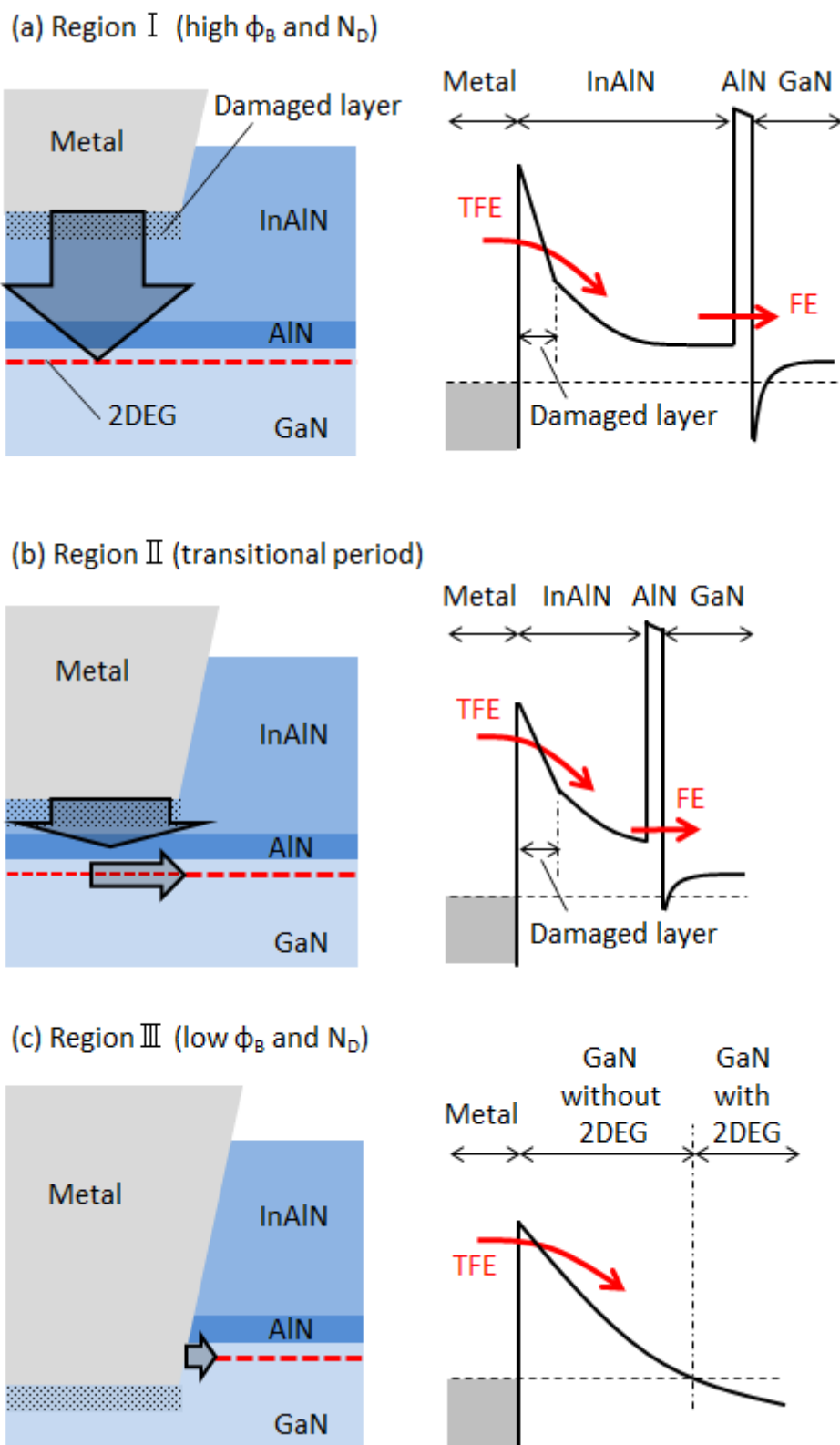


図 4.7.2 電流経路の模式図およびバンド図

Region III は他の領域と比較し最も小さな ϕ_B と N_D を持つ。エッチングが進行しており、InAlN 層はわずかに残っているか、完全に除去されているため、リセス部の 2DEG は消失している。そのため、電流経路は図 4.7.2(c)左に示すように、電極から非リセス部の 2DEG へ向かった水平方向となる。このとき、電流は金属/GaN 界面を通過し、リセス側壁の GaN へと流れる。リセス側面はドライエッチングによるダメージが少なく、Region I より小さな N_D となる。また、ダメージが少ないことに加えて、エネルギーギャップが InAlN より小さい GaN と金属との接合になるため、 ϕ_B が低下する。図 4.7.2(c)右のバンド図に示すように、低い ϕ_B は熱拡散を容易にするとともに、小さな N_D はショットキー障壁の空乏層を厚くするため、電子伝導におけるトンネリングの寄与は小さい。

Region II は Region I から Region III への移行領域であり、エッチングの進行とともに ϕ_B と N_D が低下する領域である。2DEG が枯渇しつつあり電流経路が垂直から水平へ、金属/半導体接合が InAlN から GaN へ変化する途上にある。電子伝導におけるトンネリングの寄与率も Region I と Region III の中間的な値となる。

各領域の電子伝導を考察するにあたり、特性エネルギー E_{00} 、

$$E_{00} = q\hbar\sqrt{N_D/m^*\varepsilon}/2 \quad (4.7.1.1)$$

を用いる。 E_{00} はトンネリング確率に関係しており、 kT/E_{00} は熱拡散とトンネリングの相対的な寄与率を示す指標となる[31]。関係を以下に示す。

$$\cdot \frac{kT}{E_{00}} \gg 1 \quad \text{のとき、熱拡散 (TE) が支配的}$$

$$\cdot \frac{kT}{E_{00}} \approx 1 \quad \text{のとき、熱拡散 (TE) とトンネリング (FE) は同程度}$$

$$\cdot \frac{kT}{E_{00}} \ll 1 \quad \text{のとき、トンネリング (FE) が支配的}$$

その定義から、 E_{00} は N_D の平方に比例する。今回の測定の結果、Region I から Region III にかけて N_D が低下するため、 E_{00} もエッチングの進行とともに低下する。 kT/E_{00} を計算した結果、Region I では 0.25、Region II では 0.31、Region III では 0.41 であった。この結果から、いずれの領域においても、ややトンネリングの寄与率の方が大きい、熱拡散も電子伝導に寄与していること、エッチングが進むにつれて、熱拡散の寄与率が増大していくことが分かる。フィッティングモデルとして TFE が適切であったこともこれで説明できる。温度依存性という観点でいうと、熱拡散はトンネリングよりも強く温度に依存するため、図 4.6.1 のように、深くエッチングした試料で大きな温度依存性を示すことは上記の議論と整合する。

この実験では、最も低い固有接触抵抗は Region I で得られた。それは他の領域よりも N_D が高いためである。Region I での大きい ϕ_B は不利に働く一方、相対的に N_D のプラス効果が大きく、抵抗は下がる。AlGaIn/GaN でのリセスオーミックコンタクトを調査した複数の論文で、同じように Region I で最も良い結果が得られたと報告されている[2-5]。したがって、AlGaIn/GaN においても上記の電流経路のモデルが成り立っており、III 族-N 半導体に広く適用できるモデルであると考えられる。しかしながら、Region III において最も低い固有接触抵抗が得られたとする報告も多い[6-9,12]。Region III では、エッチングの側壁が電流パスとなるため、その側壁の状態を考慮する必要がある。例えば、エッチングの手法(ドライ、ウェット)やエッチングパラメータ(バイアス電圧など)、マスクの材質や形状の違いにより、側壁の形状やダメージ量が変わると推測される。また Ti 厚さはリセスしていない平面電極で最適化されたため、リセス側壁では最適な厚さよりも薄くなっており、側面で良好なオーミック界面が形成されていない可能性がある。これらの要因を最適化することで、Region III で最も低い固有接触抵抗が得られる可能性が残されており、今後の課題であるといえる。

今回、リセスしていない試料も同時に作成したが、Region I と同様に高い ϕ_B と N_D が得られている。リセスしていないサンプルではエッチングダメージがないことから、高い ϕ_B と N_D が得られることは説明できず、表面状態と ϕ_B および N_D の関係にはさらなる研究が必要と考える。ひとつの可能性として、アイソレーションにおけるレジスト除去アッシングによるダメージの影響が考えられる。

これまで述べた電子伝導のモデルは、Au を含まないオーミック電極を前提としており、Au を含む電極の場合には別の効果も考慮する必要がある。図 4.7.3 のように、Au 含有電極は金属の拡散がバリア層/チャンネル層境界を突き破るように進み、2DEG 近傍まで合金シェルが成長することで、コンタクト抵抗が下がる。そのため、電極下部に高電子密度の 2DEG が残っていた方が、合金と 2DEG の接点(図 4.7.3 の青丸)が多く優位であると考えられる。リセスにより電極下部の 2DEG が失われた場合、電極端でしか 2DEG と接しないため不利となる。そのため、Au 含有電極の場合、リセスしない方が優位となる可能性がある。

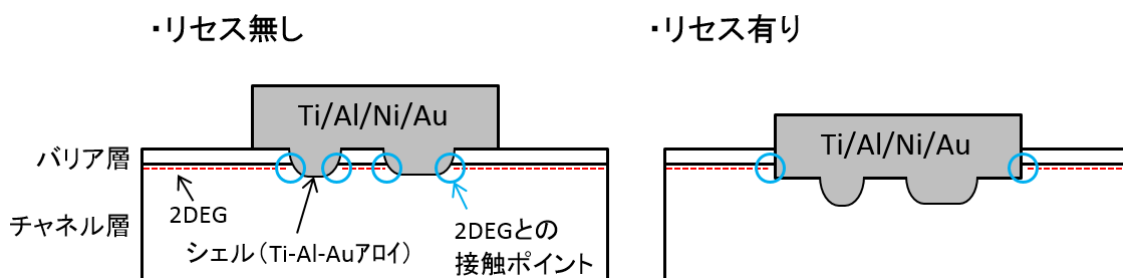


図 4.7.3 Au 含有電極の電極断面図

これを検証するため、AlGaIn/AlN/GaN ヘテロ構造において、異なるリセス深さをもつ試料を作成し、Ti/Al/Ni/Au 電極にて TLM を作成し、固有接触抵抗を求めた結果を図 4.7.4 に示す。AlGaIn 層の厚さは 25.4nm、AlN 層の厚さは 1nm である。リセス追加により抵抗は増加し、2DEG が消失する AlGaIn 残膜 2nm 前後において、急激に抵抗が増大した。Ti/Al/W 電極のようにハーフエッチングで抵抗が低下する現象は見られなかった。これらの結果は図 4.7.3 を用いて述べた考察と一致する。しかし、Au 含有電極において、リセスした方が固有接触抵抗が下がるという報告[7-9,12,14]は多い。リセスした場合、図 4.7.3 右のように電流経路はリセス側面になるため、リセス側面の状態を制御し、固有接触抵抗との関係を調べることは、Au の有無に関わらず、今後の研究課題であるといえる。

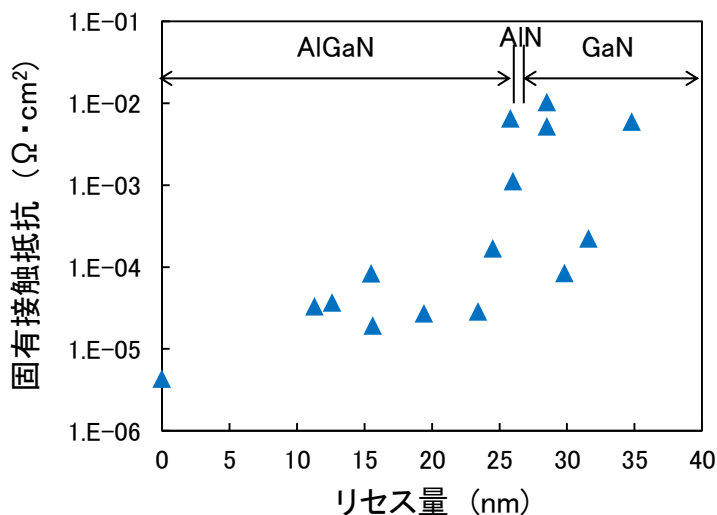


図 4.7.4 AlGaIn/AlN/GaN ヘテロ構造上の Ti/Al/Ni/Au 電極におけるリセス量と固有接触抵抗の関係

4.8 構造分析

リセス構造の有無による各金属の分布や、金属/AlGaIn 界面の変化があるか確認するため、TEM にて断面観察を行った。Ti/Al/W 電極は最適条件である 15/140/60nm、525°C、1 分とし、リセスサンプルのリセス深さは、最も固有接触抵抗が低下する 5.58nm とした。図 4.8.1 に示すように、電極全体の TEM 像においてリセス有無による差は見られない。W を 60nm と厚くしたことから、図 3.7.2.1 で見られた W 層の薄い部分が無くなっていることが分かる。

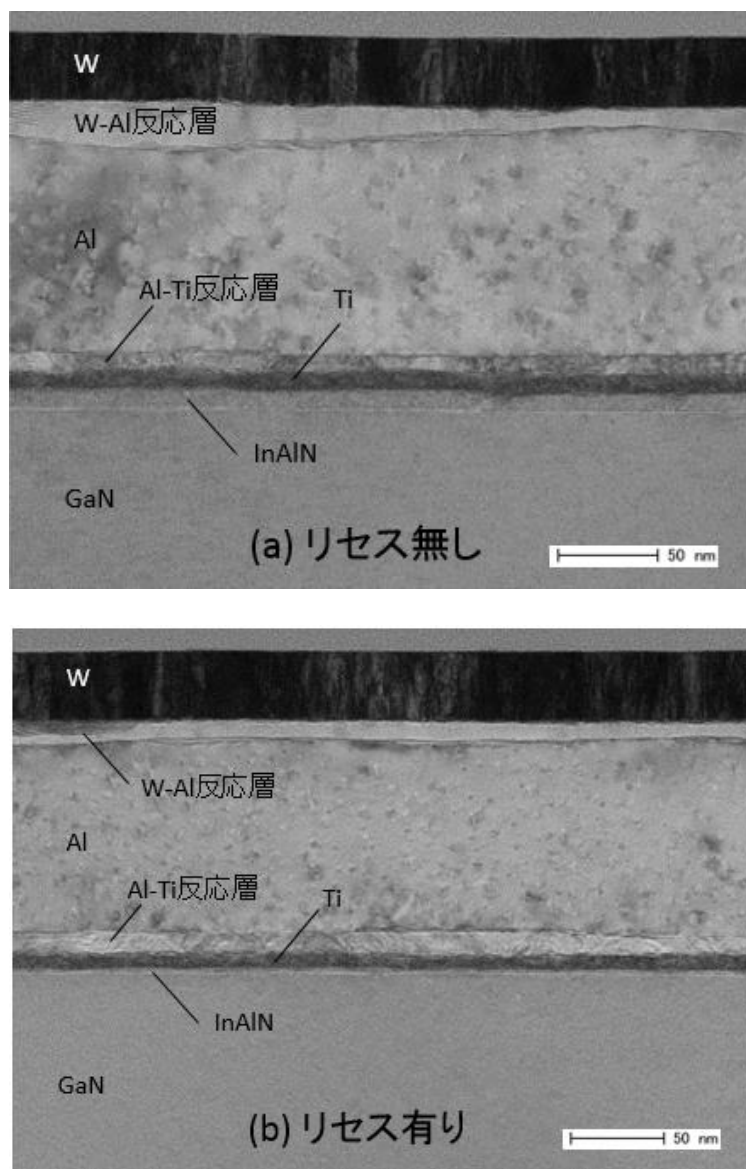


図 4.8.1 アニール後の Ti/Al/W 電極断面 TEM 像 (a)リセス無し (b)リセス有り

図 4.8.2 は金属/InAlN 界面を拡大した TEM 像である。Ti/InAlN 界面は AlGaIn の場合よりも不明瞭だが、Au 電極で見られる局所的な合金拡散(シェル)は見られない。リセス有りの試料は 5.58nm エッチングされており(AFM にて測定)、元の InAlN 厚さ 9.5nm から引いた 3.92nm の InAlN 層が残っているはずである。しかし TEM 像にて InAlN 厚さを測るとおよそ 2.7nm となった。差分の約 1.2nm はアニール中に Ti と InAlN が反応し薄膜化したものと考えられる。同様の計算をリセス無し試料で行うと差分は約 0.8nm となり、リセス有り試料の方が InAlN 層の減り量が多い。このことから、リセスされた界面ではより多く Ti と InAlN が反応したと考えられ、エッチングダメージによる窒素空孔の形成の促進を示唆する。

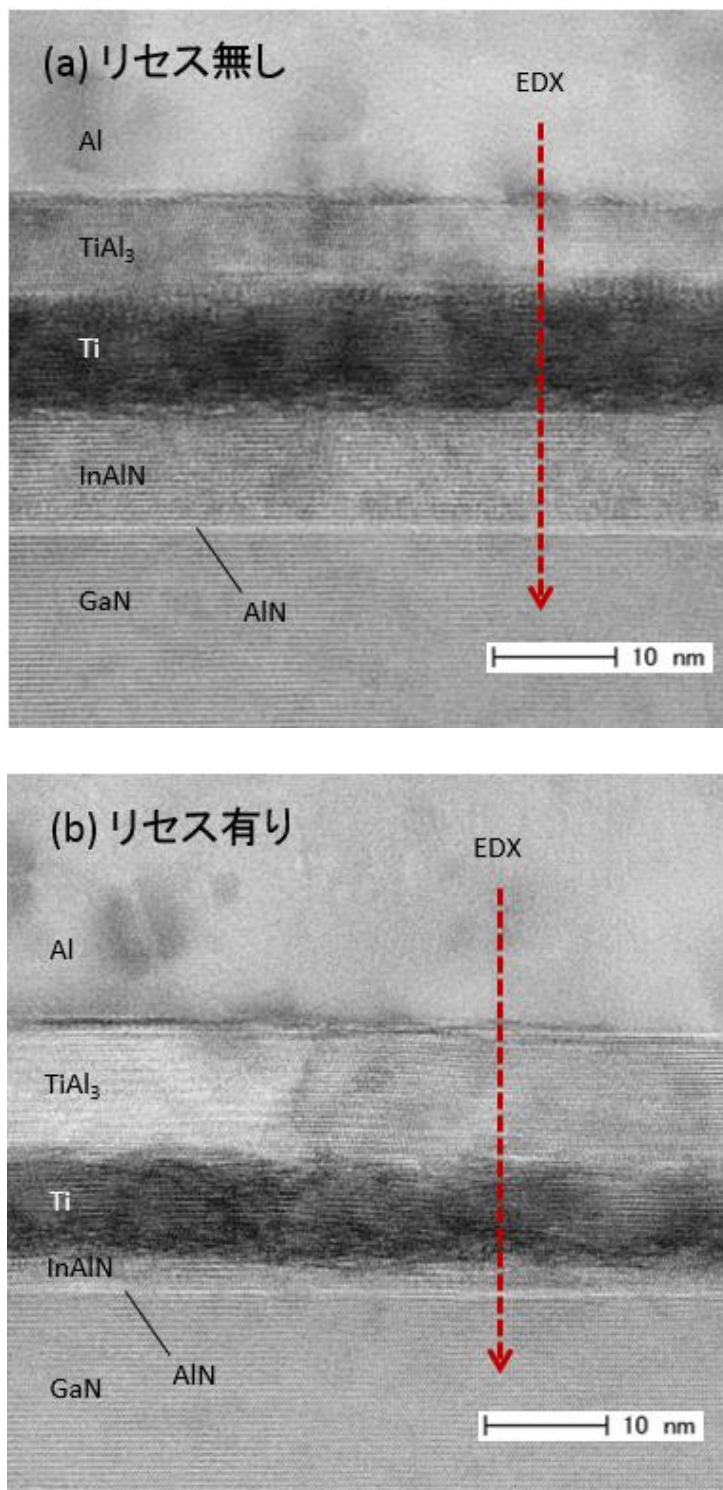


図 4.8.2 アニール後の Ti/Al/W 電極断面 TEM 拡大像 (a)リセス無し (b)リセス有り

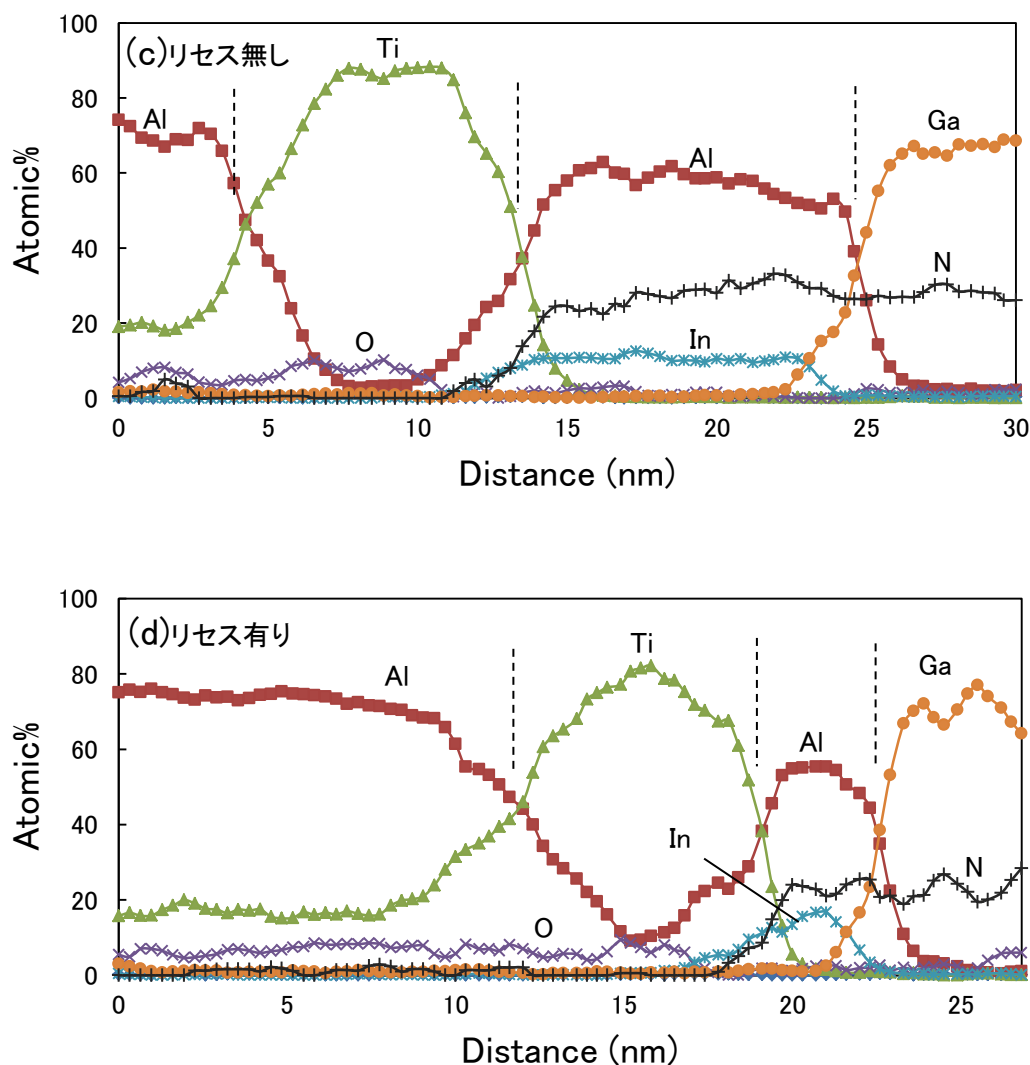


図 4.8.2(c),(d) アニール後の Ti/Al/W 電極ライン EDX

4.9 本章のまとめ

InAlN/AlN/GaN on Si ウェハ上の Ti/Al/W オーミック電極の特性評価を行った結果、以下のことが分かった。

- AlGaIn バリア層の場合よりも Ti 厚さは厚い方がよく 15nm が最適である
- その影響でアニール温度は高くなり、525°C、1 分が最適である
- シート抵抗は高温、長時間アニールで上昇するが、525°C、1 分では上昇は見られない。

次に、リセスオーミックの特性評価を行った結果、以下のことが分かった。

- リセスエッチングにおいて自然酸化膜によるデッドタイムがあるが、1 分間 BCl_3 プラズマエッチングステップを追加することによって回避できる
- 5.58nm 削ったハーフエッチングにて最も低い固有接触抵抗が得られる
- 固有接触抵抗の温度特性は TFE モデルで良いフィッティングが得られる
- したがって熱拡散とトンネリングの両方が電子伝導に関わっている
- すべての試料で比較的トンネリングの寄与率が高いが、リセスが進行するにつれて、熱拡散の寄与率が上昇する
- リセス深さを 3 つの領域に分けることで、フィッティングパラメータの変動を説明できる

電極の構造分析を行った結果、リセスオーミックではリセスの無い場合よりも Ti と InAlN の反応が進んでいることが分かり、エッチングダメージによる窒素空孔の形成の促進が示唆される。

参考文献

- [1] Y. Liu, S. P. Singh, Y. J. Ngoo, L. M. Kyaw, M. K. Bera, Q. Q. Lo, and E. F. Chor, “Low thermal budget Hf/Al/Ta ohmic contacts for InAlN/GaN-on-Si HEMTs with enhanced breakdown voltage.” *J. Vac. Sci. Technol. B*, **32**, 032201, 2014.
- [2] D. Qiao, L. S. Yu, L. Jia, P. M. Asbeck, S. S. Lau, and T. E. Haynes, “Transport properties of the advancing interface ohmic contact to AlGaIn/GaN heterostructures.” *Appl. Phys. Lett.* **80**(6), 992-994, 2002.
- [3] J. Zhang, L. Wang, Q. Wang, Y. Jiang, L. Li, H. Zhu, and J. P. Ao, “Plasma-assisted ohmic contact for AlGaIn/GaN heterostructure field-effect transistors.” *Semicond. Sci. Technol.* **31**(3), 035015, 2016.
- [4] D. W. Seo, H. G. Choi, J. Twynam, K. M. Kim, J. S. Yim, S. W. Moon, S. Jung, J. Lee, and S. D. Roh, “600 V-18 A GaN Power MOS-HEMTs on 150 mm Si Substrates With Au-Free Electrodes.” *IEEE Electron Device Lett.* **35**(4), 446-448, 2014.
- [5] L. Wang, J. Zhang, L. Li, Y. Maeda, and J. P. Ao, “Synthesis of thermally stable HfO_xN_y as gate dielectric for AlGaIn/GaN heterostructure field-effect transistors.” *Chin. Phys. B*, **26**(3), 037201, 2017.
- [6] J. Zhang, S. Huang, Q. Bao, X. Wang, K. Wei, Y. Zheng, Y. Li, C. Zhou, X. Liu, Q. Zhou, W. Chen, and B. Zhang, “Mechanism of Ti/Al/Ti/W Au-free ohmic contacts to AlGaIn/GaN heterostructures via pre-ohmic recess etching and low temperature annealing.” *Appl. Phys. Lett.* **107**(26), 262109, 2015.
- [7] D. H. Zadeh, S. Tanabe, N. Watanabe, and H. Matsuzaki, “Characterization of interface reaction of Ti/Al-based ohmic contacts on AlGaIn/GaN epitaxial layers on GaN substrate.” *Jpn. J. Appl. Phys.* **55**(5S), 05FH06, 2016.
- [8] S. Arulkumaran, N. Geok, V. Sahmuganathan, L. Zhihong, and B. Maung, “Improved recess-ohmics in AlGaIn/GaN high-electron-mobility transistors with AlN spacer layer on silicon substrate.” *Physic. Status Solidi (c)*, **7**(10), 2412-2414, 2010.
- [9] M. Fagerlind and N. Rorsman, “Optimization of recessed ohmic contacts for AlGaIn/AlN/GaN heterostructures using C (V) characterization of MSHM structures.” *Physic. Status Solidi (c)*, **8**(7-8), 2204-2206, 2011.

- [10] J. C. Gerbedoen, A. Soltani, M. Mattalah, A. Telia, D. Troadec, B. Abdallah, E. Gautron, and J.C. De Jaeger, "Study of ohmic contact formation on AlGaN/GaN HEMT with AlN spacer on silicon substrate." 2009 European Microwave Integrated Circuits Conf. p 136-139
- [11] M. Hirose, Y. Takada, M. Kuraguchi, T. Sasaki, and K. Tsuda, "A 1.9 GHz SPDT switch implemented with GaN HFETs featuring two different depth-recesses in i-AlGaN." *In Compound Semiconductor Integrated Circuit Symposium, 2004. IEEE*, pp.163-166, 2004.
- [12] L. Wang, D. H. Kim, and I. Adesida, "Direct contact mechanism of Ohmic metallization to AlGaN/GaN heterostructures via Ohmic area recess etching." *Appl. Phys. Lett.* **95**(17), 172107, 2009.
- [13] J. G. Lee, H. S. Kim, D. H. Kim, S. W. Han, K. S. Seo, and H. Y. Cha, "Au-free AlGaN/GaN heterostructure field-effect transistor with recessed overhang ohmic contacts using a Ti/Al bilayer." *Semicond. Sci. Technol.* **30**(8), 085005, 2015.
- [14] L. Wang, D. H. Kim, and I. Adesida, "Direct contact mechanism of Ohmic metallization to AlGaN/GaN heterostructures via Ohmic area recess etching." *Appl. Phys. Lett.* **95**(17), 172107, 2009.
- [15] L. Ma, K. F. Adeni, C. Zeng, Y. Jin, K. Dandu, Y. Saripalli, M. Johnson, and D. Barlage, "Comparison of different GaN etching techniques." CS Mantech Conference, April 24-27, Vancouver, **2**(3), p.105-108, 2006.
- [16] D. Zhuang, and J. H. Edgar, "Wet etching of GaN, AlN, and SiC: a review." *Materials Science and Engineering: R: Reports*, **48**(1), 1-46, 2005.
- [17] Y. Wang, M. Wang, B. Xie, C. P. Wen, J. Wang, Y. Hao, W. Wu, K. J. Chen, and B. Shen, "High-Performance Normally-Off Al₂O₃/GaN MOSFET Using a Wet Etching-Based Gate Recess Technique." *IEEE Electron Device Lett.* **34**(11), 1370-1372, 2013.
- [18] J. A. Bardwell, J. B. Webb, H. Tang, J. Fraser, and S. Moisa, "Ultraviolet photoenhanced wet etching of GaN in K₂S₂O₈ solution." *J. Appl. Phys.* **89**(7), 4142-4149, 2001.
- [19] D. Buttari, A. Chini, T. Palacios, R. Coffie, L. Shen, H. Xing, S. Heikman, L. McCarthy, A. Chakraborty, S. Keller, and U. K. Mishra, "Origin of etch delay time in Cl₂ dry etching of AlGaN/GaN structures." *Appl. Phys. Lett.* **83**(23), 4779-4781. (2003).

- [20] Z. H. Liu, S. Arulkumaran, and G. I. Ng, "Temperature dependence of Ohmic contact characteristics in AlGa_N/Ga_N high electron mobility transistors from -50 to 200 C." *Appl. Phys. Lett.* **94**, 142105, 2009.
- [21] A. Saxler, P. Debray, R. Perrin, S. Elhamri, W. C. Mitchel, C. R. Elsass, I. P. Smorchkova, B. Heying, E. Haus, P. Fini, J. P. Ibbetson, S. Keller, P. M. Petroff, S. P. DenBaars, U. K. Mishra, and J. S. Speck, "Characterization of an AlGa_N/Ga_N two-dimensional electron gas structure." *J. Appl. Phys.* **87**, 369, 2000.
- [22] R. Menozzi, G. A. Umana-Membreno, B. D. Nener, G. Parish, G. Sozzi, L. Faraone, and U. K. Mishra, "Temperature-dependent characterization of AlGa_N/Ga_N HEMTs: Thermal and source/drain resistances." *IEEE Trans. Device Mater. Reliab.* **8**, 255, 2008.
- [23] P. Kordoš, D. Donoval, M. Florovič, J. Kováč, and D. Gregušová, "Investigation of trap effects in AlGa_N/Ga_N field-effect transistors by temperature dependent threshold voltage analysis." *Appl. Phys. Lett.* **92**, 152113, 2008.
- [24] P. Perlin, E. Litwin-Staszewska, B. Suchanek, W. Knap, J. Camassel, T. Suski, R. Piotrkowski, I. Grzegory, S. Porowski, E. Kaminska, and J. C. Chervin, "Determination of the effective mass of Ga_N from infrared reflectivity and Hall effect." *Appl. Phys. Lett.* **68**(8), 1114-1116, 1996.
- [25] A. M. Witowski, K. Pakuła, J. M. Baranowski, M. L. Sadowski, and P. Wyder, "Electron effective mass in hexagonal Ga_N." *Appl. Phys. Lett.* **75**(26), 4154-4155, 1999.
- [26] S. Kim, J. H. Ryou, R. D. Dupuis, and H. Kim, "Carrier transport mechanism of low resistance Ti/Al/Au ohmic contacts to AlInN/GaN heterostructures." *Appl. Phys. Lett.* **102**(5), 052107, 2013.
- [27] Y. Liu, S. P. Singh, L. M. Kyaw, M. K. Bera, Y. J. Ngoo, H. R. Tan, S. Tripathy, G. Q. Lo, and E. F. Chor, "Mechanisms of Ohmic Contact Formation and Carrier Transport of Low Temperature Annealed Hf/Al/Ta on In_{0.18}Al_{0.82}N/GaN-on-Si." *ECS J. Solid State Sci. Technol.* **4**(2), 30-35, 2015.
- [28] F. Iucolano, F. Roccaforte, A. Alberti, C. Bongiorno, S. Di Franco, and V. Raineri, "Temperature dependence of the specific resistance in Ti/Al/Ni/Au contacts on n-type Ga_N." *J. Appl. Phys.* **100**(12), 123706, 2006.

- [29] Q. Wang, Y. Jiang, J. Zhang, K. Kawaharada, L. Li, D. Wang, and J. P. Ao, "A self-aligned gate GaN MOSFET using an ICP-assisted low-temperature Ohmic process." *Semicond. Sci. Technol.* **30**(7), 075003, 2015.
- [30] M. E. Lin, Z. Ma, F. Huang, Z. F. Fan, L. H. Allen, and H. Morkoc, "Low resistance ohmic contacts on wide band-gap GaN." *Appl. Phys. Lett.* **64**(8), 1003-1005 (1994).
- [31] A. Y. C. Yu, "Electron Tunneling and Contact Resistance of Metal-Silicon Contact Barriers." *Solid State Electron*, **13**(2), 239-247, 1970.

第5章 Auフリーオーミック電極の AlGaN/GaN HEMT への応用

5.1 はじめに

本章では、第3章で求めた AlGaN/GaN 上 Ti/Al/W 電極を用いて HEMT を作成し、従来の Ti/Al/Ni/Au 電極を用いた HEMT と特性を比較する。用いたウェハは第3章で使用したウェハと同じ AlGaN/GaN on Si ウェハである。HEMT 作成の試料は 10 × 16mm のサイズで流動した。

5.2 ノーマリーオン MIS-HEMT の特性

はじめに、ゲートリセスを行わないノーマリーオン MIS-HEMT を作成した。フローを図 5.2.1 に示す。オーミック電極は図に示した 2 条件とし、フロー全体を通し、アニールはオーミック電極形成後のアニールの 1 回とした。この 1 回のアニール温度の違いにより、HEMT 特性に差が出るか評価を行った。

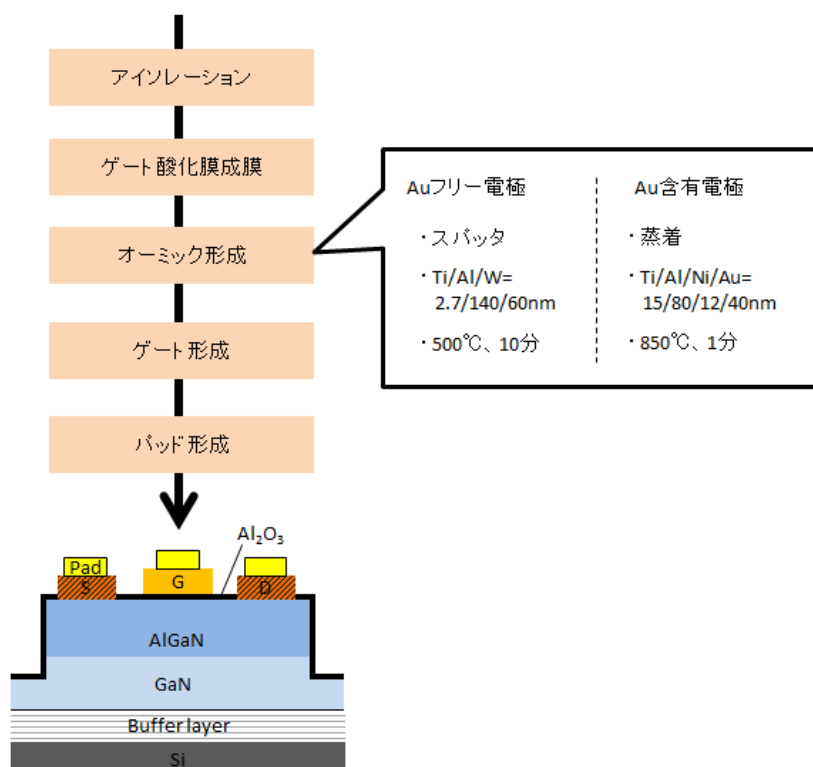


図 5.2.1 ノーマリーオン MIS-HEMT プロセスフロー

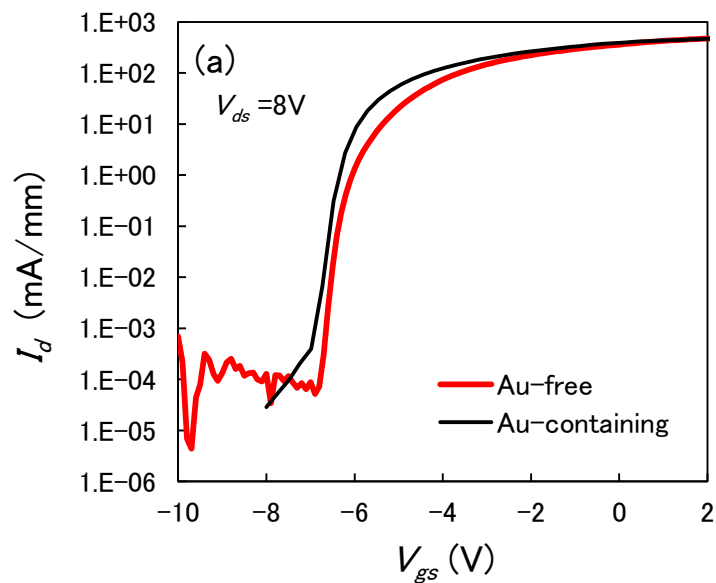


図 5.2.2(a) ノーマリーオン HEMT I_d - V_{gs} 特性

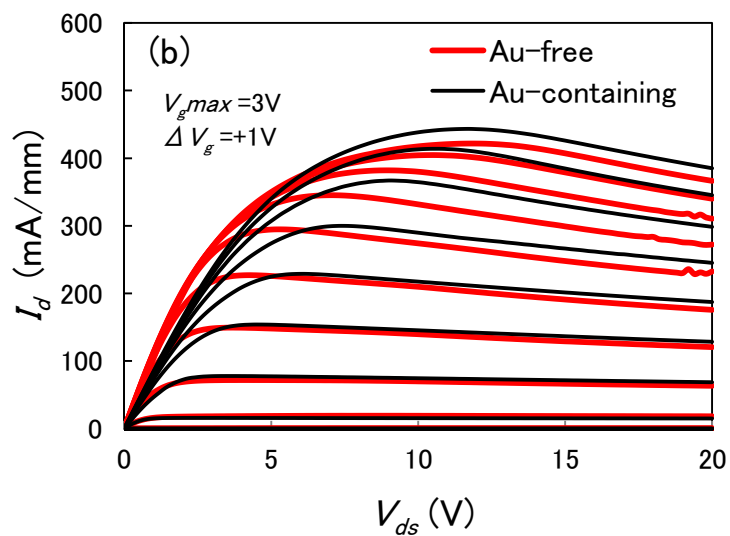


図 5.2.2(b) ノーマリーオン HEMT I_d - V_{ds} 特性

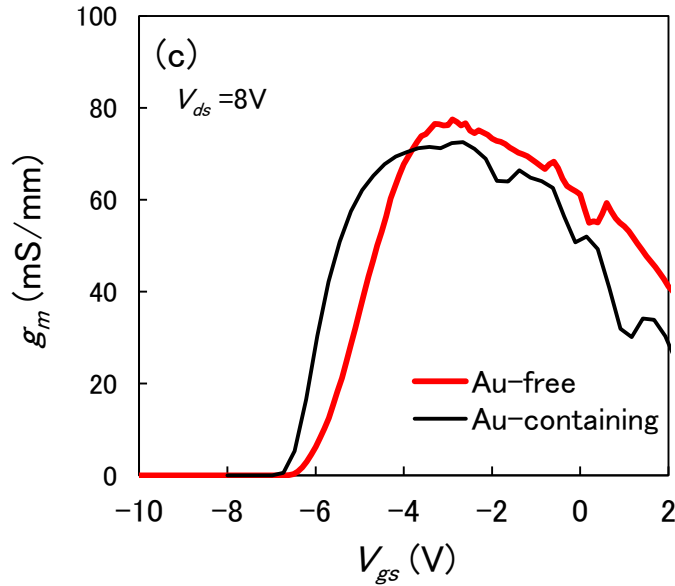


図 5.2.2(c) ノーマリーオン HEMT g_m - V_{gs} 特性

図 5.2.2 に I_d - V_{ds} 特性とトランスファー特性を示す。測定した HEMT はゲートソース間距離 $L_{gs}=4\mu\text{m}$ 、ゲートドレイン間距離 $L_{gd}=4\mu\text{m}$ 、ゲート長 $L_g=2\mu\text{m}$ 、ゲート幅 $W_g=200\mu\text{m}$ である。データより算出した各特性値を表 5.2.1 にまとめる。 R_{on} は Au フリー HEMT の方が低く、その他はほぼ似た特性であることから、低い R_{on} が要求される場合には Au フリー電極を用いた低温プロセスは優位であると考えられる。Au フリー HEMT の方が R_{on} が低い理由は、図 3.5.3 のようにシート抵抗が低いためであると考えられる。それにもかかわらず Au フリー HEMT の I_{dmax} が小さい理由は、アニール温度が低いため、 $\text{Al}_2\text{O}_3/\text{AlGaN}$ 界面の欠陥準位が多く[1]、アクセプタータイプの準位にトラップされた電子による電界で、2DEG 濃度が低下したためと考えられる。 V_{th} が 0.1V 高いのも同様の理由であると考えられる。

表 5.2.1 特性まとめ

	Au フリー	Au 含有
R_{on} (Ωmm)	9.72	12.36
I_{dmax} (mA/mm)	421.7	443.3
V_{th} (V)	-6.6	-6.7
g_{mmax} (mS/mm)	77.5	72.5

5.3 ノーマリーオフ MIS-HEMT の特性

次に、ゲートリセスによりノーマリーオフ特性を狙った MIS-HEMT の評価を行う。フローは図 5.3.1 に示すように、アイソレーション後にゲートリセス工程を追加している。ゲートリセスは 4.4 節にて述べたオーミックリセスと同じ条件で行った。ゲートリセスの方法としてはドライエッチングの他にも、エッチングダメージの低減を狙ったウェットエッチング[2-5]やデジタルエッチング[6-9]などが挙げられる。ゲートリセス深さを変えたときの HEMT 特性変動を評価するため、リセス深さを 0nm (リセス無し) から最大 29.2nm まで変えた試料を作成した。AlGaN 厚さは 26.4nm なので AlGaN が完全に除去される水準も含まれる。アニール温度の違いが HEMT 特性にどのような影響を及ぼすかを明らかにするため、フロー全体を通し、アニールはオーミック電極後のアニール 1 回とした。アニール温度の水準を増やすため、Au 含有電極 (850°C、1 分) の他に、Au フリー電極を 2 条件 (Ti=2.7nm、500°C、10 分および Ti=13.5nm、580°C、1 分) とした。

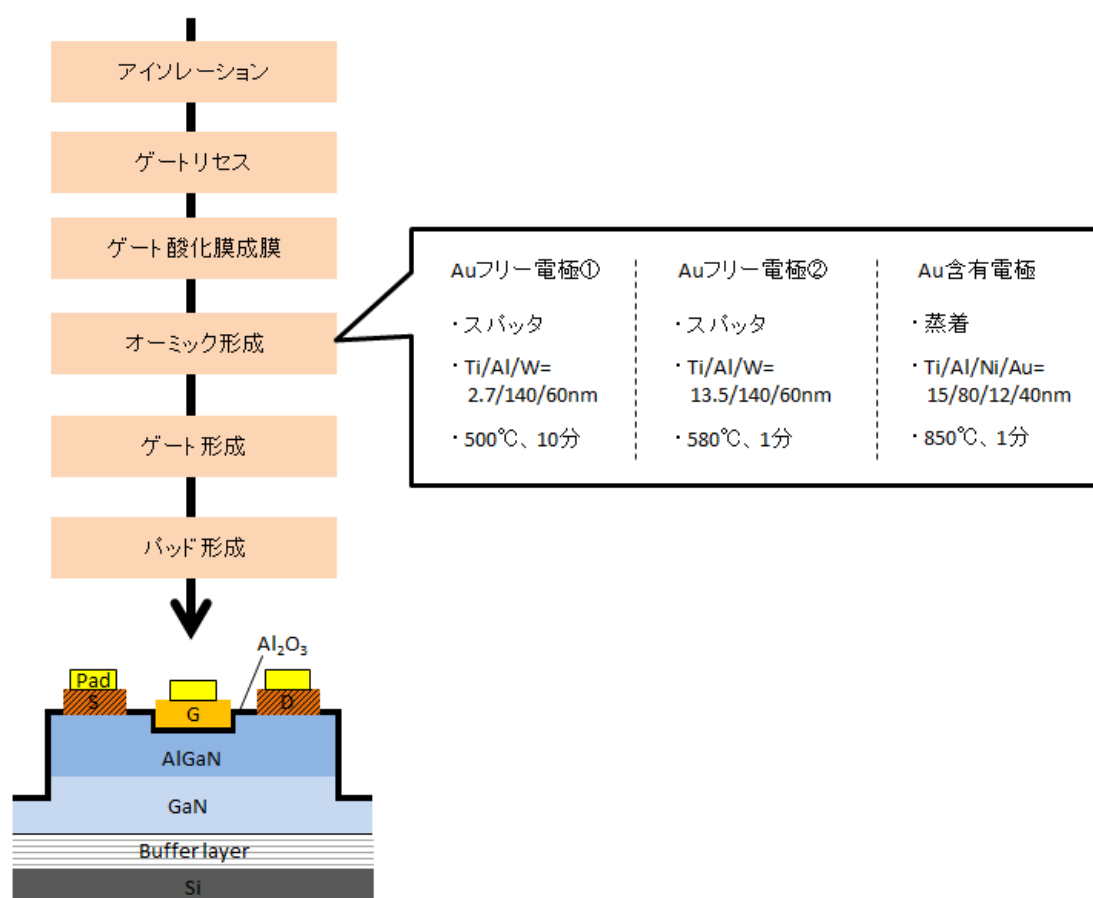


図 5.3.1 ノーマリーオフ MIS-HEMT プロセスフロー

図 5.3.2 にて横軸をリセス深さ、縦軸を各特性として測定結果をまとめた。図 5.3.2(a)で見られるように、 V_{th} はリセスの進行とともに増大するが、Au 含有 HEMT では 29.2nm リセスしたサンプルでも V_{th} は -0.6V であり、ノーマリーオフ特性に至らなかった。一方、Au フリーHEMT (Ti=2.7nm、500°C、10 分) では 24.8nm リセスしたところで V_{th} が正の値となり、27nm リセスしたサンプルで V_{th} =2.4V に達した。もう一方の Au フリーHEMT (Ti=13.5nm、580°C、1 分) では 25.7nm リセスしたところで V_{th} が正の値となり、27.6nm リセスしたサンプルで V_{th} =1.5V に達した。リセスによって起こる V_{th} 変動は、プロセスにおけるアニール温度が低いほど、大きくなっている。このような差が生じる原因は、ゲート MIS 構造における欠陥準位密度がアニール温度により変化したためと考えられる。そのような欠陥準位の種類として、①ドライエッチングによる AlGaN 表層のダメージ、② Al_2O_3 成膜時に生じる Al_2O_3 /AlGaN 界面準位、③バルク Al_2O_3 の欠陥が考えられる。バルク Al_2O_3 欠陥としては酸素空孔欠陥[10,11]が挙げられる。

850°Cで高温アニールされた場合、ドライエッチングダメージの回復が見込まれる一方、窒素空孔欠陥が新たに生じ[12]、 Al_2O_3 /AlGaN 界面準位は $10^{11}cm^{-1}eV^{-1}$ オーダーで残る[13,14]。また、 Al_2O_3 の結晶化が進み[15-17]、ゲートリークが増大する[1]。その一方、低温アニールされた場合、ドライエッチングダメージの回復は相対的に進まないが、 Al_2O_3 /AlGaN 界面準位が $10^{10}cm^{-1}eV^{-1}$ オーダーまで低下する[18]うえ、ゲートリークの原因となる Al_2O_3 の結晶化が起こらない。

今回の実験結果から考察すると、高温アニールされた Au 含有 HEMT では、ドライエッチングダメージの回復による欠陥低減によりゲート下の電流が流れやすい状態となり、 V_{th} のプラスシフト量が低下した可能性がある。図 5.3.2(c)で見られるように、Au 含有 HEMT の I_d が、リセスしても低下しにくいことも同じ原因で起こると思われる。検証のためには、リセスエッチング後にダメージ回復のための高温アニールを追加した Au フリーHEMT を試作評価することが考えられる。高温アニールを避けるため、TMAH (水酸化テトラメチルアンモニウム) などのエッチャントを用いたウェットエッチングプロセス[19]も有効であると考え。また、この仮説が正しい場合、低温アニールしか行わない Au フリーHEMT はエッチングダメージが残った状態であるため、信頼性試験 (たとえば高温通電試験、高温高湿通電試験など) で特性シフトが起きないか、評価が必要であると考え。

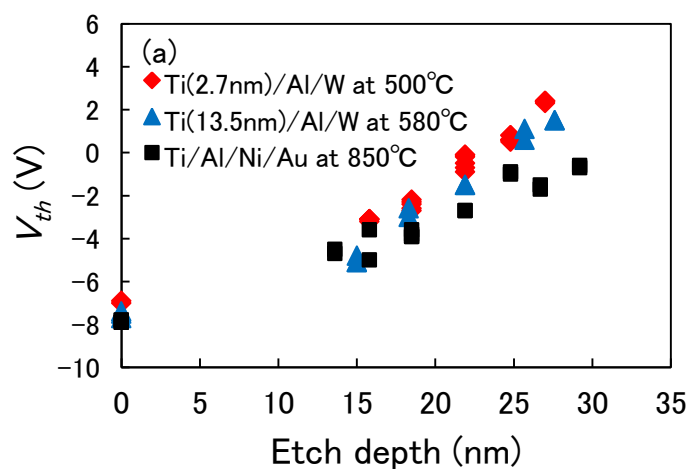


図 5.3.2(a) リセス深さと V_{th} 特性

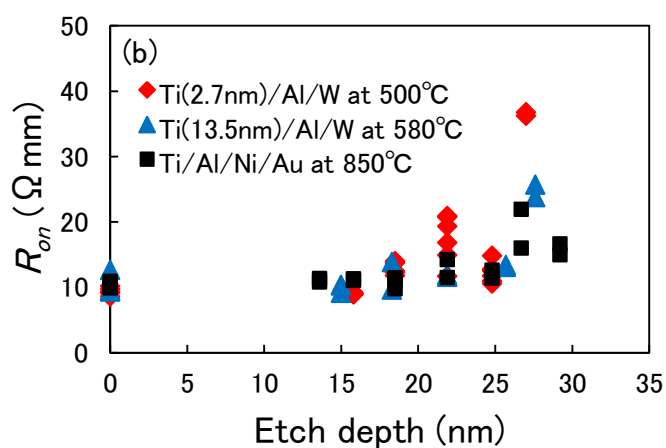


図 5.3.2(b) リセス深さと R_{on} 特性

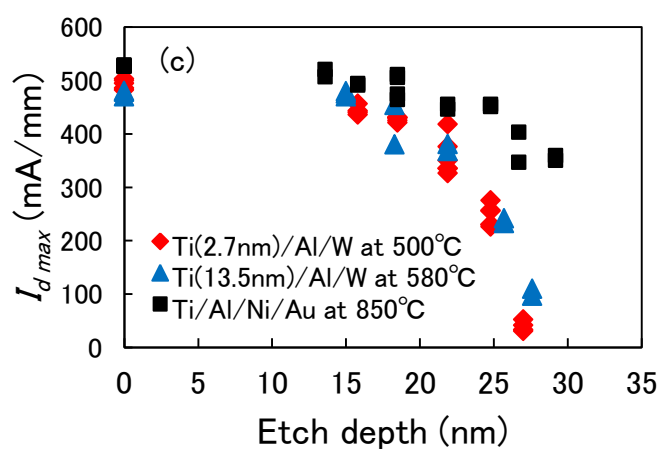


図 5.3.2(c) リセス深さと I_{dmax} 特性

図5.3.2(b)および(c)にて、リセスの進行による R_{on} 増大や I_{dmax} の低下が見られるが、AuフリーHEMTの特性悪化が、Au含有HEMTに比べて大きい。しかし、それはAuフリーHEMTの V_{th} シフトが大きいためである。それを確認するため V_{th} を横軸として R_{on} と I_{dmax} の変動をまとめたのが図5.3.3である。Au含有HEMTもAuフリーHEMTもおおむね同じトレンドに乗っていることから、AuフリーHEMTの R_{on} と I_{dmax} の変動が大きいのは V_{th} のシフトが大きいためであることが分かる。

図5.3.3をみると、 V_{th} が2V付近では R_{on} が跳ね上がり、 I_{dmax} も大きく低下するため、実用的ではなくなる。 V_{th} が1Vであれば $R_{on}=10\Omega\text{mm}$ 程度、 $I_{dmax}=200\text{mA/mm}$ 程度の性能を持つHEMTが得られる。

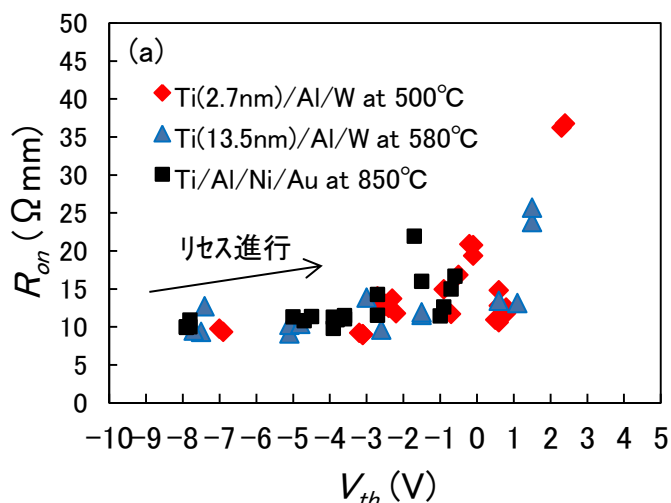


図 5.3.3(a) V_{th} と R_{on} の関係

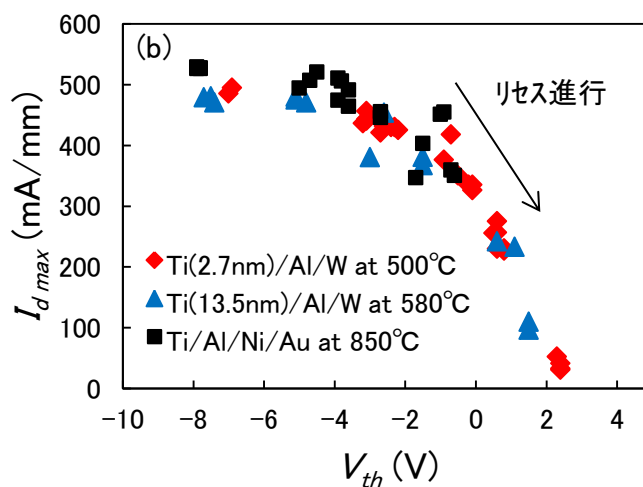


図 5.3.3(b) V_{th} と I_{dmax} の関係

5.4 本章のまとめ

低いアニール温度をもつ Ti/Al/W オーミック電極を活用し、低温プロセスにてノーマリーオン MIS-HEMT を試作し、高温アニールが必要な Au 含有 HEMT との特性比較を行った結果、以下のことが分かった。

- R_{on} は Au フリーHEMT の方が低く、シート抵抗が低いと考えられる
- V_{th} 、 I_{dmax} 、 g_m はほぼ同じ特性値である

つぎに、ゲートリセスを追加したノーマリーオフ MIS-HEMT にて、Au フリーHEMT と Au 含有 HEMT の特性を比較した結果、以下のことが分かった。

- リセスによる V_{th} の変動幅は、アニール温度が低いほど大きい
- V_{th} 対 R_{on} および V_{th} 対 I_{dmax} のトレンドはアニール温度で変わらない

参考文献

- [1] C. Ostermaier, H. C. Lee, S. Y. Hyun, S. I. Ahn, K. W. Kim, H. I. Cho, J. B. Ha, and J. H. Lee, "Interface characterization of ALD deposited Al₂O₃ on GaN by CV method." *physica status solidi (c)*, **5**(6), 1992-1994, 2008.
- [2] L. Ma, K. F. Adeni, C. Zeng, Y. Jin, K. Dandu, Y. Saripalli, M. Johnson, and D. Barlage, "Comparison of different GaN etching techniques." CS Mantech Conference, April 24-27, Vancouver, **2**(3), p.105-108, 2006.
- [3] D. Zhuang, and J. H. Edgar, "Wet etching of GaN, AlN, and SiC: a review." *Materials Science and Engineering: R: Reports*, **48**(1), 1-46, 2005.
- [4] Y. Wang, M. Wang, B. Xie, C. P. Wen, J. Wang, Y. Hao, W. Wu, K. J. Chen, and B. Shen, "High-Performance Normally-Off Al₂O₃/GaN MOSFET Using a Wet Etching-Based Gate Recess Technique." *IEEE Electron Device Lett.* **34**(11), 1370-1372, 2013.
- [5] J. A. Bardwell, J. B. Webb, H. Tang, J. Fraser, and S. Moisa, "Ultraviolet photoenhanced wet etching of GaN in K₂S₂O₈ solution." *J. Appl. Phys.* **89**(7), 4142-4149, 2001.
- [6] H. Hahn, G. Lükens, N. Ketteniss, H. Kalisch, and A. Vescan, "Recessed-gate enhancement-mode AlGaIn/GaN heterostructure field-effect transistors on Si with record DC performance." *Appl. Phys. Express*, **4**(11), 114102, 2011.
- [7] S. D. Burnham, K. Boutros, P. Hashimoto, C. Butler, D. W. Wong, M. Hu, and M. Micovic, "Gate-recessed normally-off GaN-on-Si HEMT using a new O₂-BCl₃ digital etching technique." *physica status solidi (c)*, **7**(7-8), 2010-2012, 2010.
- [8] Y. Wang, M. Wang, B. Xie, C. P. Wen, J. Wang, Y. Hao, W. Wu, K. J. Chen, and B. Shen, "High-Performance Normally-Off Al₂O₃/GaN MOSFET Using a Wet Etching-Based Gate Recess Technique." *IEEE Electron Device Lett.* **34**(11), 1370-1372, 2013.
- [9] D. Buttari, S. Heikman, S. Keller, and U. K. Mishra, "Digital etching for highly reproducible low damage gate recessing on AlGaIn/GaN HEMTs." In High Performance Devices, 2002. Proceedings. IEEE Lester Eastman Conference, pp. 461-469, IEEE.
- [10] P. Jonnard, C. Bonnelle, G. Blaise, G. Rémond, and C. Roques-Carmes, "F⁺ and F centers in α-Al₂O₃ by electron-induced X-ray emission

- spectroscopy and cathodoluminescence.” *J. Appl. Phys.* **88**(11), 6413-6417, 2000.
- [11] M. Choi, J. L. Lyons, A. Janotti, and C. G. Van de Walle, “Impact of native defects in high-k dielectric oxides on GaN/oxide metal-oxide-semiconductor devices.” *physica status solidi (b)*, **250**(4), 787-791, 2013.
- [12] M. G. Ganchenkova, and R. M. Nieminen, “Nitrogen Vacancies as Major Point Defects in Gallium Nitride.” *Phys. Review Lett.* **96**, 196402, 2006.
- [13] Y. Niiyama, S. Ootomo, J. Li, T. Nomura, S. Kato, and T. P. Chow, “Normally off operation GaN-based MOSFETs for power electronics applications.” *Semicond. Science and Technol.* **25**(12), 125006, 2010.
- [14] T. Marron, S. Takashima, Z. Li, and T. P. Chow, “Impact of annealing on ALD Al₂O₃ gate dielectric for GaN MOS devices.” *physica status solidi c*, **9**(3-4), 907-910, 2012.
- [15] Y. Hori, C. Mizue, and T. Hashizume, “Process conditions for improvement of electrical properties of Al₂O₃/n-GaN structures prepared by atomic layer deposition.” *Jpn. J. Appl. Phys.* **49**(8R), 080201, 2010.
- [16] S. Toyoda, T. Shinohara, H. Kumigashira, M. Oshima, and Y. Kato, “Significant increase in conduction band discontinuity due to solid phase epitaxy of Al₂O₃ gate insulator films on GaN semiconductor.” *Appl. Phys. Lett.* **101**(23), 231607, 2012.
- [17] S. Jakschik, U. Schroeder, T. Hecht, M. Gutsche, H. Seidl, and J. W. Bartha, “Crystallization behavior of thin ALD-Al₂O₃ films.” *Thin Solid Films*, **425**(1-2), 216-220, 2003.
- [18] T. Hashizume, S. Kaneki, T. Oyobiki, Y. Ando, S. Sasaki, and K. Nishiguchi, “Effects of postmetallization annealing on interface properties of Al₂O₃/GaN structures.” *Appl. Phys. Lett.* **11**, 124102, 2018.
- [19] K. W. Kim, S. D. Jung, D. S. Kim, H. S. Kang, K. S. Im, J. J. Oh, J. B. Ha, J. K. Shin, and J. H. Lee, “Effects of TMAH Treatment on Device Performance of Normally Off Al₂O₃/GaN MOSFET.” *IEEE electron device letters*, **32**(10), 1376-1378, 2011.

第6章 結論

本章では、本研究で得られた知見をまとめ、Si 基板上窒化物半導体を用いた HEMT の量産化に向けた課題と展望について述べる

6.1 本論文のまとめ

本研究では、次世代パワーデバイスとして期待が大きい Si 基板上窒化物半導体 HEMT の実用化に向けて、Au フリーオーミック電極の開発を行った。以下に、3～5 章の結論をまとめる。

第3章では、AlGaIn/GaN ヘテロ構造上の Ti/Al/W オーミック電極の特性評価、構造分析を行った。試作条件を変えて評価する中で、Ti 層が薄いほど、必要なアニール温度が下がると同時に、固有接触抵抗が下がることを見出した。Ti 厚さを 2.7nm まで薄くすることで、アニール温度および固有接触抵抗は、報告されている中で最も低い 500°C および $2.54\text{E-}6\Omega\cdot\text{cm}^2$ となった。この固有接触抵抗は従来の Au 含有電極と同水準である。アニール温度が低いことで、電極表面の平坦性が向上し、パターンの直線性やワイヤボンディングの密着性に優れる。また、Au 含有電極と異なり、AlGaIn/GaN エピタキシャル層の中に金属が拡散しないため、シート抵抗を悪化させないことが分かった。

今回得られた低温アニールで低抵抗である Ti/Al/W オーミック電極の構造、組成分析を進めた結果、Ti は成膜時に AlGaIn の自然酸化膜から酸素を奪い、AlGaIn 表面から酸素を除去すること、アニール中に AlGaIn を分解することで不純物や欠陥の少ない理想的な金属/AlGaIn 界面を形成すること、アニールで $\text{Ti}_{0.5}\text{Al}_{0.5}\text{N}$ 合金を形成することが分かった。そのため、ある程度の厚さの Ti を最下層に成膜することが必要だが、その一方で、Ti 層は Al の AlGaIn 表面への拡散を阻害するために薄さも求められる。最適な Ti 厚さは、金属/AlGaIn 界面のアルミ組成率を酸素組成率で除したパラメータである Al/O 比が最大化するときの Ti 厚さとして求められることを見出した。また、Al は小さい仕事関数を持ち AlGaIn 表面まで拡散し $\text{Ti}_{0.5}\text{Al}_{0.5}\text{N}$ 合金を形成することで金属/AlGaIn 界面のエネルギー障壁を下げる役割を果たし、W は酸化防止膜として機能することが分かった。このようなオーミック接合の形成メカニズムは、Au を含まない Ti/Al 系低温アニールオーミック電極に広く適用可能である。

第4章では、InAlN/AlN/GaN ヘテロ構造上の Ti/Al/W オーミック電極の特性評価を行ったのち、リセスオーミック構造を採用したときのキャリア伝導特性の変動を調

査した。InAlN では自然酸化膜の違いや Ti と InAlN との反応性の違いにより、AlGaIn の場合よりも厚い Ti 層が求められ、Ti 厚さ 15nm において 525°C で 1 分間アニールすることで固有接触抵抗 $1.25E-5\Omega\cdot\text{cm}^2$ が得られた。InAlN は高温で劣化しやすいため、アニール温度低下の意義が大きく、525°C、1 分のアニールではシート抵抗の上昇や表面荒れが起きないことを確認した。

リセスオーミック構造によるコンタクト抵抗低減効果を評価した結果、厚さ 9.5nm の InAlN 層を 5.43nm エッチングしたとき、最も抵抗値が下がることが分かった。抵抗の温度特性を TFE モデルでフィッティングして得られたパラメータを解析した結果、熱拡散とトンネリングの両方が電子伝導に関わっているが、比較的トンネリングの寄与率が大きいこと、リセスが進行するにつれて、熱拡散の寄与率が増大することが分かった。そのような伝導特性の変化を、リセスの深さによって電流方向が垂直から水平に変化すること、InAlN から GaN へ界面が移ること、ダメージ層の有無で説明するモデルを提案した。

第5章では、第3章で得られた Ti/Al/W オーミック電極を Si 基板上 AlGaIn/GaN HEMT に適用し、従来の Au 含有電極を用いた HEMT との特性の違いを評価した。ノーマリーオン MIS-HEMT において、Au 含有 HEMT よりも、Au フリー HEMT の R_{on} が低いことが分かった。これは Au フリー電極がシート抵抗を劣化させないためである。ゲートリセス構造を用いたノーマリーオフ MIS-HEMT の場合、Au フリー電極を用いた方が、 V_{th} のシフトが大きいことが分かった。これはアニール温度の低温化によりゲートリセス部のエッチングダメージが多く残り、電流遮断効果が大きくなったためと考えられる。

6.2 GaN デバイスの実用化に向けた課題と展望

本研究では、GaN 系 HEMT の量産化に向けた大きな課題である Au フリー化に取り組み、既存の Si デバイス製造ラインでも製造可能なオーミック電極を開発した。これにより建屋や装置といったハード面での投資コストが抑えられ、事業参入の障壁を低くすることが出来た。

量産化に向けた別の課題として、GaN デバイスの単価低減が挙げられる。デバイス単価を大きく分けると材料費とプロセス加工費に分けられる。プロセス加工費に関しては、HEMT プロセスは非常に簡便であり、フォトリソ、インプラ、アニールを繰り返す Si プロセスに比べ安価である。問題なのはその利点を打ち消してしまうほど高い材料費であり、その大部分を GaN on Si ウェハの価格が占める。試算した結果、GaN HEMT のコストを Si デバイスと同水準にするためには GaN on Si ウェハの価格を 1

インチあたり1万円まで下げる必要がある。その実現のため、GaNデバイスの流通拡大によるウェハ価格の低下が期待される。

GaN on Si ウェハのもう1つの課題は欠陥密度の低減である。実質欠陥フリーなSiウェハの場合、製造プロセス終了後の電気特性試験において、歩留り(良品率)は95%を超えるのが通常であるが、リーク源となるキラークラック欠陥が多数点在するGaN on Si ウェハにおいて同水準の歩留りは見込めない。しかし欠陥が低減されれば、横型GaN HEMTのプロセスは短く簡便であるため、Siを超える歩留りを容易に実現できると考えている。

本研究で得られた成果をもとに、窒化物半導体を用いたパワーデバイスの開発が進展し、幅広い産業で実用化されることを期待する。

謝辞

本研究の遂行ならびに本論文の執筆にあたり、数々のご指導、的確なご助言を賜りました名古屋工業大学大学院電気・機械工学専攻 電気電子分野 窒化物半導体マルチビジネス創生センター長ならびに、極微デバイス次世代材料研究センター長 江川 孝志 教授に心から御礼申し上げます。

また、本論文を審査いただくと共に有益なご教示、ご助言を頂きました名古屋工業大学大学院電気・機械工学専攻 電気電子分野 三好 実人 教授、ならびに ニラウラ マダン 教授に深く感謝いたします。

本研究を進めるにあたり名古屋工業大学大学院 電気・機械工学専攻 電気電子分野 久保 俊晴 准教授には、貴重な御助言を頂き、実験装置のメンテナンス等の細かな部分まで多岐にわたり御支援を賜りました。ここに厚く感謝致します。

本研究で用いたAlGaIn/GaN on Siウェハについて御議論、御教授いただきました住友化学株式会社 田中 光浩 氏、並びに 池尻 圭太郎 氏に心から御礼申し上げます。

本研究を進めるにあたり株式会社アルバック 上村 隆一郎 氏、並びに 長田 大和 氏には、デバイスの作成、加工について御議論、御教授いただきました。ここに厚く感謝を申し上げます。

株式会社東海理化に在籍しながら、このような勉学の機会を与えて頂きました、株式会社東海理化 脇谷 忠志 元副社長、濱本 忠直 元専務、今枝 功旗 常務、櫻井 武俊 執行役員、糸魚川 貢一 参与、エレクトロニクスデバイス部の 谷口 政弘 部長には、深く感謝申し上げます。

日頃試作の進捗、特性評価や開発の進め方について議論いただくと共に、大学での業務にご理解、ご支援いただきました株式会社東海理化 田島 聖也 室長、島健悟 GM、井上 知晃 GM には深く感謝いたします。

投稿論文執筆における御指導、御議論いただくとともに、試料作成、試料測定について御指導いただきました、名古屋工業大学 極微デバイス次世代材料研究センター 元研究員 Joseph J. Freedman 博士、並びに研究員 Debaleen Biswas 博士に深く感謝申し上げます。

本研究の試作を進めるにあたり、実験装置の使用法、評価方法を御指導いただいた名古屋工業大学大学院 電気・機械工学専攻 博士前期課程 2016 年度卒業 西野 剛介 氏、また、試料の作成、計測にご協力いただいた名古屋工業大学大学院 電気・機械工学専攻 博士前期課程 2017 年度卒業 木村 隼人 氏に深く感謝申し上げます。

本研究は、科学技術振興機構(JST)の研究成果展開事業である愛知地域スーパークラスタープログラムの研究成果の一部であり、関係各位に感謝致します。

謝辞

最後に、本研究活動に暖かい支援を頂き、ここまで支えてくれた家族、両親に深く感謝の意を表します。

研究業績一覽

論文発表

- (1) Takahiro Yoshida and Takashi Egawa
“Improvement of Au-Free, Ti/Al/W Ohmic Contact on AlGa_N/Ga_N Heterostructure Featuring a Thin-Ti Layer and Low Temperature Annealing”
physica status solidi (a), 1700825, 2018.
- (2) Takahiro Yoshida and Takashi Egawa
“Role of thin Ti layer in formation mechanism of low temperature-annealed Ti/Al-based ohmic contact on AlGa_N/Ga_N heterostructure”
Semicond. Sci. Technol. **33**(7), 075006, 2018.
- (3) Takahiro Yoshida and Takashi Egawa
“Dynamic variation of carrier transport properties of recessed Au-free ohmic contacts to InAl_N/Al_N/Ga_N on Si-wafer”
Jpn. J. Appl. Phys. **57**, 110302, 2018.

国際学会発表

- (1) Takahiro Yoshida and Takashi Egawa
“Characteristics of low temperature annealed Au-free AlGa_N/Ga_N HEMTs”
European Materials Research Society (E-MRS) 2017 fall meeting,
September 18-21, 2017, Warsaw, Poland (poster)
- (2) Takahiro Yoshida and Takashi Egawa
“Role of Thin-Ti Layer in Formation Mechanism of
Low-temperature-annealed Ti/Al-based ohmic contact on
AlGa_N/Ga_N-on-Si”
19th International Conference on Metalorganic Vapor Phase Epitaxy
(ICMOVPE), June 3-8, 2018, Nara, Japan (poster)
- (3) Takahiro Yoshida and Takashi Egawa
“Carrier transport mechanism of recessed Au-free ohmic contacts to
InAl_N/Al_N/Ga_N on Si”
International Workshop on Nitride Semiconductors (IWN) 2018,
November 11-16, 2018, Kanazawa, Japan (poster)