

マエダ ヨシヒロ

氏 名 前田 慶博

学位の種類 博士 (工学)

学位記番号 博第1156号

学位授与の日付 平成31年3月27日

学位授与の条件 学位規則第4条第1項該当 課程博士

学位論文題目 Acceleration of Edge-Preserving Filtering on CPU
Microarchitecture
(CPUマイクロアーキテクチャに応じたエッジ保存平滑化フィルタ
の高速化)

論文審査委員 主査 教授 松尾 啓志
教授 本谷 秀堅
教授 齋藤 彰一

論文内容の要旨

エッジ保持平滑化フィルタは、コンピュータビジョンにおける基盤技術であり、デノイジング、アップサンプリング、詳細強調など多くのアプリケーションにおいて使用されている。バイラテラルフィルタを代表とするエッジ保持平滑化フィルタは、従来の平滑化フィルタではぼけてしまうエッジを残しながら、平滑化を行う。このフィルタは、画素毎に適応的な処理が必要であるため、計算コストが高い。そのためセパラブルアルゴリズムや定数時間アルゴリズムなど様々な高速化手法が提案されている。しかし、セパラブルアルゴリズムは近似精度が低く、定数時間アルゴリズムは次元の呪いによってカラー画像では、高い計算コストを要求するなど問題も多い。そのため、アルゴリズムだけではなく、ハードウェアの機能を有効に活用することも求められる。

また、近年、半導体の集積度が年々向上するというムーアの法則の限界が近づきつつあり、電力や発熱の問題により、CPUのクロック周波数の増加は止まり、マルチコア化やSIMD演算器によるベクトル化などの機能の多様化が進んでいる。これに伴い、CPUマイクロアーキテクチャも複雑化しており、CPUが本来持つ性能を十分に生かすためには、高度な並列化やベクトル化が必要となっている。特に、SIMD命令は、ベクトル長や命令の増加など複雑さを増している。

そこで、本論文では、エッジ保持平滑化フィルタの高速化を目的とし、特に CPU マイクロアーキテクチャにおける効率的な実装方法を網羅的に検討する。そして、CPU マイクロアーキテクチャにおけるエッジ保持平滑化フィルタの実装方法の体系化を行う。また、エッジ保存平滑化フィルタを使用するアプリケーションにも着目し、アップサンプリングと詳細強調の高速化・高精度化手法を検討する。

第 1 章では、本研究に至った背景を示し、本論文の議論の前提となる技術の概要を説明する。そして、本論文の目的を示す。

第 2 章では、SIMD 演算と親和性の高いループ展開手法に着目し、バイラテラルフィルタなどの FIR フィルタにおけるループ展開方法について体系化する。そして、適切なデータ構造変換について提案する。ここでは、特に、一般的なフィルタリングに適用可能な高速化手法であるカーネル間引きを適用する場合について検討する。カーネル間引きは、近似精度を高く保ちながら、高速化を行う手法である。しかし、この手法では、アクセスするデータが不連続になるという問題がある。提案するデータ構造変換は、アクセスするデータが連続になるように並べ変えを行い、カーネル間引きを適用する場合のパフォーマンスを向上させる。

第 3 章では、エッジ保存平滑化フィルタにおいて頻繁に発生する非正規化数の抑制方法を提案し、CPU マイクロアーキテクチャに応じた効率的な実装手法について述べる。非正規化数とは、IEEE754 浮動小数点形式における非常に小さな数を表す特殊数である。これは、例外として処理されるため、高い計算コストが必要となる。エッジ保持平滑化フィルタでは、エッジ周辺において非正規化数が多く発生するため、計算時間に大きな影響を与える。そこで、バイラテラルフィルタとノンローカルミーンズフィルタにおける非正規化数の発生を予防する手法を提案する。それに加えて、CPU マイクロアーキテクチャの変化に伴い変化する SIMD 命令セットを用いる場合の最適なエッジ保持平滑化フィルタの実装方法についても検討する。これでは、様々な実装方法を網羅的に検証し、最適な実装方法について述べる。

第 4 章では、エッジ保持平滑化フィルタを使用するアプリケーションであるアップサンプリングと詳細強調を対象とし、これらを同時処理可能なフレームワークを提案する。提案手法では、ベース信号と詳細信号をエッジ保持平滑化フィルタで分離し、それぞれの信号を別々にアップサンプリングすることで、アップサンプリングの高精度を達成するとともに、詳細強調の手法としてみれば、その近似高速化を同時に達成している。

最後に、第 5 章では本論文で得られた結論及び今後の課題、展望を述べる。

論文審査結果の要旨

エッジ保持平滑化フィルタは、コンピュータビジョンにおける基盤技術であり、デノイジング、アップサンプリング、詳細強調など多くのアプリケーションにおいて使用されている。バイラテラルフィルタを代表とするエッジ保持平滑化フィルタは、従来の平滑化フィルタではぼけてしまうエッジを残しながら、平滑化を行う。このフィルタは、画素毎に適応的な処理が必要であるため、計算コストが高い。そのためセパラブルアルゴリズムや定数時間アルゴリズムなど様々な高速化手法が提案されている。しかし、セパラブルアルゴリズムは近似精度が低く、定数時間アルゴリズムは次元の呪いによってカラー画像では高い計算コストを要求するなど問題も多い。そのため、アルゴリズムだけではなく、ハードウェアの機能を有効に活用することも求められる。

そこで、本論文では、エッジ保持平滑化フィルタの高速化を目的とし、特にCPUマイクロアーキテクチャにおける効率的な実装方法を網羅的に検討する。そして、CPUマイクロアーキテクチャにおけるエッジ保持平滑化フィルタの実装方法の体系化を行う。また、エッジ保存平滑化フィルタを使用するアプリケーションにも着目し、アップサンプリングと詳細強調の高速化・高精度化手法を検討する。

第1章では、本研究に至った背景を示し、本論文の議論の前提となる技術の概要を述べた。

第2章では、バイラテラルフィルタなどのFIRフィルタにおけるループ展開方法について体系化し、適切なデータ構造変換について提案した。

第3章では、エッジ保存平滑化フィルタにおいて頻繁に発生する非正規化数の抑制方法を提案し、CPUマイクロアーキテクチャに応じた効率的な実装手法について示した。さらに、バイラテラルフィルタとノンローカルミーンズフィルタにおける非正規化数の発生を予防する手法を提案するとともに、それに加えて、CPUマイクロアーキテクチャの変化に伴い変化するSIMD命令セットを用いる場合の最適なエッジ保持平滑化フィルタの実装方法についても検討した。

第4章では、エッジ保持平滑化フィルタを使用するアプリケーションであるアップサンプリングと詳細強調を対象とし、これらを同時処理可能なフレームワークを提案した。提案手法では、ベース信号と詳細信号をエッジ保持平滑化フィルタで分離し、それぞれの信号を別々にアップサンプリングすることで、アップサンプリングの高精度を達成するとともに、詳細強調の手法としてみれば、その近似高速化を同時に達成している。

本研究の成果は、コンピュータビジョンの基本技術であるエッジ平滑化フィルタの高速化手法を提案するとともに、CPUマイクロアーキテクチャに対する最適化も行ったものであり、情報工学の分野において寄与するところが大きい。このことから、本論文は本学の博士（工学）の学位論文として、十分その価値を有すると認める。