

1. Si 基板上の縦型 GaN 系デバイスと GaN
における欠陥解析に関する研究

第 1 章 序論

1.1 研究背景

1.1.1 GaN 系トランジスタ

地球温暖化やエネルギー資源の枯渇と言った環境問題を背景として、現在「省エネルギー化」に基づく技術開発が推進されている。中でも機械製品の電動化、自動化による性能向上、高効率化の効果は目覚ましいものがあり、更なる発展が期待されている。その中で、インバータ等の電力変換装置、制御装置に用いられる半導体素子、パワーデバイスについても電力損失の低減が求められている。従来、半導体素子は Si 材料を用いた Metal Oxide Semiconductor Field Effect Transistor (MOSFET) や Insulated Gate Bipolar Transistor (IGBT) が広く用いられてきた。しかしながら、これらのパワーデバイスは Si の材料物性に起因する素子の性能限界に達しており、性能向上のために高耐圧化と単位面積当たりの低抵抗化を同時に行うことは困難である。

近年、Si デバイスの代替となり得るパワーデバイスとして、窒化ガリウム (GaN) やシリコンカーバイド (SiC) といったワイドバンドギャップ半導体を用いたパワーデバイスの研究が進められてきた。表 1.1 に、Si、SiC、及び GaN の物性値を示す。パワーデバイスの性能指数の 1 つに、Baliga 指数 (BFOM) があり、以下の式で表される。

$$\text{BFOM} = \varepsilon \mu E_c^3, \quad (1.1)$$

このとき、それぞれ ε は誘電率、 μ は移動度、 E_c は絶縁破壊電界である。表 1.1 の値を用い、(1.1) 式から GaN の BFOM を計算すると、Si の値に対して 900 倍 (バルク)、ヘテロ構造を活かしたデバイスにおいては 1500 倍もの高い値を示す。これは、同じ耐圧を規定した場合に、単位面積当たりのオン抵抗を 900 分の 1、または 1500 分の 1 にすることができることを示している。このことは、

GaN を用いることで低損失なデバイスを実現可能であることを示している。さらに、GaN は Si と比較するとバンドギャップが 3 倍程度大きく、高温動作が期待できる。

表 1.1 各種半導体の物性値 [1-6]

半導体	Si	4H-SiC	GaN
バンドギャップエネルギー E_g (eV)	1.1	3.2	3.4
比誘電率 ϵ_s	11.8	9.7	9.0
電子移動度 μ (cm^2/Vs)	1350	1000	1200 (バルク) 2000 (2DEG)
絶縁破壊電界 E_c (MV/cm)	0.3	2.8	3.3
飽和電子速度 v (10^7 cm/s)	1.0	2.2	2.5
遷移型	間接	間接	直接
バリガ指数	430	212934	388119(バルク) 646866(2DEG)

GaN が、同じワイドバンドギャップ半導体である SiC と異なる点は、混晶半導体である AlGaIn などとヘテロ接合が形成できることや、直接遷移型のバンド構造を持つことである。ヘテロ接合界面を利用した構造では、界面に $\sim 10^{13} \text{ cm}^{-2}$ 程度の 2 次元電子ガス(2DEG)が形成され、 $2000 \text{ cm}^2/\text{Vs}$ 程度の高い電子移動度が得られる。この特徴を活かしたトランジスタは、ヘテロ接合電界効果トランジスタ(Heterostructure Field-Effect Transistor : HFET)または、高電子移動度トランジスタ(High Electron Mobility Transistor : HEMT)と呼ばれ、GaN 電子デバイスの主要な構造となっている。

AlGaIn/GaN のヘテロ接合を用いた HEMT は 1993 年に Khan 等によって報告されて以来[7]、盛んに研究が行われている。AlGaIn/GaN HEMT の研究は、主に SiC 基板や Si 基板等と異種基板に成長されたエピタキシャル結晶を用いて行われている。パワーデバイスでは、低コスト化が求められることを背景とし、大口径

化が可能な Si 基板上 GaN 系 HEMT の研究が盛んに行われている。このような研究開発の結果、パワーデバイスとして数社から Si 基板上 GaN 系 HEMT が提供されるまでに至っている。

1.1.2 GaN 系パワーデバイスの課題

GaN 系デバイス、特に AlGaIn/GaN HEMT は、研究開発レベルで既に従来の Si パワーデバイスの特性より優れた特性を示しているにもかかわらず、爆発的な普及には至っていない。これは、横型 HEMT デバイス特有のノーマリーオフ化、そして耐電圧と面積当たりのオン抵抗のトレードオフの関係の問題と、GaN 系デバイスの未成熟な結晶成長技術に起因する転位や点欠陥といった結晶欠陥に起因する電流コラプス現象やリーク電流の増大といった特性の劣化、つまり信頼性の問題が原因と考えられる。結晶成長時に生じる転位や点欠陥といった結晶欠陥は横型デバイスで見られる電流コラプス現象やリーク電流の増大を招くため [13,14]、結晶成長技術、プロセス技術の改善が求められているが、課題の解決にはそれと同時に欠陥の発生個所、発生機構について解明し、実デバイスの特性とどのような関連性が存在するか示し、効果的な結晶欠陥の低減方法を提案していく必要がある。

また、横型構造である AlGaIn/GaN HEMT の場合、ゲート・ドレイン電極間の距離で耐圧が決定されるため、耐圧を上げながら面積当たりのオン抵抗を低減することが難しいという問題がある。電極間距離を伸ばした際にオン抵抗を低減するためには、キャリア濃度を増やし、電流値を増大させる必要があるが、HEMT の場合 2DEG に存在する電荷量により決定される、つまり材料物性により決定されるため、技術的な解決が難しい。解決方法として InAlN/GaN のヘテロ構造により AlGaIn/GaN よりも大きな分極電荷を発生させることでキャリア濃度を増大させることが可能であるが[8]、いずれ材料物性の限界に突き当たってしまうため、デバイス構造の更なる改善が必要となる。

耐圧を維持しながら面積当たりのオン抵抗を低減するには、横型構造だけでなく縦型構造についても検討を進める必要がある。縦型構造は横型構造デバイスに見られるノーマリーオフ化の問題や表面準位におけるキャリアトラップといった悪影響を受けにくく、パワーデバイスとして用いるには優位に立っている。近年、Na フラックス法や HVPE 法を用いた GaN のバルク成長技術の研究が盛んに行われており [9, 10]、自立 GaN 基板上に結晶成長させた GaN 系デバイスの報告が上がってきている。これに伴い GaN 系の縦型構造が見直されてきているが、依然自立 GaN 基板は高コストであるため、低コスト性という長所がある異種基板上の縦型 GaN 系デバイスの研究も行われている [11,12]。しかしながら、異種基板上の GaN においても SiC 基板や Sapphire 基板では依然高価であり、また Sapphire 基板は非導電性であるため表面のみに電極を有する疑似縦型構造を採用せざるを得ない。他にも、結晶成長による歪や転位が課題となっているため、実用化には至っておらず、研究の余地が十分に存在している。

1.2 本論文の目的

本論文では、GaN 系デバイスのパワーデバイスとしての更なる普及に向けて、作製デバイスの信頼性に関わる結晶欠陥やそれに起因する現象の解析、そして GaN 系デバイスの縦型化に適する新構造の研究を行うことを目的としている。

第 1 の観点では、Si 基板上の GaN における結晶欠陥とそれに起因する現象について、容量解析による直接的なトラップ解析と、欠陥のキャリア捕獲・放出が問題となる局所領域について解析する 2 手法を用い、結晶欠陥の発生機構や局所領域における欠陥がデバイスの特性に与える影響について評価を行った。

第 2 の観点では、異種基板の低コスト性を活かすため、導電性基板である Si 基板を用いた低コスト縦型構造 GaN 系デバイスの実現を目標とし、エピ構造の設計、及びデバイスの作製・評価を行った。

1.3 本論文の構成

本論文では、次世代のパワーデバイスとして期待される Si 基板上 GaN 系デバイスの普及に向けた課題を解決するため、GaN 系デバイスの信頼性評価のための欠陥解析、及び新構造縦型デバイスの作製及び評価について述べる。本論文は、4つの章で構成される。以下に、各章の構成を述べる。

第2章では、Si 基板上の GaN における結晶欠陥について、DLTS 法による転位の同定、及び Sapphire 基板や GaN 基板上に成長させた GaN 結晶との比較から問題となる結晶欠陥の発生個所の同定を、また局所領域におけるキャリアの捕獲・放出現象のメカニズム解析として、私が従来研究してきた独立電圧印可型 Field Plate、bias-Controllable Field Plate (CFP) 電極による解析手法の確立を行ったので、それについて述べる。

第3章では、低コスト性を活かした縦型デバイスの実現のために、導電性バッファ層を用いた Si 基板上縦型構造デバイスの作製に向けての取り組み、及び作製した縦型 GaN 系デバイスの特性評価結果について述べる。

第4章では、本論文の総括を述べる。

参考文献

- [1] H. Okumura, "Present Status and Future Prospect of Widegap Semiconductor High-Power Devices," *Jpn. J. Appl. Phys.*, vol. 45, no. 10A, pp. 7565–7586, Oct. 2006.
- [2] U. K. Mishra, L. Shen, T. E. Kazior, and Y. F. Wu, "GaN-based RF power devices and amplifiers," *Proc. IEEE*, vol. 96, no. 2, pp. 287–305, 2008.
- [3] S. Fujita, "Wide-bandgap semiconductor materials: For their full bloom," *Japanese Journal of Applied Physics*, vol. 54, no. 3, pp. 030101–1–030101–12, 2015.
- [4] 大橋 弘道、葛原 正明 編著 「半導体デバイスシリーズ④ パワーデバイス」 丸善出版株式会社, (2011)
- [5] 長谷川 文夫、吉川 明彦 編著 「ワイドバンドギャップ半導体 光・電子デバイス」 森北出版株式会社, (2006)
- [6] 特許庁：平成 26 年度 特許出願技術動向調査報告書 パワー半導体デバイス
- [7] M. A. Khan, A. Bhattarai, J. N. Kuznia, and D. T. Olson, "High electron mobility transistor based on a GaN- Al_xGa_{1-x}N heterojunction," *Appl. Phys. Lett.*, vol. 63, no. 9, pp. 1214–1215, 1993.
- [8] D. S. Lee, X. Gao, S. Guo, D. Kopp, P. Fay, and T. Palacios, "300-GHz InAlN/GaN HEMTs With InGa_N Back Barrier," *IEEE Elec. Dev. Lett.*, vol. 32, no. 11, pp. 1525–1527, 2011.
- [9] Y. Mori, M. Imade, K. Murakami, H. Takazawa, H. Imabayashi, Y. Todoroki, K. Kitamoto, M. Maruyama, M. Yoshimura, Y. Kitaoka, T. Sasaki, "Growth of bulk GaN crystal by Na flux method under various conditions," *Journal of Crystal Growth*, vol. 350, issue. 1, pp. 72–74, 2012.
- [10] M. Amilusik, T. Sochacki, B. Lucznik, M. Fjalkowski, J. Smalc-Koziorowska, J. L. Weyher, H. Teisseyre, B. Sadovyi, M. Bockowski, and I. Grzegory, "Homoepitaxial HVPE-GaN growth on non-polar and semi-polar seeds," *Journal of Crystal Growth*, vol. 403 issue 1, pp. 48–54, 2014.

- [11] Y. Zhang, M. Sun, D. Piedra, M. Azize, X. Zhang, T. Fujishima, and T. Placios, "GaN-on-Si Vertical Schottky and p-n Diodes," *IEEE Elec. Dev. Lett.*, vol. 35, no. 6, pp. 618-620, 2014.
- [12] A. Nishikawa, K. Kumakura, T. Akasaka, and T. Makimoto, "High critical electric field of $\text{Al}_x\text{Ga}_{1-x}\text{N}$ p-i-n vertical conducting diodes on SiC substrates," *Appl. Phys. Lett.*, vol. 88, issue 17, pp. 173508-1-173508-3, 2006
- [13] W. Saito, Y. Kakiuchi, T. Nitta, Y. Saito, T. Noda, H. Fujimoto, A. Yoshioka, T. Ohno, and M. Yamaguchi, "Field-Plate Structure Dependence of Current Collapse Phenomena in High-Voltage GaN-HEMTs," *IEEE Elec. Dev. Lett.*, vol. 31, no. 7, pp. 659-661, 2010.
- [14] W. Chikhaoui, J. -M. Bluet, M. -A. Poisson, N. Sarazin, C. Dua, and C. Bru-Chevallier, "Current deep level transient spectroscopy analysis of AlInN/GaN high electron mobility transistors : Mechanism of gate leakage," *Appl. Phys. Lett.*, vol. 96, issue. 7, pp. 072107-1-07207-3, 2010.

第2章 GaN系デバイスの欠陥解析

2.1 はじめに

GaN系デバイスにおいて問題となる電流コラプスやリーク電流の原因は結晶成長中、もしくはデバイス作製プロセスでのダメージ等によって生じる結晶欠陥であり、そこを通してキャリアの捕獲・放出やリーク電流のパスが形成されていると考えられている[1]。これらの現象に対しては、原因となる絶縁膜の界面の改善やField Plate構造の導入等、結晶成長、デバイス作製プロセスによる直接的な改善を行うものと、ターマン法、コンダクタンス法、Deep Level Transient Spectroscopy (DLTS)法のようなデバイスの容量解析を行い [2-4]、結晶欠陥準位の同定を行いその発生要因を解明する2通りの方法が存在する。

前者について、特にField Plate構造に関しては電流コラプスの問題となるドレイン側ゲート電極端での電解集中を抑える働きがあるとされており、改善効果のメカニズムを解明するためにはField Plate電極下の領域について詳細な解析が必要となる。しかしながら通常Field Plate電極はゲート電極やソース電極と同電位にあり、Field Plate電極のみの働きを捉えることは難しい。Field Plate電極の有無により特性を比較することである程度の検討は可能であるが、両デバイス間でのField Plate電極以外の不均一性がある場合、Field Plate単体のみの効果を確認することは困難になってくる。

また、容量解析において、DLTSのようなバルク中の欠陥、転位を判別するような場合、リーク電流が少なく、ある程度結晶欠陥が少ないデバイスにおいての評価が必要であり、Si基板上に成長させたGaN系デバイスのように、 10^9 cm^{-2} 以上の転位を有するGaN結晶の解析は困難である。過去の報告例においてはSapphire基板上やGaN基板上のGaN結晶における報告例が多く[5,6]、Si基板上GaN系デバイスにおける結晶欠陥の評価報告例は少ない。

今回、私は局所領域におけるキャリア捕獲・放出メカニズムの解析を行う方法を編み出すことを目的として bias-Controllable Field Plate (CFP)電極を用いた新規の解析手法を考案した。また、GaN-on-Si デバイスにおける結晶欠陥に関する知見を得ることを目的として、Sapphire 基板や GaN ホモ基板を比較として用い、DLTS 法による結晶欠陥解析を行った。

本論文では、2.2 節において CFP 電極を有する AlGaN/GaN HEMT でのキャリア捕獲・放出解析を、2.3 節において GaN 系 Schottky ダイオードの DLTS 法による欠陥解析の結果を述べる。

2.2 CFP 電極を用いた AlGaN/GaN HEMT の

キャリア捕獲・放出解析

2.2.1 CFP 電極を有する AlGaN/GaN HEMT

AlGaN/GaN High-Electron-Mobility-Transistor (HEMT)はその 2DEG から得られる高電子濃度、高移動度によるパワースイッチングデバイスとして幅広く研究が進められているが、横型デバイスである AlGaN/GaN HEMT は表面準位やバルク中の欠陥でのキャリアの捕獲・放出の影響を強く受け、パルス動作中にオン抵抗が増大する電流コラプス現象を引き起こすことが問題となっている。

この電流コラプスはドレイン側ゲート電極端における電界集中箇所においてキャリアである電子が励起され、表面やバルク中における欠陥に捕獲されることが起源と考えられており、表面をパッシベーション膜で覆うことや、電界集中を抑える Field Plate 構造が取り入られている [7, 8]。

Field Plate 電極構造について、通常用いられているものはゲート電極、またはソース電極からドレイン側へと電極を伸ばした形をとっており、つまり他電極と同電位の電極である。この場合、Field Plate 電極単独で電極下の領域に与える効果を評価することは難しいため、多数パターンの比較により効果を推測する必要があるが、この場合 Field Plate 電極以外の絶縁膜や結晶内部の欠陥の不均一性を無視することは難しい。そこで私は、電氣的・構造的に独立した Field Plate 電極、bias-Controllable Field Plate (CFP)電極構造を取り入れ、CFP 電極に印加する電圧を積極的に変化させることで同一パターンでの詳細な解析を可能にする手法を考案した [9]。Fig. 2-1 に CFP-HEMT の構造図を示す。

CFP 電極は絶縁膜である SiO₂ を挟んで電氣的に独立しており、ゲート・ドレインによるパルス動作中に CFP への印加電圧 V_C を積極的に変化させることで過渡ドレイン電流に変化を与えることが可能である。実際に過渡ドレイン電流を評価した結果について、Fig. 2-2 に示す。

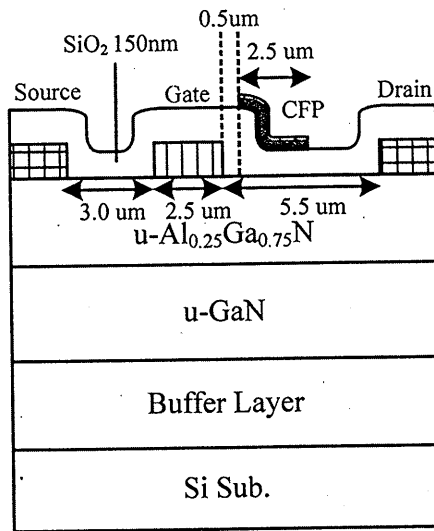


Fig.2-1 AlGaN/GaN CFP-HEMT の断面構造図

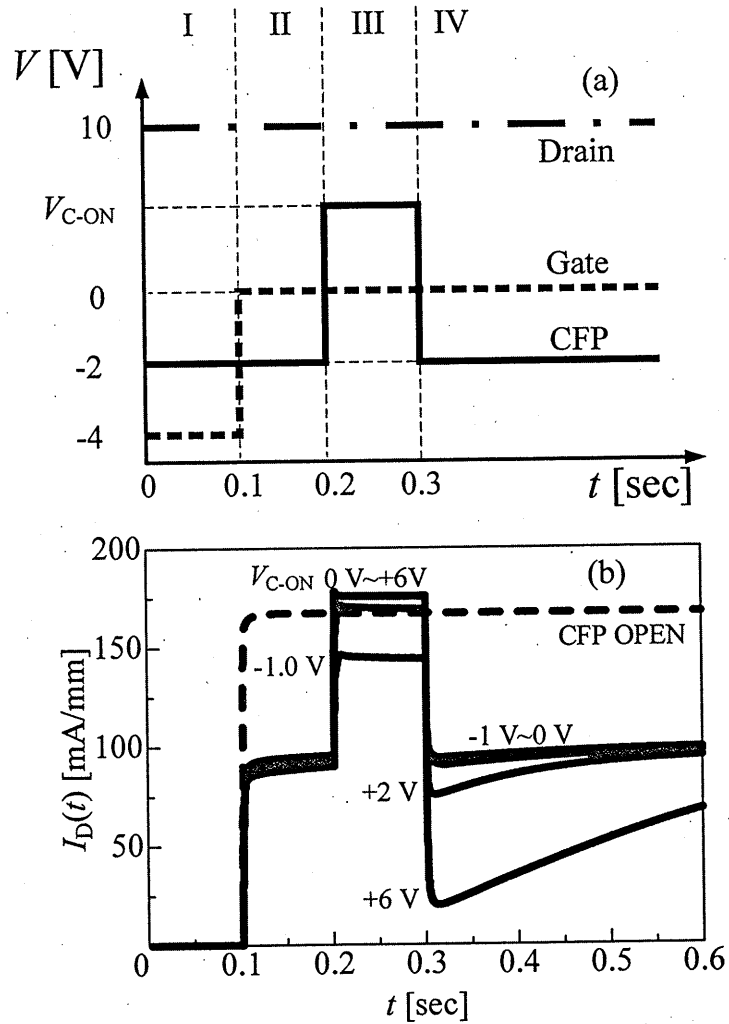


Fig. 2-2. CFP 電極による過渡電流解析 (a)解析におけるパルスシーケンス (b)過渡ドレイン電流の CFP 電圧依存性

ドレイン電圧を+10 Vに固定し、測定開始後 0.1 sec においてゲートを-4 V から 0 V へと変化させ、デバイスをオン状態にした。その後、0.2 sec から 0.3 sec において CFP への印加電圧を-2 V から オン電圧 V_{C-ON} へとパルス動作させたところ、0.3 sec において CFP 電極を再びオフにした際、 $V_{C-ON} > 0$ V の場合において電流値が急激に減少し、その後指数関数的に回復する傾向が確認できている。これは Fig. 2-3 に示すような CFP 電極下のキャリア捕獲・放出で説明することが可能であり、CFP 電極に短いパルス電圧を印加することで Field Plate 電極下のみの局所領域における欠陥の解析が可能であることを示唆している。

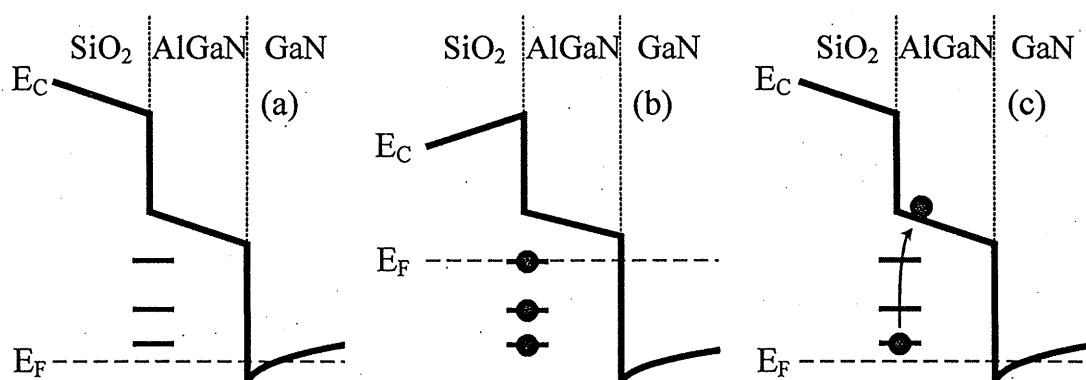


Fig. 2-3. CFP を変化させた際のキャリア捕獲・放出メカニズム

(a) CFP オフ時 (b) CFP オン時 (c) CFP オン→オフ時

キャリアの放出過程が数十 mA/mm レベルでの指数関数的なドレイン電流の変化として確認することができたため、これの温度特性を解析することで欠陥解析が可能であると考えたが、高温によるデバイス特性の劣化が大きく、SiO₂ を用いた CFP-HEMT では欠陥の解析が困難であった。そこで絶縁膜を変更し、欠陥解析を行うためのデバイスを作製した。

2.2.2 SiN_x 絶縁膜

従来、 SiO_2 のような酸化膜の他に、窒化膜である SiN_x 膜が AlGaIn/GaN HEMT の表面パッシベーション膜として注目されている[10]。 SiN_x 膜はバンドギャップが 5.3 eV 程度と小さいため、リーク電流低減のためのゲート絶縁膜としての利用は難しいが、表面における N 原子空孔由来の欠陥を不活性化し、AlGaIn や GaN との間に良好な界面特性を得ることができる。このため、 SiN_x 膜は表面パッシベーション膜として用いる場合、他の酸化膜と比較して有望である。

そこで私は、次に SiN_x 膜を絶縁膜として CFP-HEMT に用い、AlGaIn/GaN HEMT における CFP 電極による欠陥解析が可能であるか確認し、またどの程度の欠陥解析が可能であるか評価を行った [11]。

2.2.3 SiN_x 膜を用いた AlGaIn/GaN CFP-HEMT の作製

以下に SiN_x 膜を用いた AlGaIn/GaN CFP-HEMT の作製プロセスを示す。また、プロセスフローを Fig.2-4 に示す。

① 劈開

MOCVD 法により成長させたサンプルをマスクパターンに合わせ、10 mm × 15 mm の長方形型に劈開する

② 素子間分離、表面処理

活性領域の分離を行うため、マスクをフォトリソグラフィーにより施し、反応性イオンエッチング(Reactive Ion Etching : RIE)装置を用いて素子間分離を行う。エッチング条件は以下の通りである。

チャンバー内圧力 3.0 Pa、 BCl_3 雰囲気中(流量:10.0 sccm)、室温にて、出力 10 W の下 30 min 行う。エッチング後はレジストが硬化するため、有機洗浄後、 O_2 プラズマアッシング装置によりサンプルの表面処理を行う。チャンバー内圧力 40 Pa、 O_2 雰囲気中(流量:5.0 sccm)、室温にて、出力 30 W の下、60 min 行う。

③ オーミック電極の形成

オーミック電極であるソース・ドレイン電極用のマスクをフォトリソグラフィーにより施し、電極部分の AlGa_N 表面にある酸化物を HCl により除去する。そして真空蒸着法により、オーミック電極として Ti/Al/Ni/Au=15/80/12/40 nm を AlGa_N 表面に蒸着し、その後 RTA (Rapid Thermal Annealing) 装置を用いて窒素雰囲気中にて 850 °C で 30 sec アニールを行い、金属を合金化しオーミック電極を形成する。

④ ショットキー電極の形成

ショットキー電極であるゲート電極用のマスクをフォトリソグラフィーにより施し、その後オーミック電極の時と同じく電極部分の AlGa_N 表面にある酸化物を除去する。そして真空蒸着法により、ショットキー電極として Pd/Ti/Au=40/20/60 nm を AlGa_N 表面に蒸着する。

⑤ 絶縁膜堆積

表面の酸化物を除去し、スパッタリング装置を用い、N₂、Ar 雰囲気中にて室温で 140 nm の SiN_x を堆積させた。

⑥ FP 電極の形成

FP 電極用のマスクをフォトリソグラフィーにより施し、その後真空蒸着法により、FP 電極として Ti/Au = 30/60 nm を酸化膜上に蒸着させた。

⑦ 電極パッドの形成

電極パッド用のマスクをフォトリソグラフィーにより施す。その後電極パッド部の酸化膜をバッファードフッ酸(Buffered HF : BHF)(HF : FNH₄ : CH₃COOH = 1 : 20 : 7)により除去する。そして真空蒸着法により、電極パッドとして Ti/Au = 10/150 nm を蒸着する。

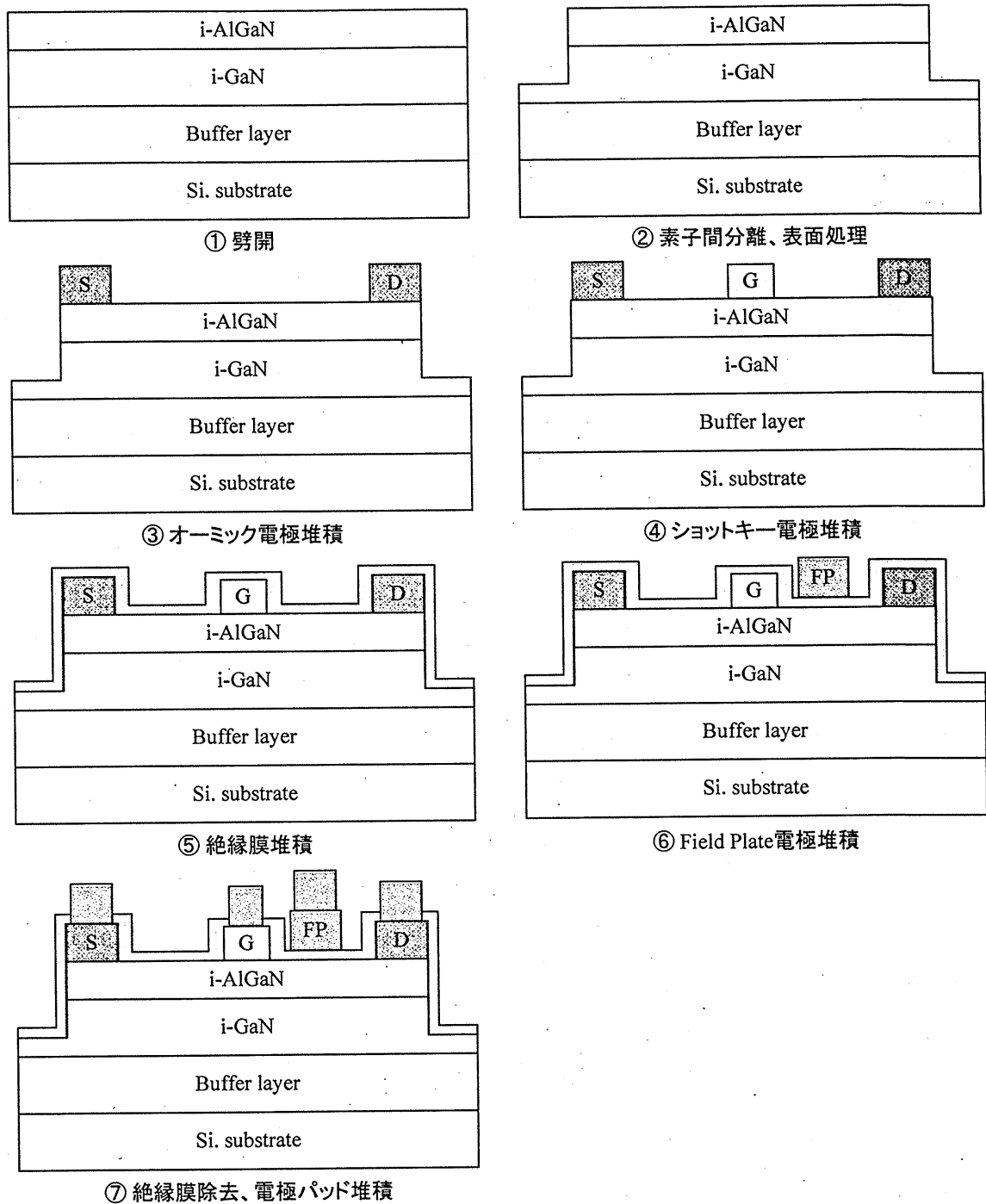


Fig. 2-4 CFP-HEMT の作製プロセスフロー

Fig. 2-5 に作製した CFP-HEMT の断面構造図及びレーザー顕微鏡による表面写真を示す。

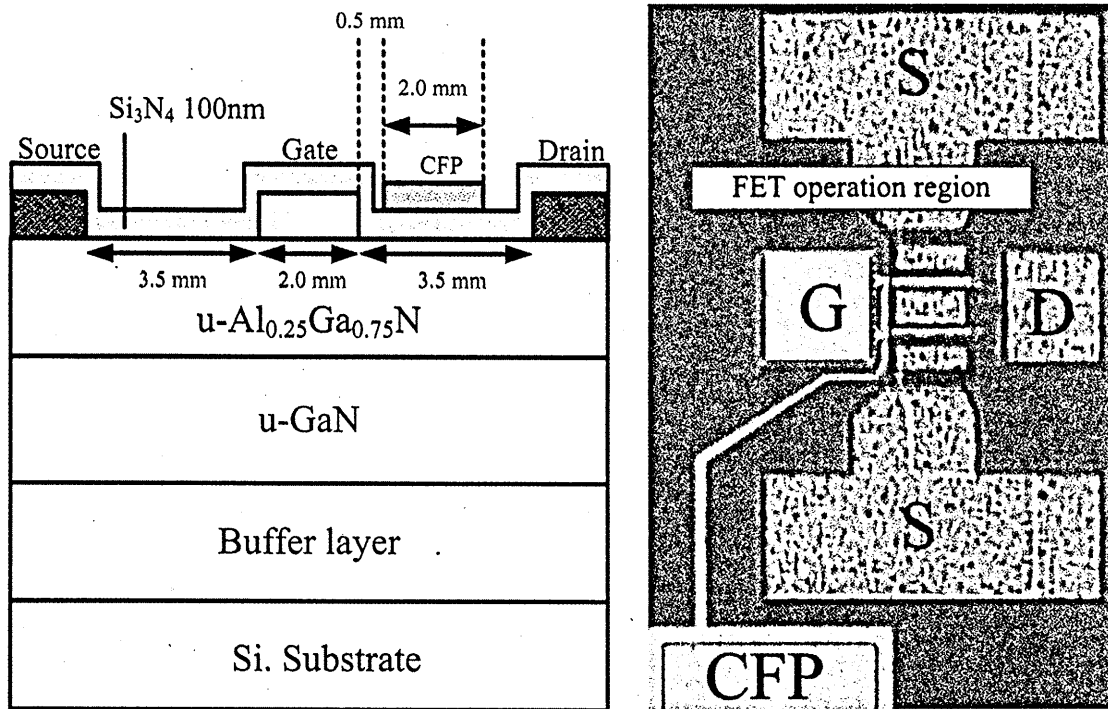


Fig.2-5. (a)CFP-HEMT の断面構造図 及び(b)表面写真

CFP-HEMT の解析において、ソースゲート間距離、ゲート電極長さ、ゲート・ドレイン間距離、CFP 電極長さがそれぞれ $3.5 \mu\text{m}$ 、 $2.0 \mu\text{m}$ 、 $3.5 \mu\text{m}$ 、 $2.0 \mu\text{m}$ のものを評価に用いた。

2.2.4 SiN_x 膜を用いた AlGaIn/GaN CFP-HEMT の I-V 特性

作製した CFP-HEMT の静特性及びパルス I-V 特性を Fig. 2-6 に示す。Fig.2-6 (a) に示す静特性の評価において、CFP 電極に印加する電圧 V_C は 0 V (赤点線) もしくは 10 V (黒実線) に固定し、 I_D - V_{DS} 特性の評価を行った。この評価において、CFP 電極に印加する電圧を変化させても静特性に変化は見られなかった。デバイスは $V_G = 1 \text{ V}$ において最大ドレイン電流値 220 mA/mm 、閾値電圧 -1.3 V 、オン抵抗 $10.4 \text{ m}\Omega \cdot \text{mm}$ を示した。Fig. 2-6(b) に示すパルス I-V 特性の評価において、CFP 電極のパルス動作タイミングは通常の FP 電極と同様にゲートと同期させ、測定を行っている。ゲート、ドレイン、CFP のパルス動作において、パルス

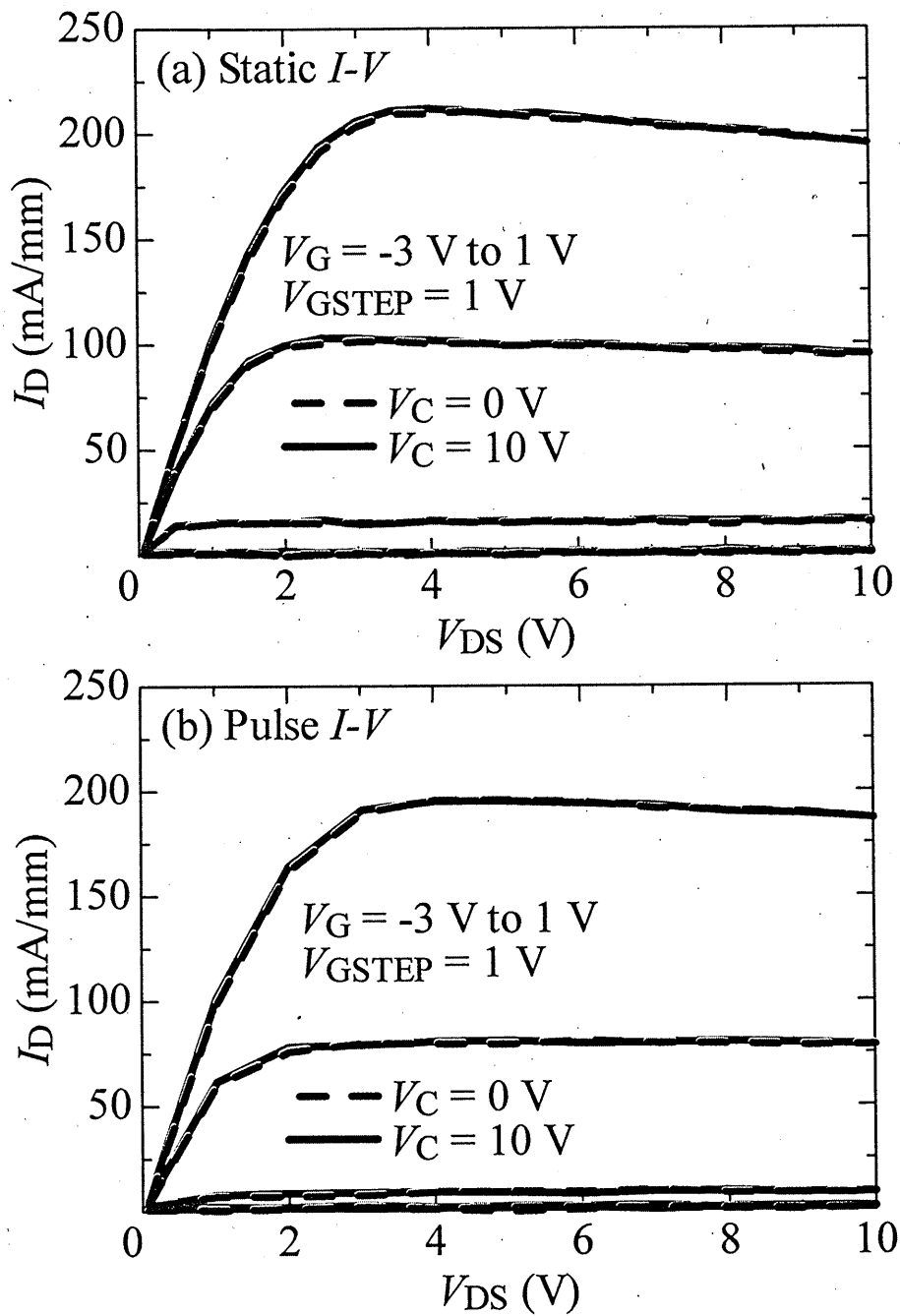


Fig.2-6. CFP-HEMT の(a)静特性 及び(b)パルス I-V 特性

周期 1 ms、パルスのオン割合(duty) 10 %にて繰り返しのパルスを加し、ゲート、ドレイン、CFP のパルス電圧はそれぞれ-4 V、20 V、0V から各測定点及び CFP のオン電圧の 0 V または 10 V へと変化させた。Fig. 2-6 (b) に示すように、最大電流値は 200 mA/mm となり、約 10 %程度の電流値の減少が確認された。こ

これはパルス動作中に発生するキャリアトラップにより電流コラプス現象が生じたものと考えられ、作製した CFP-HEMT において特性を劣化させる欠陥が確かに存在していることを示している。

2.2.5 AlGaIn/GaN CFP-HEMT の過渡特性解析

I-V 特性を確認した CFP-HEMT について、SiO₂ を堆積した CFP-HEMT の過渡ドレイン電流の解析手法を参考に、作製した CFP-HEMT の過渡ドレイン電流特性の解析を行った。

測定の際、3 端子用のパルス I-V 測定装置とパルスジェネレータを同期させ、CFP 電極へパルスジェネレータによりごくわずかな時間だけ電圧を印加し、過渡ドレイン電流に変化を与えた。Fig. 2-7 に評価用パルスシーケンス、及び線形領域、飽和領域における過渡ドレイン電流のパルス波形を示す。

ゲート・ドレインには 2.2.3 節において実行したパルス I-V 測定と同様、パルス周期 1 ms、duty 10 % のパルス電圧を印加し、FET のパルス動作を行った。この際、ゲート電極の影響を限りなく小さくするため、ゲートのオフ電圧を -4 V から 0 V へと変更した。CFP 電極はゲートと同期させず、ゲートとドレインをオンにした時刻 5 μ s の 10 μ s 後に 10 μ s 間だけオフ電圧 0 V からオン電圧 10V へと変化させ、過渡ドレイン電流に変化を与えた。

Fig. 2-7(b) では線形領域 (V_G, V_D) = (1 V, 2 V) 及び飽和領域 (V_G, V_D) = (1 V, 10 V) における過渡ドレイン電流波形を示している。解析のため、CFP オフ時の 5 μ s ~ 15 μ s を領域 I、CFP オン時の 15 μ s ~ 25 μ s を領域 II、CFP を再びオフにしてから FET をオフにするまでの 25 μ s ~ 100 μ s を領域 III とした。

飽和領域(黒線)においては、領域 II において CFP 電極をオンにした際の過渡ドレイン電流の変化が見えず、また領域 III において急激な電流値の減少と回復の傾向が確認できた。この数 μ s 程度の変化はパルス動作では確認することが難しいが、この原因は CFP 電極に印加するパルス電圧によって生じる空乏層の変

化が飽和領域におけるゲート・ドレイン間の空乏層の伸びよりも小さい時間が長く、そのため CFP 電極の影響を過渡ドレイン電流の変化としてとらえることができなかつたと考えられる。

一方、線形領域(赤線)においては、領域 II、領域 III ともに過渡ドレイン電流の大きな変化が見えた。これは線形領域ではまだゲート電極下の空乏層が伸び切っておらず、CFP 電極下のキャリアの捕獲・放出による影響が明確に見えたものであると考えられる。今回、 SiN_x を絶縁膜として用いた AlGaIn/GaN HEMT において、 SiO_2 を絶縁膜として用いた AlGaIn/GaN HEMT と同様のキャリア捕獲・放出現象が確認できた。

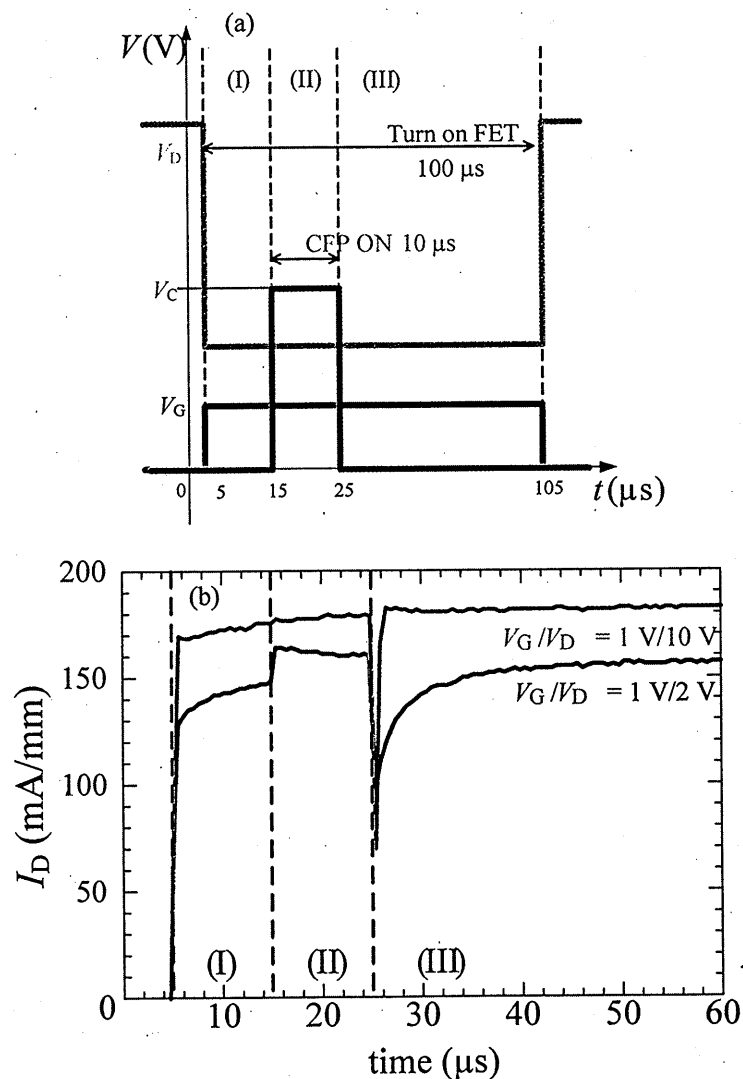


Fig.2-7. (a)過渡電流特性解析のためのパルスシーケンス及び(b)線形、飽和領域における過渡ドレイン電流特性

2.2.6 AlGaIn/GaN CFP-HEMT のキャリア捕獲・放出解析

2.2.4 節で得られた線形領域におけるキャリアの捕獲・放出過程の変化から発生するキャリアトラップの準位を同定するため、温度特性を評価した。今回、ステージに取り付けたヒーターにより室温である 25 °C から 100 °C まで変化させた。単一準位からのキャリア放出と仮定すると、領域 III におけるキャリアの放出過程は以下の式(2)で示される。

$$I_D(t) = I_{Dsat} - \Delta I_D e^{-\frac{t}{\tau}} \quad (2)$$

この式において、 I_{Dsat} は完全に回復した際のドレイン電流値、 ΔI_D は領域 III における電流値の減少量、 τ はキャリア放出過程の時定数を示す。これを元に、各温度におけるキャリア放出過程のフィッティングを行った。Fig. 2-8 (a) に実験値および計算値によるフィッティングの結果を示す。計算値は実験値とよく一致しており、今回の実験においては単一準位におけるキャリアの捕獲・放出現象として解析を行うことができる。時定数は 25 °C における 3.0 μ s から 100 °C における 0.9 μ s へと減少する傾向にあった。Fig. 2-8(b) に Shockley-Read-Hall (SRH) の放出モデルに基づいて作成したアレニウスプロットを示す。この傾きから活性化エネルギー 0.083 eV が、y 切片から捕獲断面積 2.0×10^{-24} cm² が得られた。

通常、点欠陥や転位のような欠陥における捕獲・放出では 10^{-15} cm² 程度の捕獲断面積が得られるが、これと比較するとかなり小さな断面積が得られている。G. Meneghesso らの報告によれば、two-dimensional variable range hopping (2D-VRH) モデルに基づいたキャリアの輸送過程を経る場合、 4.9×10^{-19} cm² 程度の小さな捕獲断面積が得られている [12]。このモデルの場合、放出過程の時定数 τ は温度 T の 1/3 乗と指数関数的な関係にある。Fig. 2-8 (c) に示すように、SiN_x を用いた CFP-HEMT の放出過程の時定数は同様 $T^{1/3}$ と指数関数的な依存性があり、CFP-HEMT においても同様の放出プロセスが発生しているものと考え

られる。つまり、CFP 電極下において領域(II)の時間帯で捕獲されたキャリアは、領域(III)において SRH モデルに乗っ取ってトラップ準位から放出され、 SiN_x 膜中、もしくは $\text{SiN}_x/\text{AlGaN}$ 界面の準位をホッピング伝導し、 AlGaN やゲート部へと輸送されていったと考えられる。

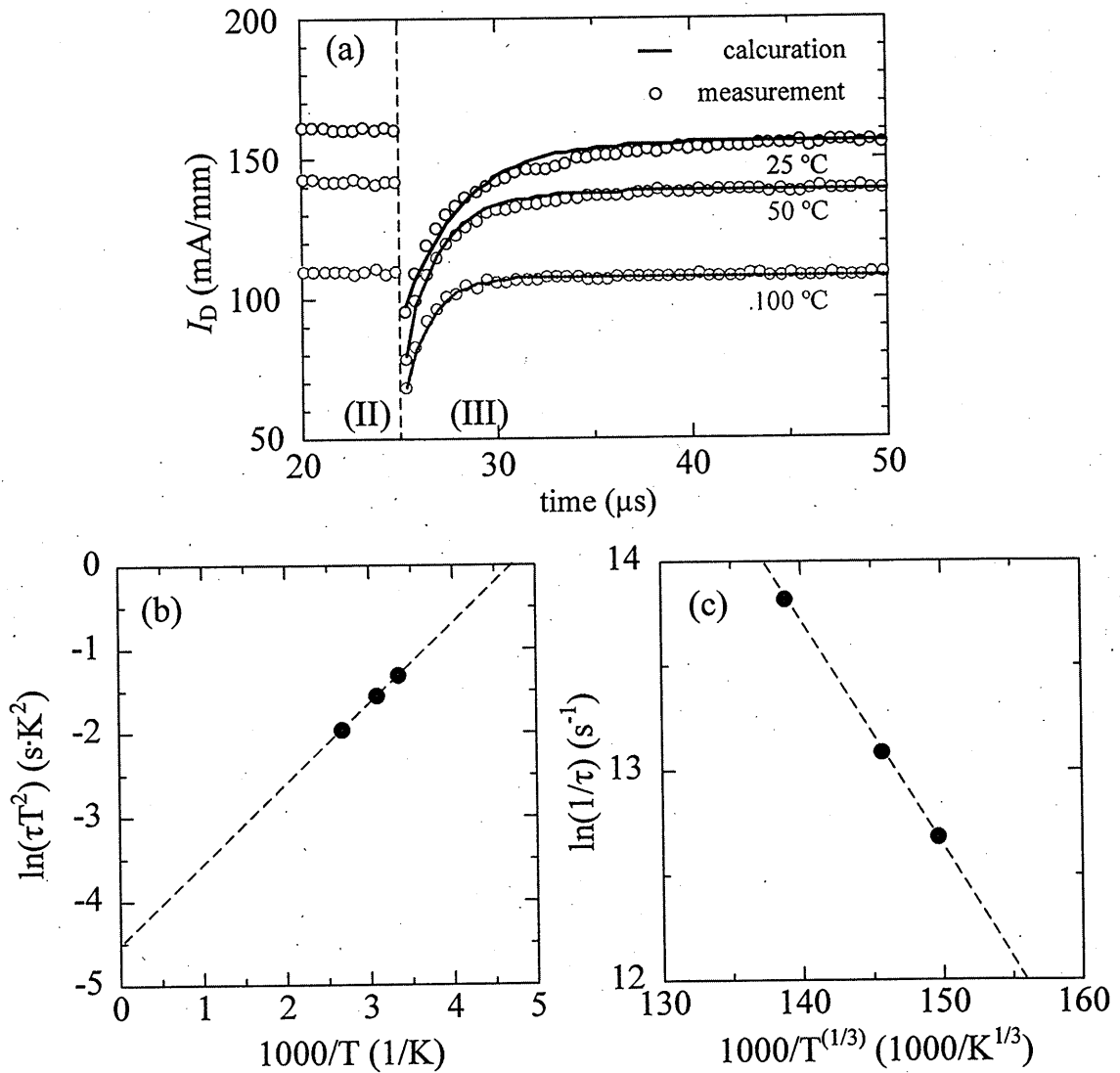


Fig. 2-8. (a) キャリア放出領域におけるフィッティング (b) 放出過程のアレニウスプロット (c) 時定数の逆数と $T^{1/3}$ の関係性

また、Z. X. -Feng らの報告によれば、 SiN_x 膜をパッシベーション膜として用いた HEMT のリーク電流の活性化エネルギーが 0.083 eV となっている [13]。つまり、この実験で得られた 0.083 eV の欠陥準位は、リーク電流源として働くだ

けでなく、同時にキャリアの捕獲・放出準位として働くのだということを示唆している。

2.2.7 まとめ

SiN_x を絶縁膜として用いた CFP-HEMT において、FET の動作中にごく短時間でのパルス電圧印加することによりキャリアの捕獲・放出過程を数十 mA/mm 程度の大きな変化としてとらえることができた。温度特性から得られた活性化エネルギー 0.083 eV はリーク電流の起源となる欠陥準位と同一のものであった。またキャリアの放出過程は 2D-VRH モデルに乗っ取っており、小さな捕獲断面積から生じる長い放出時間を示した。更に、通常の FP-HEMT の場合、FP 電極はゲート電極と同相で動作するため、キャリア捕獲によるオフ時の電流値の急激な減少は、スイッチングにおける立下り時間の減少として優位に働くことが分かる。つまり、FP 電極は電界集中緩和という効果だけでなく、FP 電極下で発生するキャリアの捕獲・放出によりスイッチング特性を改善させているということが示された。

2.3 GaN 系デバイスの DLTS による欠陥解析

2.3.1 Si 基板上 GaN ショットキーダイオードの DLTS 解析

今回、私は Si 基板上 GaN 系デバイスにおける欠陥の知見を得るため、Si 基板上に作製した n-GaN ショットキーダイオードにおいて DLTS 測定を行い、各条件においてどのように欠陥の状態が変化するか評価を行った。

評価において、デバイスの V/III 比を変化させた。V/III 比は GaN のような III-V 族の化合物半導体を結晶成長させる際の V 族原子、ここでは窒素原子の元となるアンモニア (NH_3) と III 族原子、ここではガリウム原子の元となるトリメチルガリウム (TMG) の流量比、もしくは分圧比である。 NH_3 は TMG と比較して分解しにくく、また TMG に含まれるカーボン (C) 原子は窒素空孔に取り込まれ C_N という欠陥準位を形成することが報告されているため [14]、高 V/III 比にすることで高品質な GaN 結晶を得られるということが知られている。そこで今回、私は Si 基板上に成長させた GaN の V/III 比を 500 から 4000 まで変化させたサンプルを作製し、I-V 特性の比較及び DLTS による欠陥解析を行った。比較として、Sapphire 基板上における GaN についてもショットキーダイオードを作製し、I-V 特性と DLTS 測定による欠陥解析を行った。

デバイスの作製プロセスは以下の通りである。また、作製した GaN on Si 及び GaN on Sapphire ショットキーダイオードの断面構造図を Fig. 2-9 に示す。

① 劈開

MOCVD 法により成長させたサンプルをマスクパターンに合わせ、10 mm × 10 mm の正方形型に劈開する

② 素子間分離、表面処理

活性領域の分離を行うため、マスクをフォトリソグラフィーにより施し、反応性イオンエッチング (Reactive Ion Etching : RIE) 装置を用いて素子間分離を行う。エッチング条件は以下の通りである。

チャンバー内圧力 3.0 Pa、 BCl_3 雰囲気中(流量:10.0 sccm)、室温にて、出力 10 W の下 30 min 行う。エッチング後はレジストが硬化するため、有機洗浄後、 O_2 プラズマアッシング装置によりサンプルの表面処理を行う。チャンバー内圧力 40 Pa、 O_2 雰囲気中(流量:5.0 sccm)、室温にて、出力 30 W の下、60 min 行う。

③ 表面オーミック電極の形成

オーミック電極であるソース・ドレイン電極用のマスクをフォトリソグラフィにより施し、電極部分の GaN 表面にある酸化物を HCl により除去する。そして真空蒸着法により、オーミック電極として Ti/Al/Ni/Au=15/80/12/40 nm を AlGaIn 表面に蒸着し、その後 RTA(Rapid Thermal Annealing)装置を用いて窒素雰囲気中にて 850 °C で 30 sec アニールを行い、金属を合金化しオーミック電極を形成する。

④ 裏面オーミック電極の形成(Si 基板のみ)

縦方向での DLTS 特性評価を行うために、真空蒸着法により Si 基板にオーミック電極として AuSb/Au = 20/100 nm を堆積させた。その後 RTA 装置を用いて窒素雰囲気中にて 400 °C で 1 min アニールを行い、金属を合金化し裏面オーミック電極を形成する。

⑤ 絶縁膜堆積

表面の酸化物を除去し、真空蒸着装置を用い、 O_2 雰囲気中にて 6.0×10^{-3} Pa、150 °C で 100 nm の SiO_2 を堆積させた。

⑥ ショットキー電極の形成

ショットキー電極であるゲート電極用のマスクをフォトリソグラフィにより施し、電極部の酸化膜をバッファードフッ酸(Buffered HF : BHF)(HF : FNH_4 : $\text{CH}_3\text{COOH} = 1 : 20 : 7$)により除去する。その後オーミック電極の時と同じく電極部分の GaN 表面にある酸化物を除去する。そして再びフォトリソグラフィにより 5 μm 大きい電極パターンのマスクを施し、真空蒸着法により、ショットキー電極として Ni/Au=30/100 nm を GaN 表面に蒸着する。

⑦ 電極パッドの形成

電極パッド用のマスクをフォトリソグラフィにより施す。その後電極パッド部の酸化膜をバッファードフッ酸(Buffered HF : BHF)(HF : FNH₄ : CH₃COOH = 1 : 20 : 7)により除去する。そして真空蒸着法により、電極パッドとして Ti/Au = 10/150 nm を蒸着する。

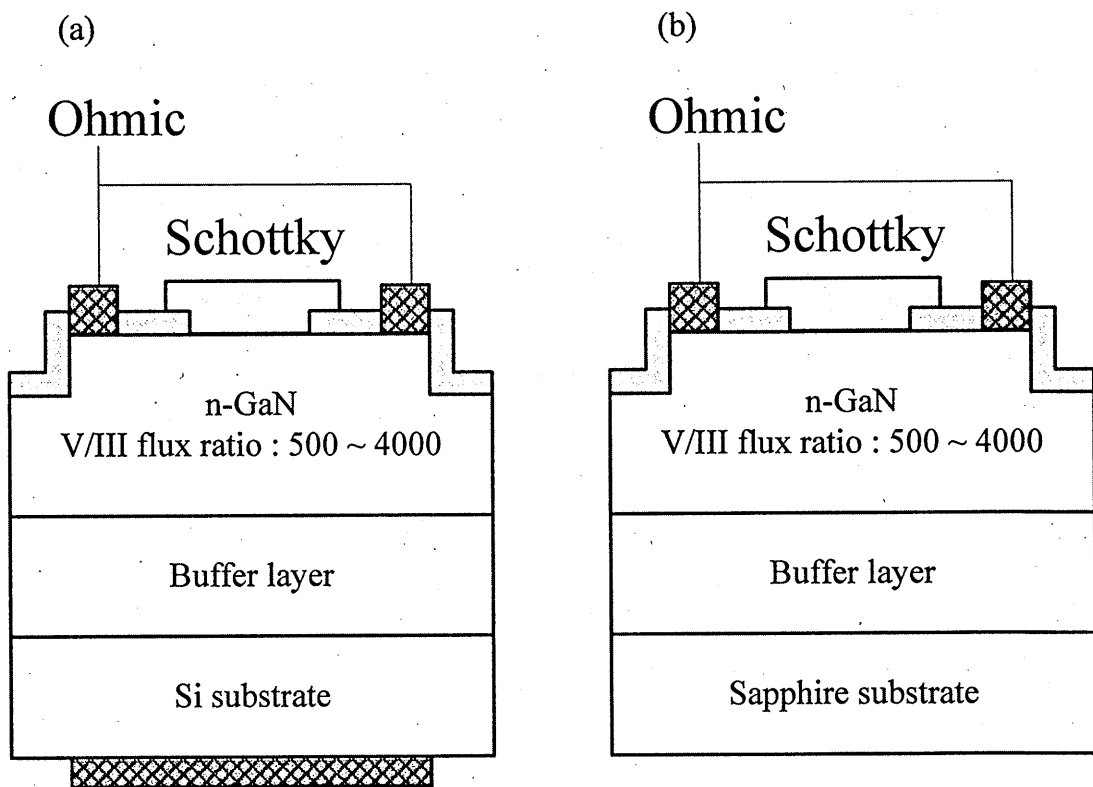


Fig.2-9. 作製した(a)Si 基板上 GaN ショットキーダイオード
及び(b)Sapphire 基板上 GaN ショットキーダイオード

作製したショットキーダイオードの表面における I-V 特性を Fig. 3-10 に示す。バルク中の欠陥は逆方向リーク電流特性として表れると考えられるが、V/III 比による依存性は見られなかった。

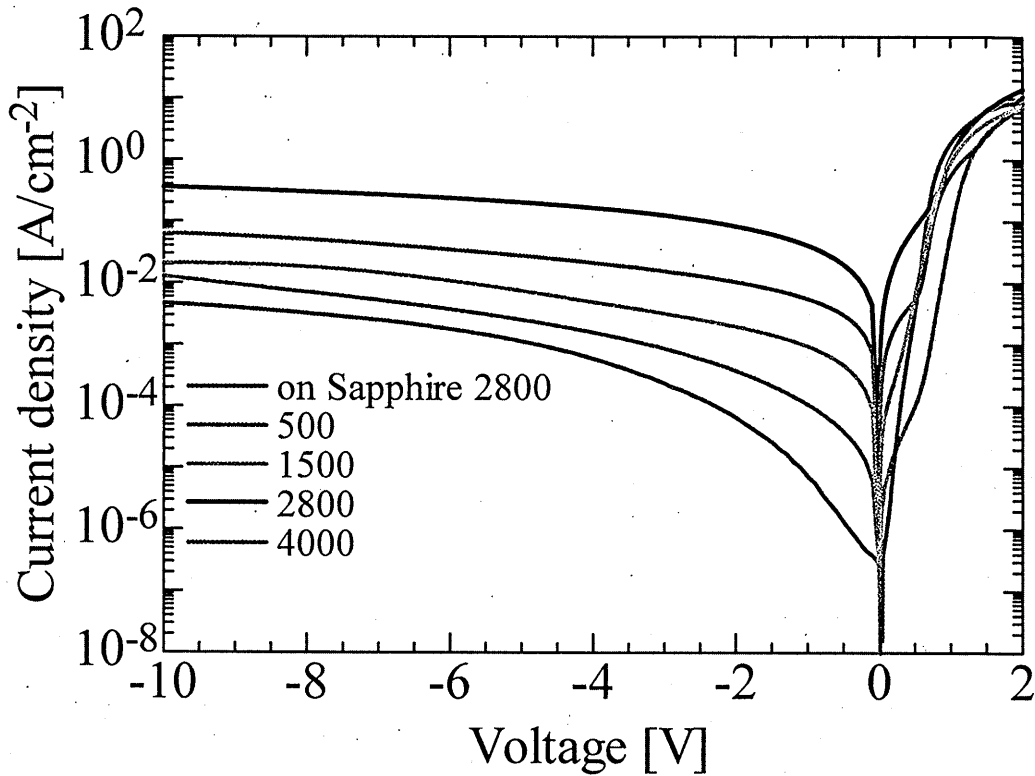


Fig.2-10. Si 基板上及び Sapphire 基板上の GaN ショットキーダイオードの I-V 特性

作製した Si 基板上 GaN ショットキーダイオードの DLTS 測定結果を Fig. 2-11 に示す。I-V 特性と異なり、520 K 付近に存在するトラップ準位に明確な V/III 比依存性が見られた。また欠陥準位として Si 基板上の GaN ショットキーダイオードでは P1 から P4、及び P4' の 5 種類の欠陥が、Sapphire 基板上では E1 から E4 までの 4 種類の欠陥が得られた。Si 基板上で得られたトラップ解析のため、得られた DLTS スペクトルからアレニウスプロットを行い、欠陥の活性化エネルギーを求めた。アレニウスプロットを Fig. 2-12 に示す。

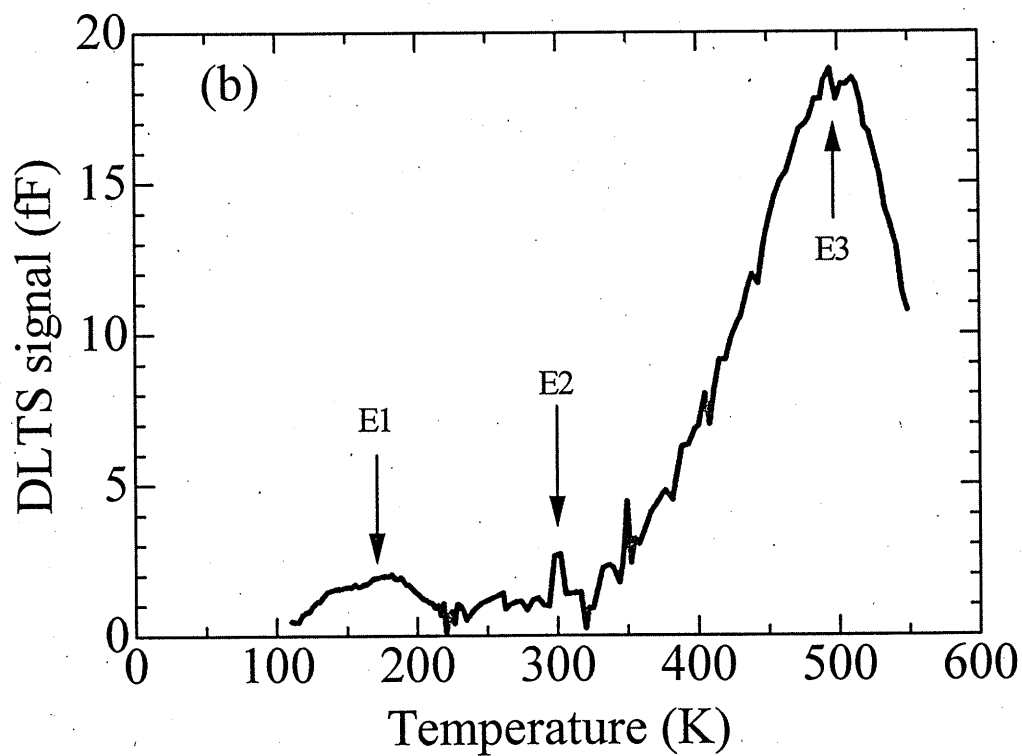
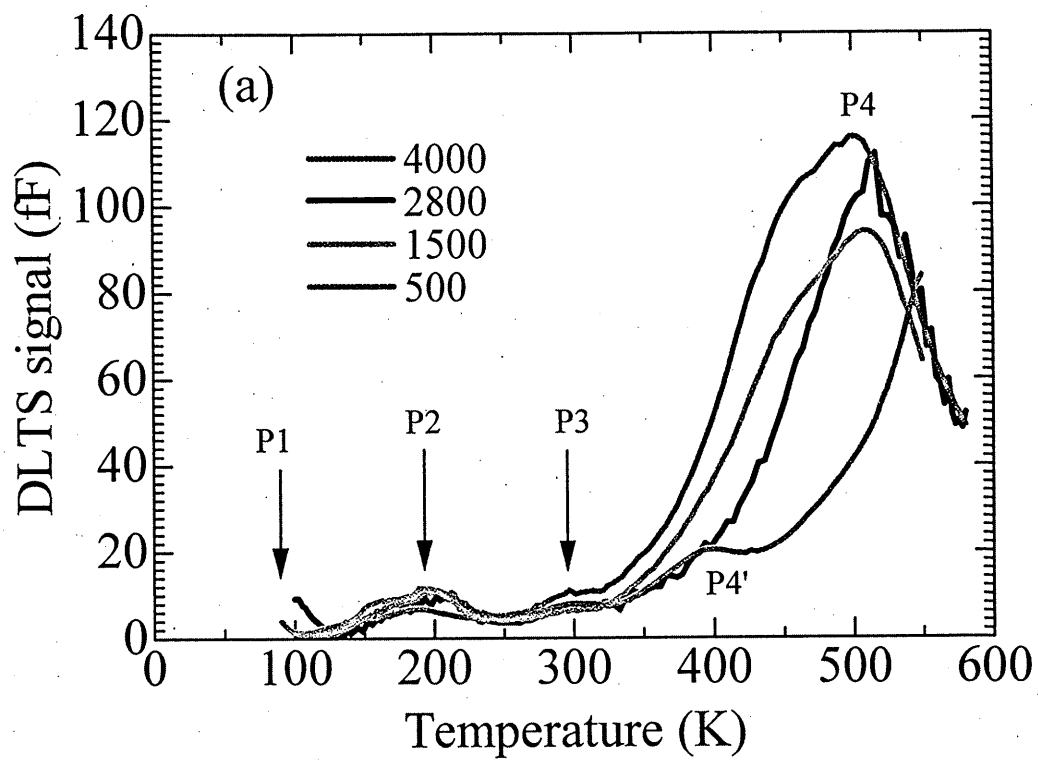


Fig.2-11. V/III 比を変化させた (a) Si 基板上 GaN ショットキーダイオードと (b) Sapphire 基板上 GaN ショットキーダイオードの DLTS 評価結果

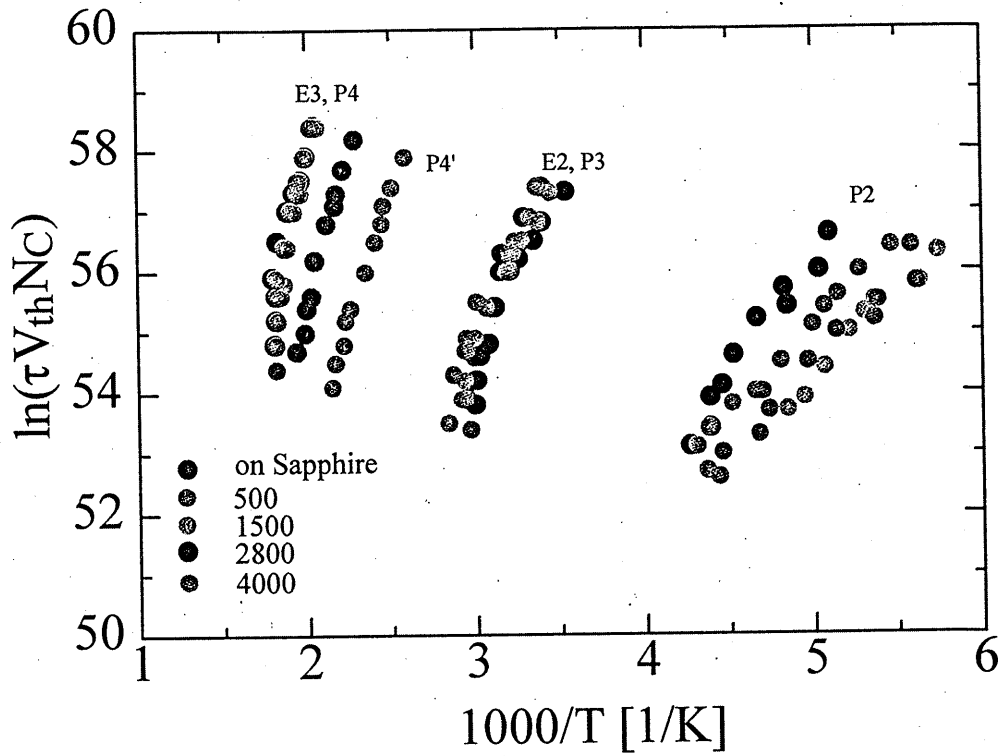


Fig.2-12. DLTS 測定から得られたアレニウスプロット

今回、P1 及び E1 においては低温での DLTS 測定に限界があり、活性化エネルギーの同定ができなかった。表 2-1 に得られたトラップ準位の活性化エネルギー、及び捕獲断面積を示す。

表 2-1. 各トラップ準位のパラメータ

Trap	Activation energy (eV)	Capture cross section (cm ²)
P2	0.37	1.0×10^{-16}
E2, P3	0.58	5.0×10^{-16}
E3, P4	0.97	1.2×10^{-16}
P4'	0.74	2.5×10^{-16}

得られた欠陥のうち、E2及びP3はGaサイトに窒素が入り込んだ N_{Ga} 欠陥 [15]、そして E3 及び P4 は転位関連、もしくは窒素に関連した点欠陥が起源となっている [16]。明確なトラップ密度の V/III 比依存性が得られたのは P4 の欠陥であるが、これが転位関連の欠陥である場合、高 V/III 比により高品質な GaN 結晶が得られる事実と矛盾する。本研究室で結晶成長に用いた MOCVD 装置では V/III 比を NH_3 流量で変更させており、チャンバーの総圧力をキャリアガスである H_2 で調整し、V/III 比のみを変更しているため、C のような不純物の総量は変わらず、不純物によって生じる欠陥や転位には変化が生じないため、やはり既報告の窒素が関連する欠陥準位が原因と考えられる。

2.3.2 GaN 基板上 GaN ショットキーダイオードの DLTS 解析

この V/III 比依存性が存在する P4 欠陥について、これが Si 基板上 GaN ショットキーダイオード特有の問題であるか調べるため、GaN 基板上に結晶成長させた GaN ショットキーダイオードの V/III 比を変化させ、同様の結果が得られるか検討を行った。

サンプルの作製プロセスとしては 2.2.1 節の Si 基板上 GaN ショットキーダイオードと同様のプロセス手順を用いたが、裏面基板のみ表面オーミック電極と同様 Ti/Al/Ni/Au = 15/80/12/40 nm のオーミック電極を真空蒸着した。作製した GaN 基板上 GaN ショットキーダイオードの断面構造図を Fig. 2-13 に示す。また、MOCVD 成長した n-GaN の V/III 比が結晶性にどの程度影響を与えるか確認するため、CL 像のダークスポット、及び XRD による半値幅から求めた転位密度の V/III 比依存性を Fig. 2-13 に示す。XRD 測定においては、比較として Sapphire 基板上において V/III 比を変更したサンプルの測定結果を示す。転位密度は V/III 比を増大するとともに増大する傾向にあり、 NH_3 流量を変更することにより V/III 比を増大させた場合、基板に関わらず転位密度が増大してしまう傾向にあることが分かった。

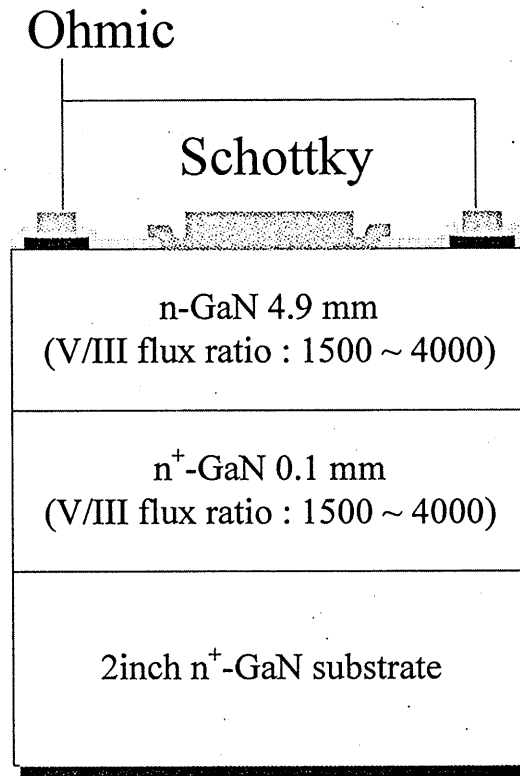


Fig.2-13 GaN 基板上 GaN ショットキーダイオードの断面構造図

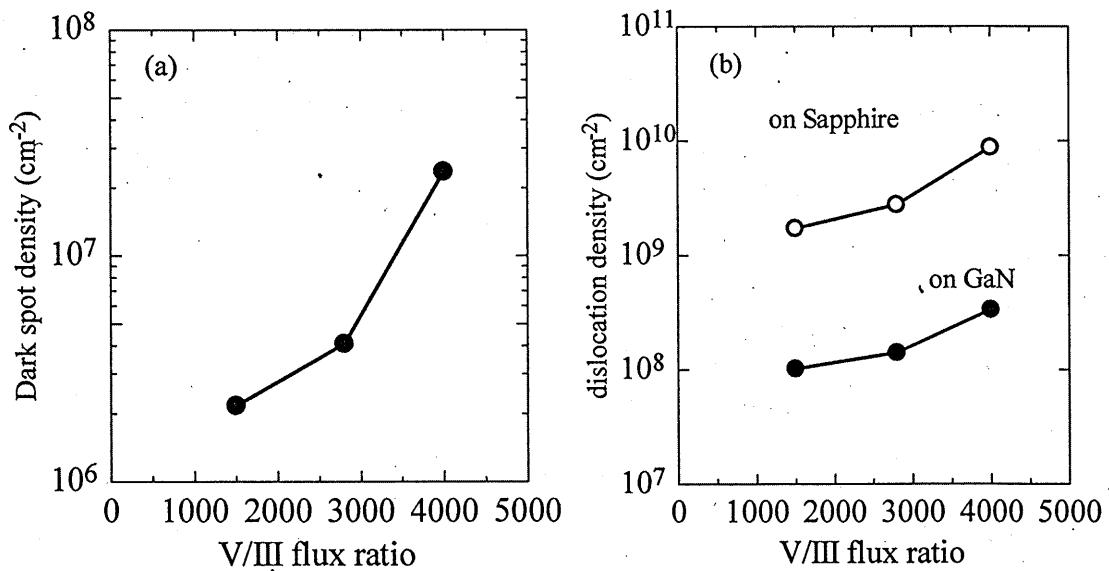


Fig. 2-14 (a) CL 像から得られたダークスポット密度の V/III 比依存性

及び (b) XRD 測定から求めた転位密度の V/III 比依存性

GaN 基板上 GaN ショットキーダイオードについても同様に DLTS 測定を行ったところ、Fig. 2-15 に示す DLTS スペクトルが得られ、P1 から P3 までのピークを得ることができた。

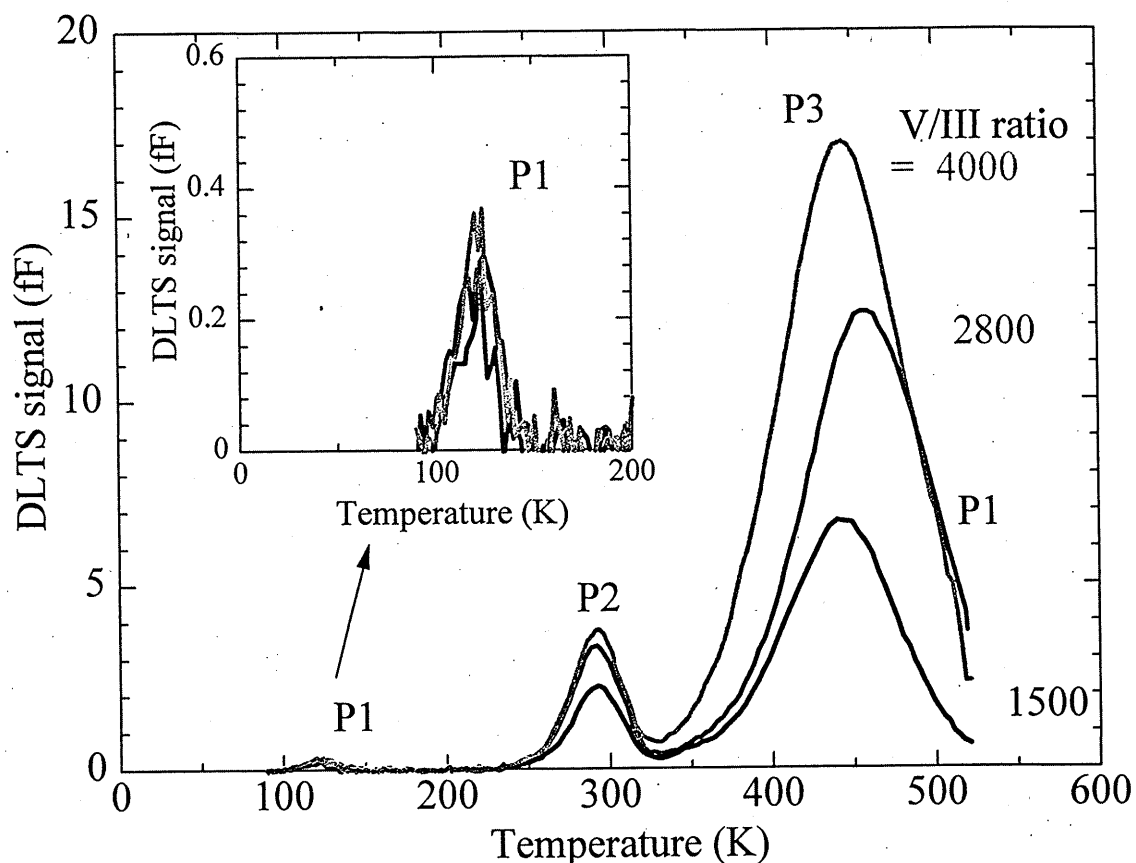


Fig. 2-15 GaN 基板上 GaN ショットキーダイオードの DLTS スペクトル

DLTS スペクトルについても Si 基板上 GaN ショットキーダイオードと同様、P2 と P3 において明確な V/III 比依存性が見られた。これらのピークが示す欠陥準位の同定を行うため、アレニウスプロットを行ったところ、Fig. 2-16 のグラフが得られた。この欠陥準位のうち、P1 ($E_c - 0.18 \sim 0.24$ eV)は VN-VGa 関連の欠陥 [16]、P2($E_c - 0.58$ eV)は N_{Ga} 関連の欠陥、そして P3($E_c - 0.86 \sim 0.89$ eV)は他の GaN 基板上 GaN 系ショットキーダイオードでは確認されておらず、異種基板上での転位関連欠陥と同一のものであると考えられる。今回用いた GaN 基板上 GaN は以前 10^8 程度の比較的高い転位密度が見られているため、転位関連の欠陥

が GaN 基板上 GaN ショットキーダイオードにおいても確認できたものと考えられる。

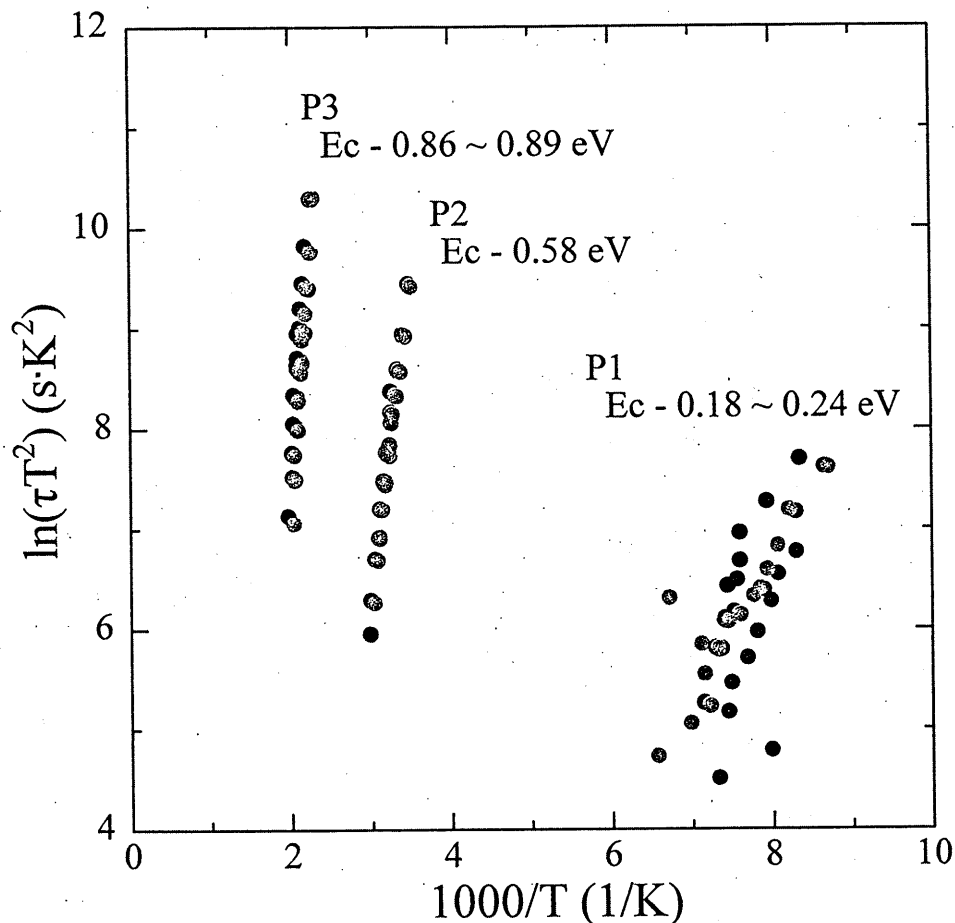


Fig. 2-16 GaN 基板上 GaN における DLTS スペクトルのアレニウスプロット

明確な V/III 比依存性がどの基板においてもみられている P3 ($E_c - 0.86 \sim 0.89$ eV)の欠陥準位について、これが既報告通り転位関連の欠陥であるか確かめるため、DLTS のパルス幅依存性評価を行った [17]。DLTS スペクトルはショットキーダイオードに負バイアス(-2V)から 0 V へのごく短いパルスを印加することで、印加後の容量の変化を解析し、時定数を求めている。点欠陥の場合、キャリアの捕獲には時間依存性は存在しないが、貫通転移のように深さ方向に伸びた欠陥準位を形成する場合時間依存性が生じる。今回、V/III 比 2800 のサンプル

ルについて、パルス幅 T_w を $10 \mu\text{s}$ から 10ms まで変化させ、各パルス幅における DLTS スペクトルのピークを比較した。結果を Fig. 2-17 に示す。

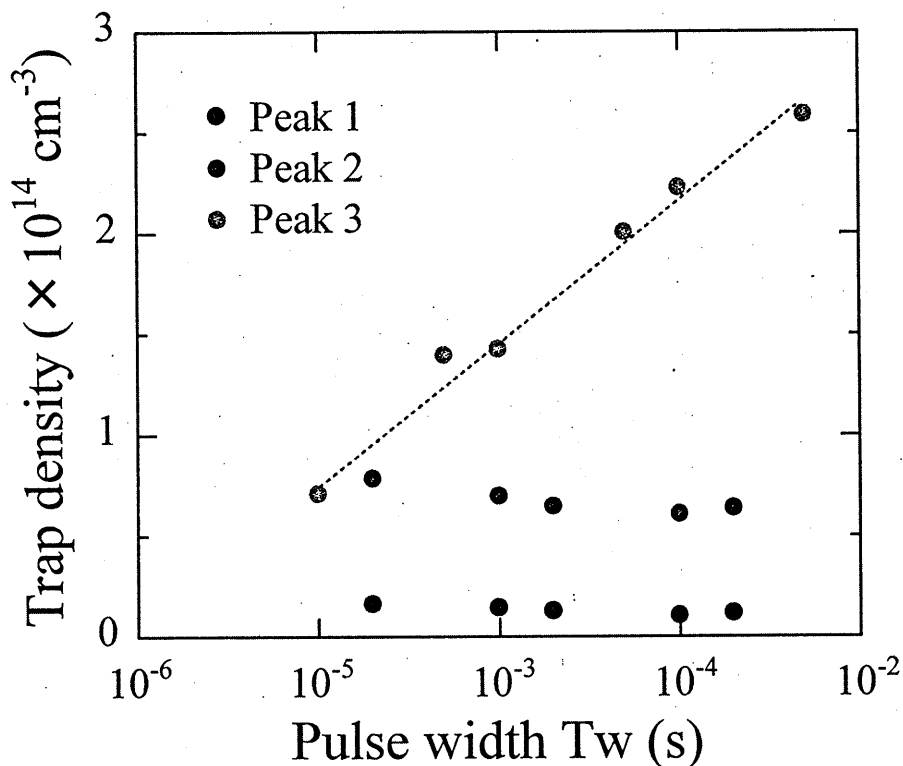


Fig. 2-17 各トラップ準位密度のパルス幅依存性

結果として、P3 ($E_c - 0.86 \sim 0.89 \text{eV}$)のみがパルス幅依存性を示し、転位関連の欠陥であることが確認できた。

では、この転位関連の欠陥はどの時点で発生しているのでしょうか。転位の発生条件としては、基板と結晶成長の界面と、結晶成長中の不純物等を始点とした場合の2種類が考えられる。そこで、GaN 基板の上に MOCVD 成長させた GaN について、断面 TEM 観察を行い、GaN 基板と結晶成長させた GaN の界面に転位の起点となるような個所が見られるか確認した。評価として、V/III 比 1500、及び 4000 のサンプルを用いた。それぞれの V/III 比で成長させた GaN on GaN 結晶の断面 TEM 像を Fig. 2-18 に示す。

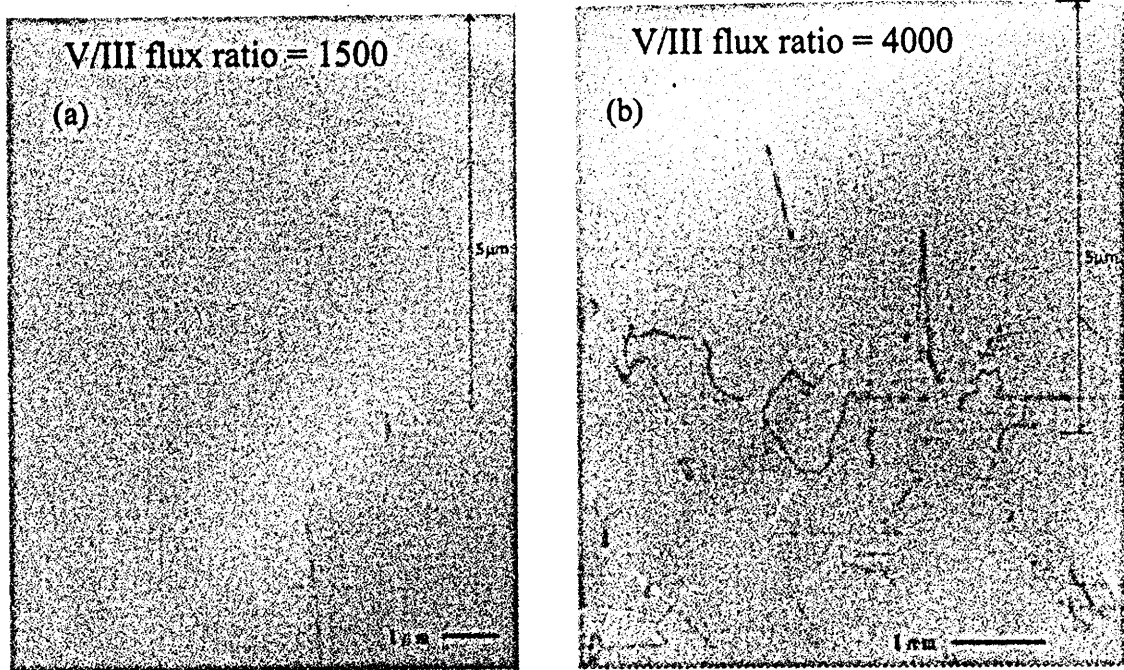


Fig. 2-18 (a) V/III 比 1500 及び (b) 4000 として結晶成長させた GaN on GaN 結晶の断面 TEM 像(m 軸入射)

Fig.2-18 から、高 V/III 比で成長させたサンプルにおいて結晶成長初期段階（深さ 5 μm ）において転位が発生していることが分かる。今回の検討では、窒素源である NH_3 流量によって V/III 比を変更しており、分解で生じる N 原子や H 原子が欠陥準位を形成していると考えられる。L. Lee らの報告によれば、窒素原子は $E_c - 0.874 \text{ eV}$ のエネルギー準位に、格子間原子 (N_i) の欠陥準位を形成することが分かっている [18]。今回の検討では、高 V/III 比の試料については窒素原子の過剰供給により GaN 中に N_i 欠陥が発生し、そこを起点として転位が発生した可能性がある。

今回の TEM 観察から、成長初期段階において転位が発生し、それがキャリアトラップ準位を形成することになった可能性が高いことが分かった。成長初期段階における結晶性の変化を更に詳細に解析することで、GaN 基板上的 GaN だけでなく、同様の傾向がみられる Si 基板上 GaN についても転位を起源とするトラップの抑制をする方法を生み出すことが期待できる。

2.3.3 まとめ

V/III 比を変更させた n-GaN ショットキーダイオードの DLTS 評価により、転位関連欠陥 ($E_c - 0.86 \sim 0.89$ eV) に V/III 比依存性が存在することが分かった。GaN 基板上 GaN の DLTS 測定により、この現象は基板に寄らないものであること、また GaN の成長初期段階において発生する転位が起源となることが確認できた。この転位の発生メカニズムについて、V/III 比を NH_3 流量で調整していることから、 $E_c - 0.874$ eV の欠陥準位を形成する格子間窒素 (Ni) が転位の起点となり、そこから転位が発生したものと考えられる。

以上の結果から、結晶成長初期段階において、低 V/III 比でのドリフト層の結晶成長によりデバイスの特性を向上させることができる可能性があることが分かった。

参考文献

- [1] W. Saito, Y. Kakiuchi, T. Nitta, Y. Saito, T. Noda, H. Fujimoto, A. Yoshioka, T. Ohno, and M. Yamaguchi, "Field-Plate Structure Dependence of Current Collapse Phenomena in High-Voltage GaN-HEMTs," *IEEE Elec. Dev. Lett.*, vol. 31, no. 7, pp. 659-661, 2010.
- [2] B. Luo, J. W. Johnson, J. Kim, R. M. Mehandru, F. Ren, B. P. Cila, A. H. Onstine, C. R. Abernathy, S. J. Pearton, A. G. Baca, R. D. Briggs, R. J. Shul, C. Monier, and J. Han, "Influence of MgO and Sc₂O₃ passivation on AlGa_{0.2}N/GaN high-electron-mobility transistors," *Appl. Phys. Lett.*, vol. 80, issue. 9, pp. 1661-1663, 2002.
- [3] E. J. Miller, X. Z. Dang, H. H. Wieder, P. M. Asbeck, E. T. Yu, G. J. Sullivan, and J. M. Redwing, "Trap characterization by gate-drain conductance and capacitance dispersion studies of AlGa_{0.2}N/GaN heterostructure field-effect transistor," *J. Appl. Phys.* vol. 87, issue. 11, pp. 8070-8073, 2000.
- [4] W. Gotz, N. M. Johnson, H. Amano, and I. Akasaki, "Deep level defects in n-type GaN," *Appl. Phys. Lett.*, vol. 65, issue. 4, pp. 463-465, 1994
- [5] Z. H. Mahmood, A. P. Shah, A. Kadir, M. R. Gokhale, A. Bhattacharya, and B. M. Arora, "Charge deep level transient spectroscopy of electron traps in MOVPE grown n-GaN on sapphire," *Phys. State. Sol. B*, vol. 245, no. 11, pp.2567-2571, 2008
- [6] Y. Tokuda, Y. Matsuoka, H. Ueda, O. Ishiguro, N. Soejima, and T. Kachi, "DLTS study of n-type GaN grown by MOCVD on GaN substrates," *Superlattices and Microstructures*, vol. 40, issue 4-6, pp. 268-273, 2008.
- [7] T. Hashizume, S. Ootomo, T. Inagaki, and H. Hasegawa, "Surface passivation of GaN and GaN/AlGa_{0.2}N heterostructures by dielectric films and its application to insulated-gate heterostructure transistors," *J. Vacuum Science & Tech. B, Nanotech. and Microelec. : Materials, Processing, Measurement, and Phenomena*, vol. 21, issue. 4, pp. 1828-1838, 2003.
- [8] R. Chu, A. Corrión, M. Chen, R. Li, D. Wong, D. Zehnder, B. Hughes, and K. Boutros, "1200-V Normally Off GaN-on-Si Field Effect Transistors With Low Dynamic on-Resistance," *IEEE Elec. Dev. Lett.*, vol. 32, no. 5, pp. 632-634, 2011.

- [9] S. Mase, T. Egawa, and A. Wakejima, "Transient characteristics of AlGa_N/Ga_N high-electron-mobility transistor with bias-controllable field plate," *Appl. Phys. Lett.*, vol. 8, no. 3, pp. 036601, 2015.
- [10] H. Kim, R. M. Thompson, V. Tilak, T. R. Prunty, J. R. Shealy, L. F. Eastman, "Effects on SiN passivation and high-electric field on AlGa_N/Ga_N HFET degradation," *IEEE Elec. Dev. Lett.*, vol. 24, no. 7, pp. 421-423, 2003.
- [11] S. Mase, A. Wakejima, and T. Egawa, "Analysis of carrier trapping and emission in AlGa_N/Ga_N HEMT with bias-controllable field plate," *Phys. Status Solidi, A*, vol. 214, no. 8, pp. 1600840, 2017.
- [12] G. Meneghesso, M. Meneghini, D. Bisi, I. Rossetto, A. Cester, U. K. Mishra, and E. Zanoni, "Trapping phenomena in AlGa_N/Ga_N HEMTs : a study based on pulsed and transient measurements," *Semiconduct. Science and Tech.*, vol. 28, no. 7, pp. 074021, 2013.
- [13] Z. X. -Feng, F. Shuang, C. Y. -He, K. Di, Z. J. -Kun, W. Chong, M. J. -Hui, L. Liang, M. X. -Hua, and Z. J. -Cheng, *Chin. Phys. B*, vol. 24, pp. 027302, 2015.
- [14] A. Armstrong, A. R. Arehart, B. Moran, S. P. DenBaars, U. K. Mishra, J. S. Speck, and S. A. Ringel, "Impact of carbon on trap states in n-type Ga_N grown by metalorganic chemical vapor deposition," *Appl. Phys. Lett.*, vol. 84, issue 3, pp. 374-376, 2004.
- [15] H. K. Cho, C. S. Kim, and C. -H. Hong, "Electron capture behaviors of deep level traps in unintentionally doped and intentionally doped n-type Ga_N," *J. Appl. Phys.*, vol. 94, issue 3, pp. 1485-1489, 2003
- [16] Z. -Q. Fang, D. C. Look, J. Jasinski, M. Benamara, Z. Liliental-Weber, and R. J. Molnar, "Evolution of deep centers in Ga_N grown by hydride vapor phase epitaxy," *Appl. Phys. Lett.*, vol. 78, issue 3, pp. 332-334, 2001
- [17] Y. Tokuda, Y. Matuoka, K. Yoshida, H. Ueda, O. Ishiguro, N. Soejima, and T. Kachi, "Evaluation of dislocation-related defects in Ga_N using deep-level transient spectroscopy," *Phys. Stat. Sol. C*, vol. 4, no. 7, pp. 2568-2571, 2007.
- [18] L. Lee, W. C. Lee, H. M. Chung, M. C. Lee, W. H. Chen, W. K. Chen, and H. Y. Lee, "Characteristics of deep levels in As-implanted Ga_N films," *Appl. Phys. Lett.*, vol. 81, no. 10, pp. 1812-1814, 2002.

第3章 GaN系デバイスの縦型化

3.1 はじめに

Siデバイスの代替としてSiCデバイスと共に期待されているGaN系デバイスは、AlGaN/GaN HEMTを代表とする横型構造を異種基板上に作製する方法を採用してきた。しかしながら、パワースイッチングデバイスとしてGaN系デバイスを採用するためには、横型構造特有の問題であるチップ面積当たりのオン抵抗と耐電圧のトレードオフの関係性を逸脱し、性能向上させることが難しくなってくる。また、GaNはSiデバイスのような良好な界面特性を持つ自然酸化膜を形成することができず、表面の欠陥順位が電流コラプスのようなI-V特性の劣化を引き起こしてしまう。

近年、HVPE法やNaフラックス法による自立GaN基板の作製例が報告され [1, 2]、縦型 GaN on GaN デバイスの報告も広くみられるようになってきた。しかしながら、自立 GaN 基板は横型 GaN 系デバイスに用いられている Si 基板と比較して 100 倍程度のコスト差があり、大量生産には依然コスト改善が必要となる。GaN 系デバイスの縦型化が着目されてきたのにつれ、コスト改善のために SiC 基板を用いた縦型 GaN 系デバイスの報告も出てきた [3]。SiC は導電性を持つため縦型構造の作製が可能であるが、GaN 基板と同様コストが高く、大量生産には向いているとは言えない。横型デバイスで低コスト性が着目されている Si 基板については、SiC と同様導電性があるのに加え、8inch 基板までの大口径基板がすでに横型構造デバイスに採用されており、縦型構造についても同様に大量生産向けデバイスの作製が期待できる。

Y. Zhang や X. Zou らの報告では、GaN on Si 基板の縦型化の方法として、縦型構造を実現するにはエッチング後に下面部に電極を追加した疑似縦型構造や、基板転写を用いたものがある [4, 5]。これらの構造図を Fig.3-1.に示す。これらの

構造、プロセスを採用することで、従来横型でしか採用されていない Si 基板上 GaN デバイスに新たな方策を示すことができているが、製造プロセスの追加は全体のコスト増大を招くため、Si 基板を用いることによる低コスト性という利点を活かすことができない。

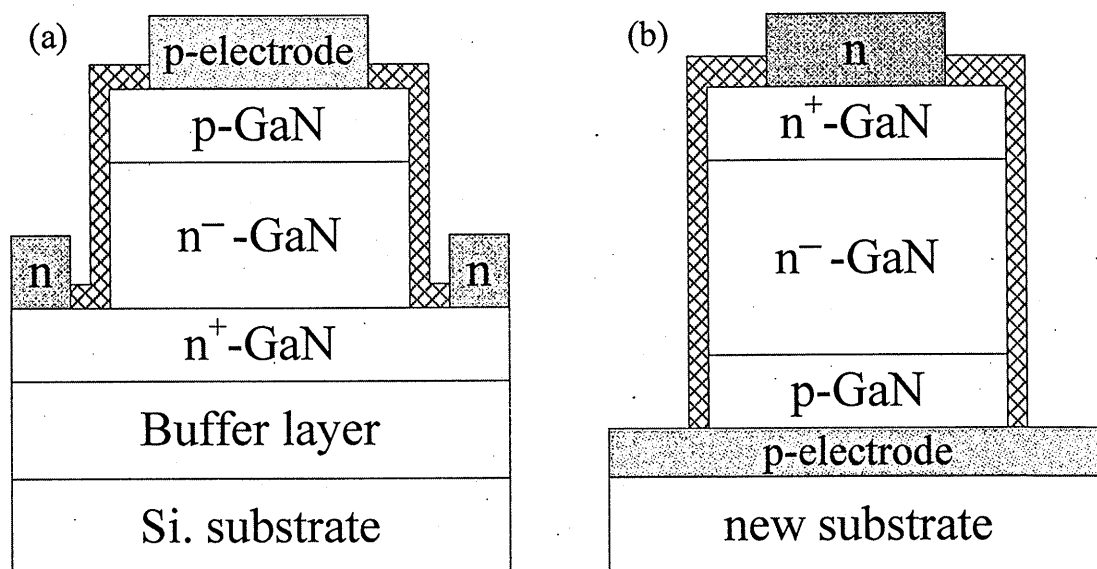


Fig.3-1. 代表的な縦型 GaN on Si デバイスの断面構造図

(a) 純縦型構造 (b) 基板張替え

そこで、私は n 型にドーピングした Si 基板の導電性を活かし、通常高抵抗にさせるバッファ層に導電性を持たせることで縦方向伝導を生み出す、導電性バッファ層を用いた縦型 GaN on Si デバイス構造により、Si の低コスト性を活かしたデバイスを実現することを考案した。本章では、導電性バッファ層を用いた縦型 GaN デバイスの実現を目的とし、その第一歩として縦型 GaN p-n ダイオードの作製、評価を行った。

3.2 Si 基板上縦型 GaN 系デバイスの構造検討

従来研究が進められてきた AlGaIn/GaN HEMT を代表とする横型 GaN 系デバイスには、Si 基板上に成長する際において、i-GaN 層へのカーボンドーピングによる高抵抗化や AlN、AlGaIn 等の高抵抗バッファ層を用いている。従来の Si 基板上 GaN 系デバイス用の構造としては、縦方向耐圧の向上やその低減、面内均一性の観点から厚いバッファ層が用いられてきた。しかしながら、縦方向伝導の場合はこの厚いバッファ層がキャリア輸送の障害となってしまう。バッファ層を通して縦方向伝導を実現するためには、AlN、AlGaIn 層をできるだけ使わず、またバッファ層のドーピングを行う必要がある。

縦方向伝導実現のため、以下の 3 実験を行った。

3.2.1 バッファ層の薄膜化検討

Si 基板上の GaN 系デバイスにおけるバッファ層は Fig.3-2(a)に示す通り、Si 基板から AlN 層、AlGaIn 層、GaN/AlN からなる Strained Layer Superlattice (SLS) 層の順に構成されている。縦方向伝導において最も障害となるのは、Si 基板上に直接成長する AlN 層である。Fig. 3-2(b) に XPS 解析によって得られた AlN/Si 界面のバンドアライナップを示す [6]。

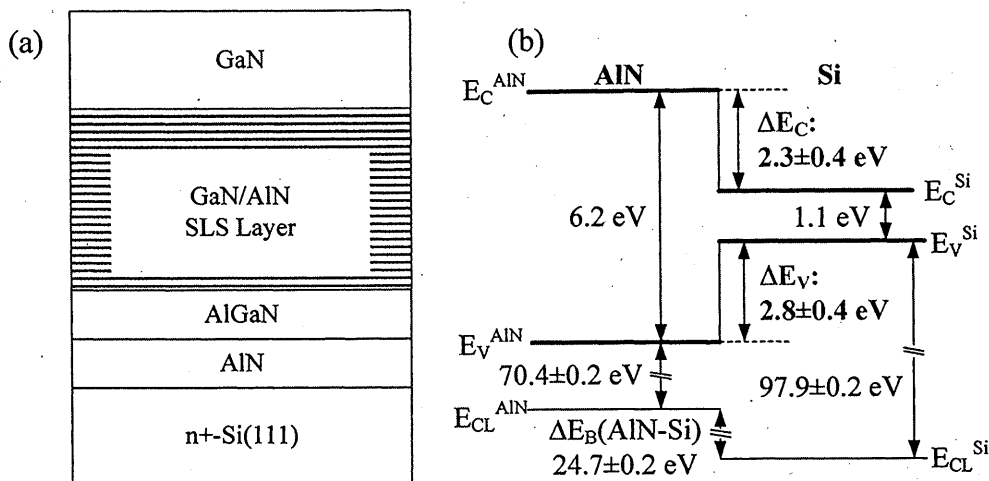


Fig. 3-2. (a) Si 基板上 GaN の断面構造図 (b) Si/AlN 界面のバンドアライナップ

Si/AlN 界面には電子のエネルギー障壁として $\Delta E_c = 2.3 \pm 0.4$ eV、正孔のエネルギー障壁として $\Delta E_v = 2.8 \pm 0.4$ eV の大きなギャップが存在するため、従来の 20nm もの AlN 層では縦方向の伝導は困難である。そのため、AlN/Si の伝導は AlN 層薄膜化によるトンネル伝導を利用する必要がある。しかしながら、AlGaIn や GaIn に含まれる Ga 原子は Si 原子との化学反応によりメルトバックエッチングを引き起こすため、薄膜化には制限がある。

今回、AlN 層をどの程度まで薄膜化できるか確認するため、AlN 層膜厚を変更して結晶性に問題がないか確認を行った。Fig.3-3.に転位密度と AlN 層膜厚との関係性を示す。今回 AlN 層のバッファ膜厚を 0、1、3、30、100 nm の中で変化させ、それぞれの転位密度を X 線回折 X-ray diffraction (XRD)装置による半値幅の測定から求めた。

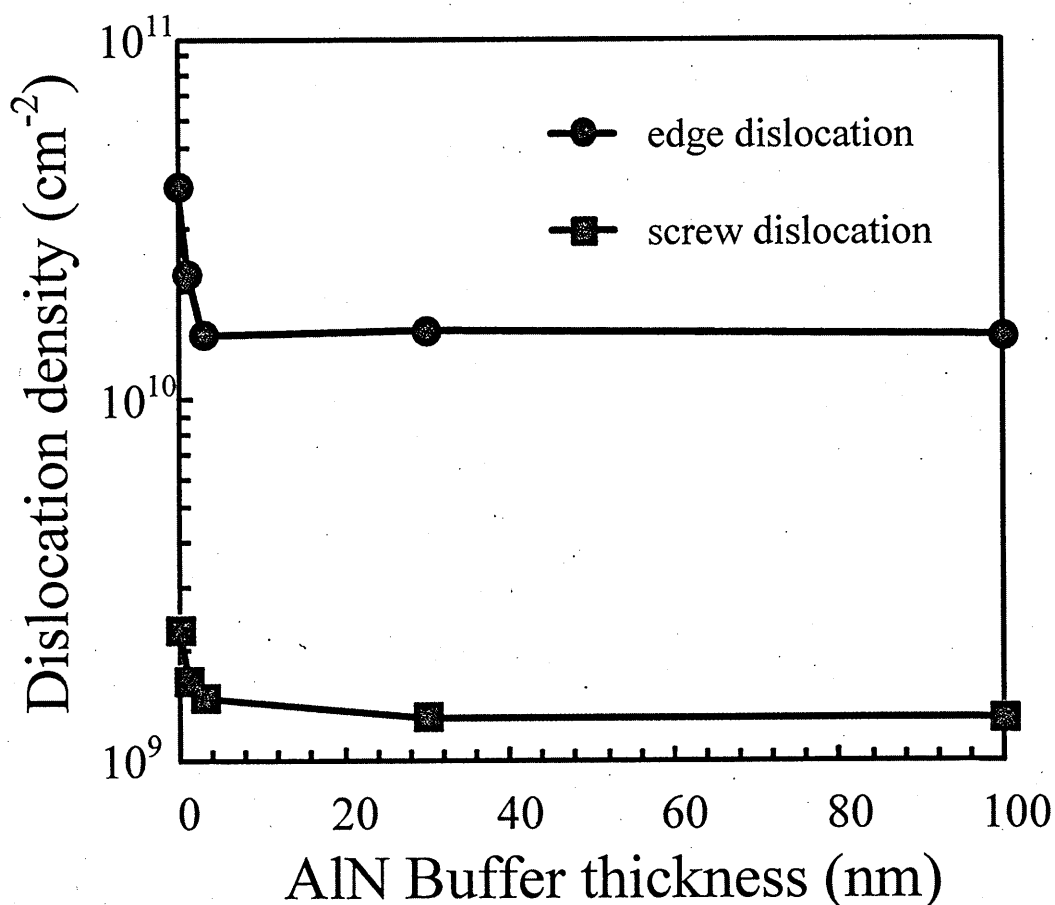


Fig.3-3. 転位密度の AlN 膜厚依存性

AlN 層の膜厚が 3nm までは刃状転位、らせん転位共に転位密度に大きな差は見られないが、それ以上に薄膜化を行うと転位密度が急激に増大することが確認できた。これは AlN 層が 3nm 未満では前述したメルトバックエッチングを抑えることができず、Si 表面の凹凸が大きくなったことが原因と考えられる。その結果、平面成長をすることができず、結晶性の悪化、つまり転位密度の増大を招いたものと考えられる。Fig.3-4.に AlN 層膜厚と、AlN 層膜厚を変化させた GaN on Si 基板の表面を AFM により図ることで得られた表面粗さ(RMS)の関係を示す。

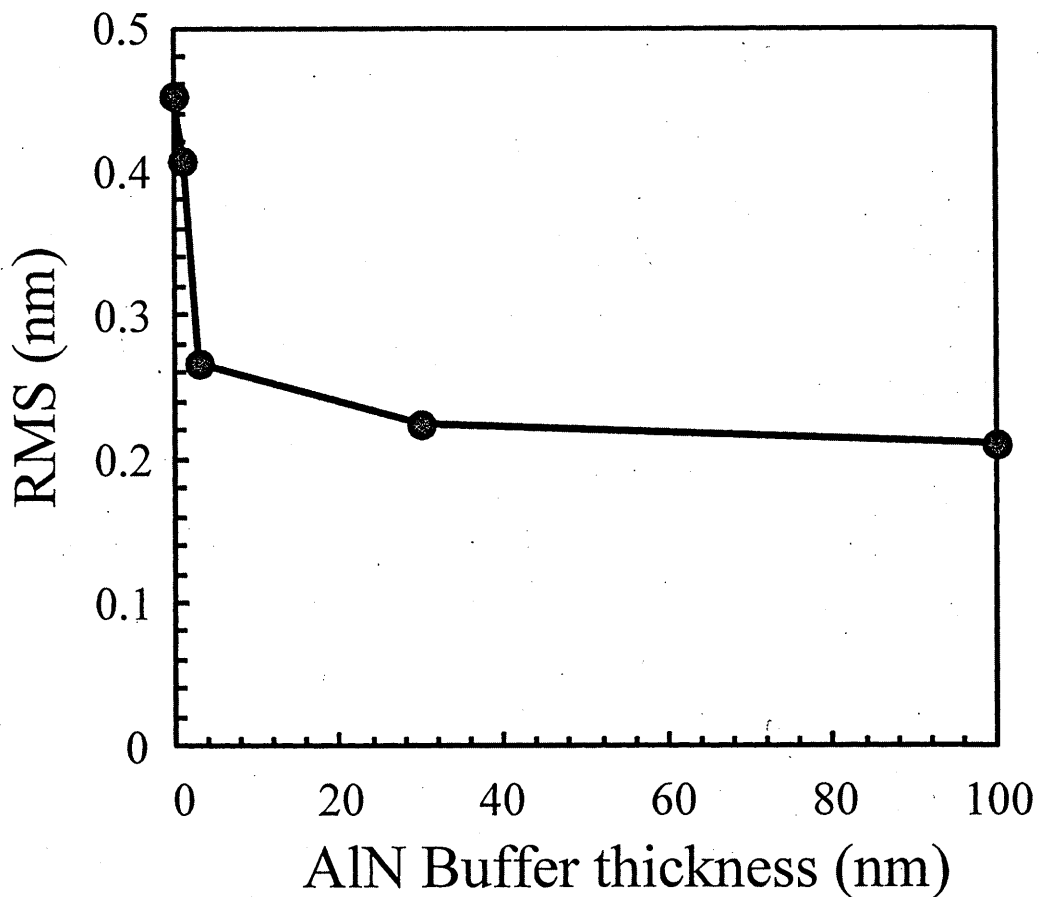


Fig.3-4. 表面粗さ(RMS)の AlN 層膜厚依存性

Fig.3-3.と同様、3 nm 付近から表面粗さが大きくなっており、メルトバックエッチングにより Si 基板表面に凹凸が生じ、それがバッファ層や上部 GaN 層の表

面粗さを大きくした可能性が高いことを示唆している。

今回、私は縦型 GaN on Si デバイスに用いる最小 AlN 膜厚を 3 nm とし、この膜厚を利用することを決定した。

3.2.2 バッファ層のドーピング量検討

バッファ層は高抵抗である Al 系の結晶を用いており、薄膜化のみでの低抵抗化は難しい。そこで導電性を持たせるため、高 Si ドーピングを行う必要がある。今回、バッファ層内に Si ドーピングするための SiH₄ 流量を調整し、縦方向伝導性を I-V 特性から確認した。供給する SiH₄ 流量は 5 sccm から装置限界値である 100 sccm まで 5 段階で変化させた。評価に用いた GaN on Si 結晶の構造図を Fig.3-5 に示す。

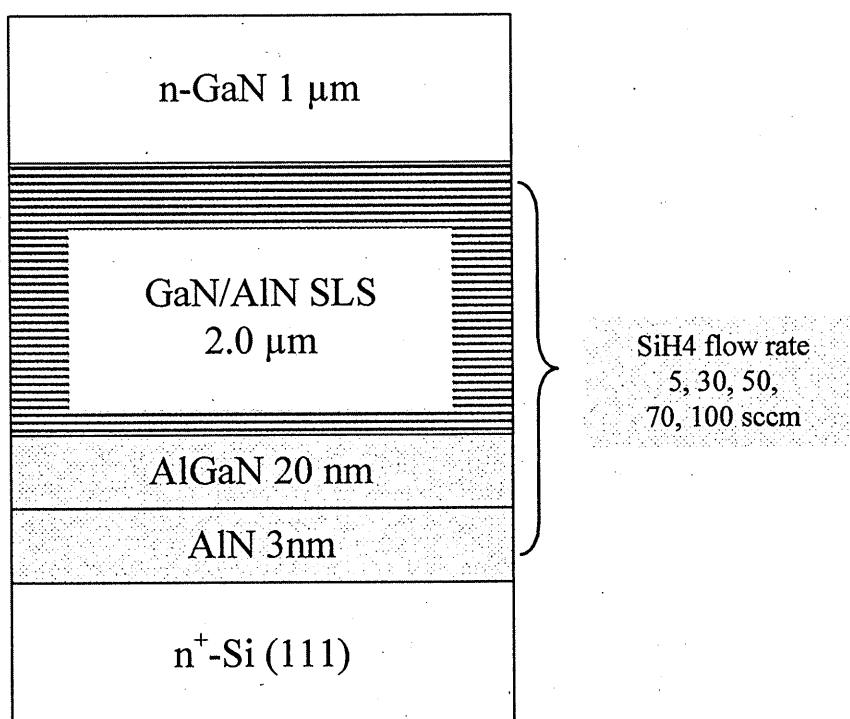


Fig.3-5. SiH₄ 流量依存性評価に用いるサンプルの構造図

今回の実験では、結晶成長させた上記サンプルの上面に Ti/Al/Ni/Au = 15/80/12/40 nm のオーミック電極を真空蒸着機により堆積させ、N₂ 雰囲気中、

850 °C で 30 sec の間合金化のためのアニーリングを行った。I-V 特性評価のため、基板側には Ag ペーストを塗布し、金属基板と接着した。表面の直径 200 μm の円形オーミック電極と下部金属基板との 2 端子 I-V 特性を測定し、その傾きから抵抗値を計算した。

Fig. 3-6 に異なる SiH_4 流量を供給したサンプルの I-V 特性の測定結果を示す。

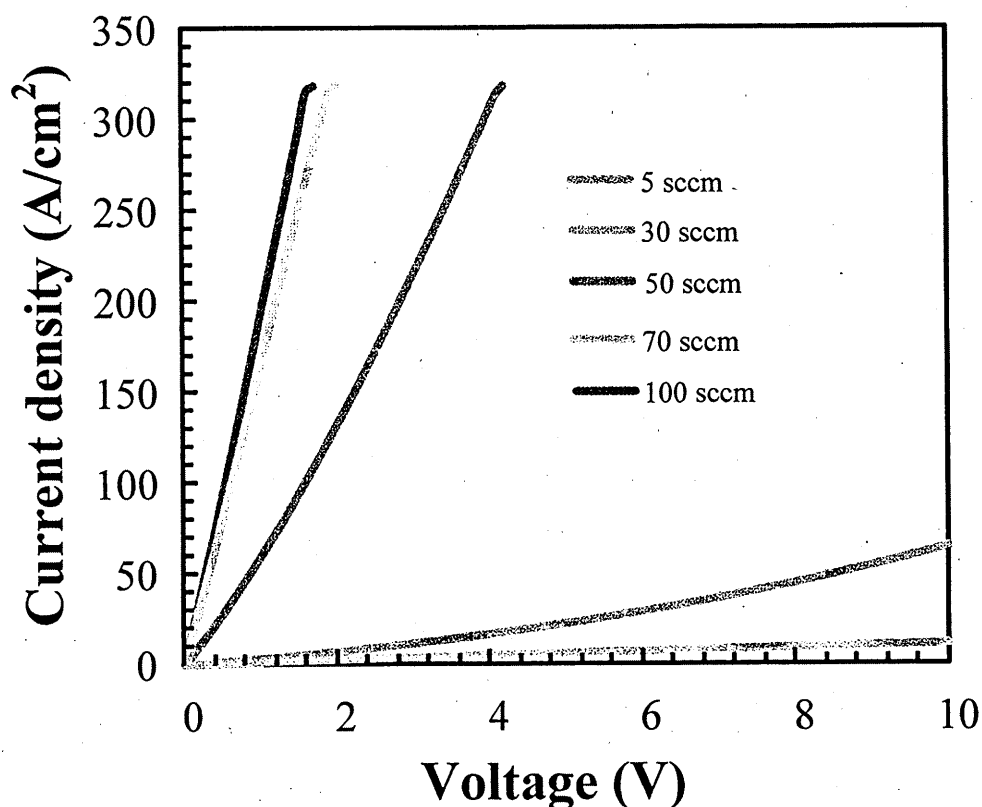


Fig. 3-6. 縦方向 I-V 特性の SiH_4 流量依存性

測定は値のばらつきを抑えるため、各 3 パターンの円形オーミック電極の測定を行った。Fig.3-6 に示すように、 SiH_4 流量を上げるほど傾きが大きくなり、電流が流れるようになることが分かる。また、 SiH_4 流量が上がるにつれて飽和傾向にあるものの、多量の Si 原子の導入により不純物拡散が発生し、移動度が減少、つまり電流値が減少するような傾向は見られず、 SiH_4 の供給流量限界値である 100 sccm まで電流値は増大し続けた。Fig. 3-7 に I-V 特性の平均傾きから求めた抵抗値の SiH_4 流量依存性を、表 3-1 にその値をまとめたものを示す。直

列抵抗は 50sccm まで直線的に低下し、以降は飽和傾向にある。100 sccm における直列抵抗の平均値は 16 Ω であった。

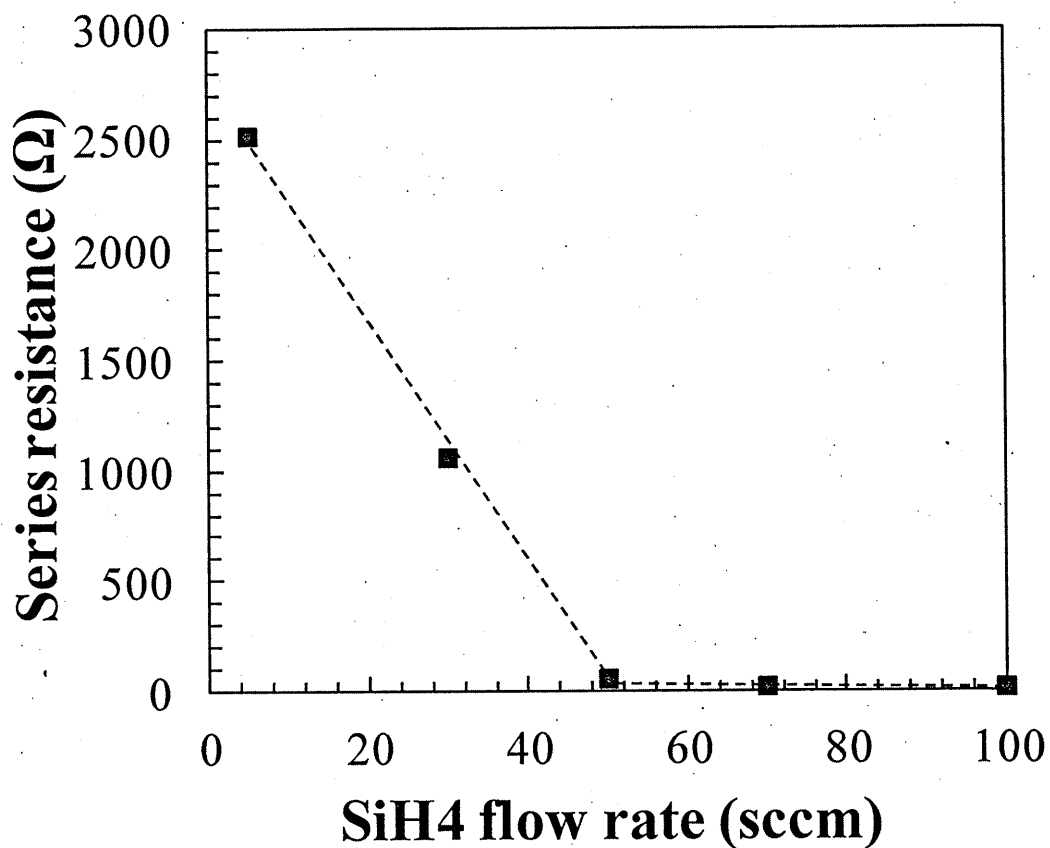


Fig.3-7. 直列抵抗 R_s の SiH_4 流量依存性

表 3-1. 各 SiH_4 流量における直列抵抗値

SiH_4 流量 (sccm)	5	30	50	70	100
直列抵抗 (Ω)	2931	1183	57	21	16
	2422	910		20	14
	2200	1087		20	17
平均値 (Ω)	2518	1060	57	20	16

各流量におけるバッファ層内のキャリア濃度を調べるため、E-CV による破壊測定を行った。結果を Fig.3-8 に示す。

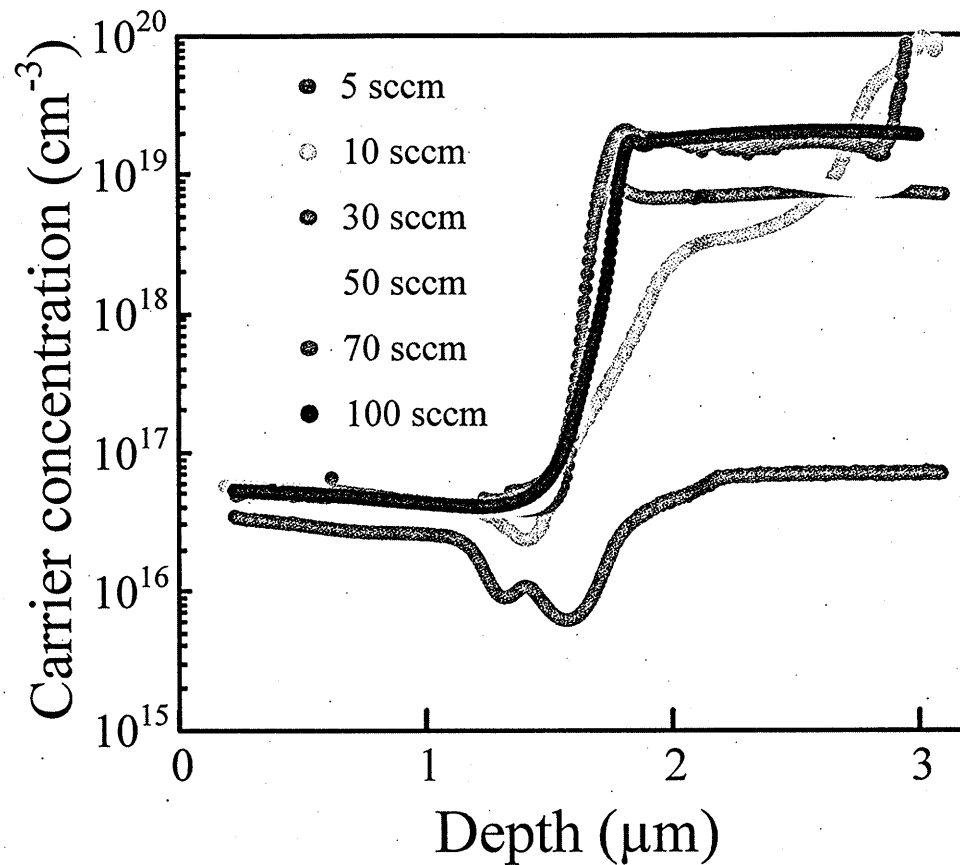


Fig. 3-8. E-CV によるキャリア濃度の深さ方向プロット

キャリア濃度の変化から、深さ 1.8 μm から SLS 層以下のバッファ層のキャリア濃度を示していると考えられる。100 sccm において $2 \times 10^{19} \text{ cm}^{-3}$ 程度の高 Si ドープがされていることが確認できた。以降、バッファ層についてはこの高 Si ドープを行い、導電層としての働きを持たせた。

3.2.3 低ドーピング濃度の n-GaN ドリフト層の実現

縦型デバイス実現のためには、耐圧を維持するドリフト層の低ドーピング濃度化が必要となる。しかしながら、Si 基板上で GaN を成長する場合、その工率定数差から生じる転位が n 型ドーパントを補償してしまうため、低濃度におけるドーピング制御が非常に難しくなる。転位の低減は歪緩衝層である歪緩衝層である Strained Layer Superlattice (SLS) 層の厚みを増すことで歪を解消し、それによって生じる転位を減少させて低ドーピング濃度領域における制御を容易にすることが効果的である。Fig. 3-9 にドーパントである Si の源となる SiH₄ 流量と Electrochemical Capacitance-Voltage (E-CV) 測定から求めた正味のキャリア濃度の関係性を示す。

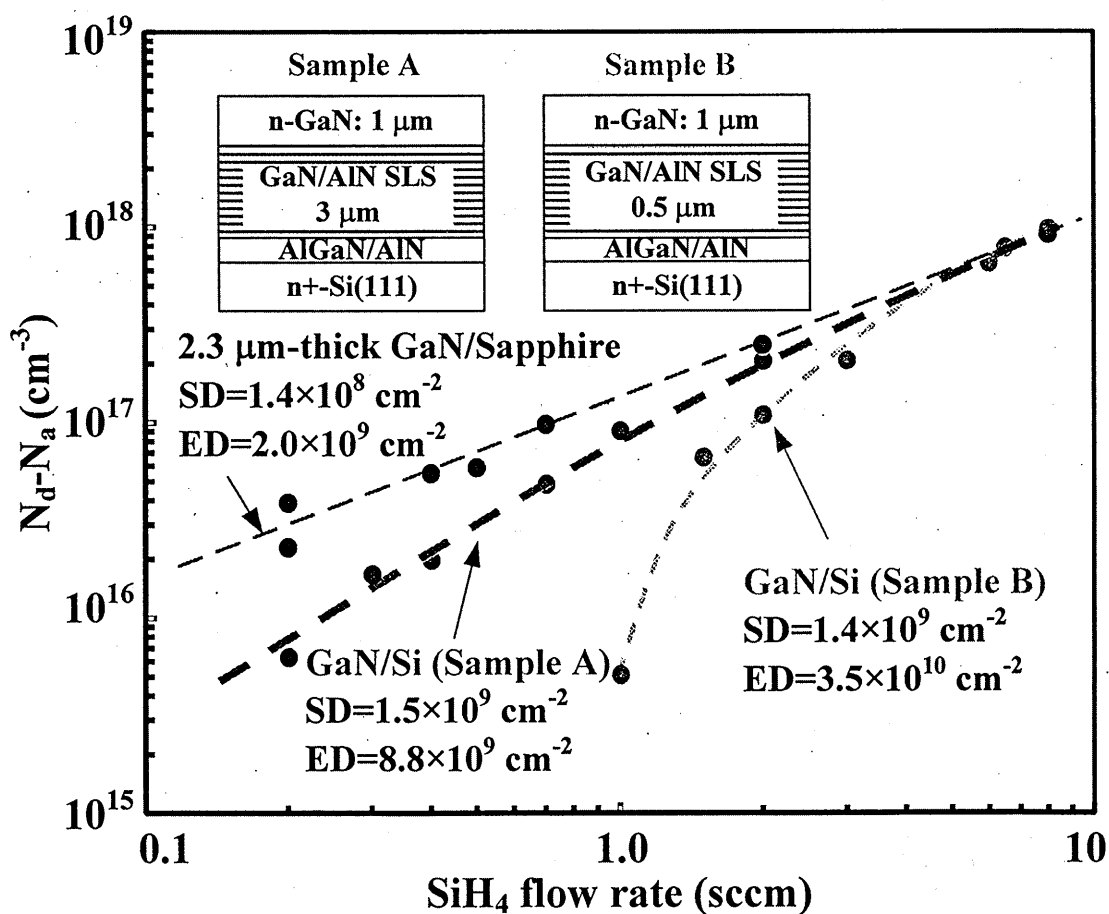


Fig. 3-9. 正味のキャリア濃度の SiH₄ 流量依存性

今回、3 μm の厚膜 SLS を持つ GaN on Si 結晶 (Sample A)、0.5 μm の薄い SLS を持つ GaN on Si 結晶 (Sample B)、比較として用意した Sapphire 基板上 GaN 結晶の 3 種類を用意し、各 SiH_4 流量に対する正味のドーピング濃度を E-CV 測定により評価した。

Fig.3-9 に示すように、SLS 層の膜厚を厚くすることで、Sapphire 上の GaN と同様に 10^{17} cm^{-3} 以下の低ドーピング濃度領域における制御性が向上していることがわかる。これが転位密度によるものか調べるために X-ray Diffraction (XRD) による半値幅の測定を行ったところ、らせん転位(Screw Dislocation : SD)についてはほとんど差が見られなかったものの、刃状転位(Edge Dislocation : ED)については一桁程度の違いが見られた。Elsner らは GaN 貫通刃状転位の欠陥が深いアクセプタ型準位を形成することを示しており [7]、これについても刃状転位周辺におけるキャリアの捕獲により薄い SLS 層を有する n-GaN のキャリア濃度が低ドーピング領域において極端に減少したものと考えられる。

縦方向伝導のためにオン抵抗増大の要因となるバッファ層についてはある程度の薄膜化は必要と考えられるが、SLS 層については低ドーピング濃度制御のために制限がかかるということが今回の実験で確認できた。

以上の実験から、厚膜 SLS と薄膜 AlN 層、そして高 Si ドープによる導電性バッファ層を実現することができた。以降において、この導電性バッファ層を用いた p-n ダイオードの作製を行った結果を示す。

3.3 Si 基板上縦型 GaN p-n ダイオードの作製

以下に縦型 GaN p-n ダイオードの作製プロセスを示す。また、プロセスフローを Fig.3-10 に示す。

⑧ 劈開

MOCVD 法により成長させたサンプルをマスクパターンに合わせ、10 mm × 15 mm の長方形型に劈開する

⑨ 素子間分離、表面処理

活性領域の分離を行うため、マスクをフォトリソグラフィーにより施し、反応性イオンエッチング(Reactive Ion Etching : RIE)装置を用いて素子間分離を行う。エッチング条件は以下の通りである。チャンバー内圧力 3.0 Pa、BCl₃ 雰囲気中(流量:10.0 sccm)、室温にて、出力 10 W の下 30 min 行う。エッチング後はレジストが硬化するため、有機洗浄後、O₂ プラズマアッシング装置によりサンプルの表面処理を行う。チャンバー内圧力 40 Pa、O₂ 雰囲気中(流量:5.0 sccm)、室温にて、出力 30 W の下、60 min 行う。

⑩ 活性化アニーリング

p-GaN は Mg の自然拡散が困難であるため、電気炉による活性化アニールを行う。有機溶媒による洗浄の後、大気圧中、N₂ 雰囲気において 800°C の温度で 30 min の間アニーリングを行う。

⑪ 絶縁膜堆積

表面の GaN 層の酸化によるデバイスの劣化を防ぐため、Atomic Layer Deposition (ALD)装置により Al₂O₃ 膜を 30 nm 堆積させた。堆積は 300 °C、プリカーサーはトリメチルアルミニウム(TMA)、キャリアガスとして N₂ を 20 sccm 流し、H₂O と O₃ を用いた交互成膜により堆積させた。

⑫ p-GaN オーミック電極の形成

アノード電極であるオーミック電極用のマスクをフォトリソグラフィーにより施し、電極部をバッファードフッ酸(Buffered HF : BHF)(HF : FNH₄ : CH₃COOH

= 1:20:7)により除去する。その後、開口部より 5 μm 広い電極用マスクをフォトリソグラフィにより施し、電極部分の GaN 表面にある酸化物を HCl により除去する。そして真空蒸着法により、オーミック電極として Ni/Au=5/60 nm を p-GaN 表面に蒸着し、その後電気炉により酸素雰囲気中にて 600 $^{\circ}\text{C}$ で 5 min アニールを行い、金属を合金化しオーミック電極を形成する。

⑬ 電極パッドの形成

電極パッド用のマスクをフォトリソグラフィにより施す。そして真空蒸着法により、電極パッドとして Ti/Au = 10/150 nm を蒸着する。

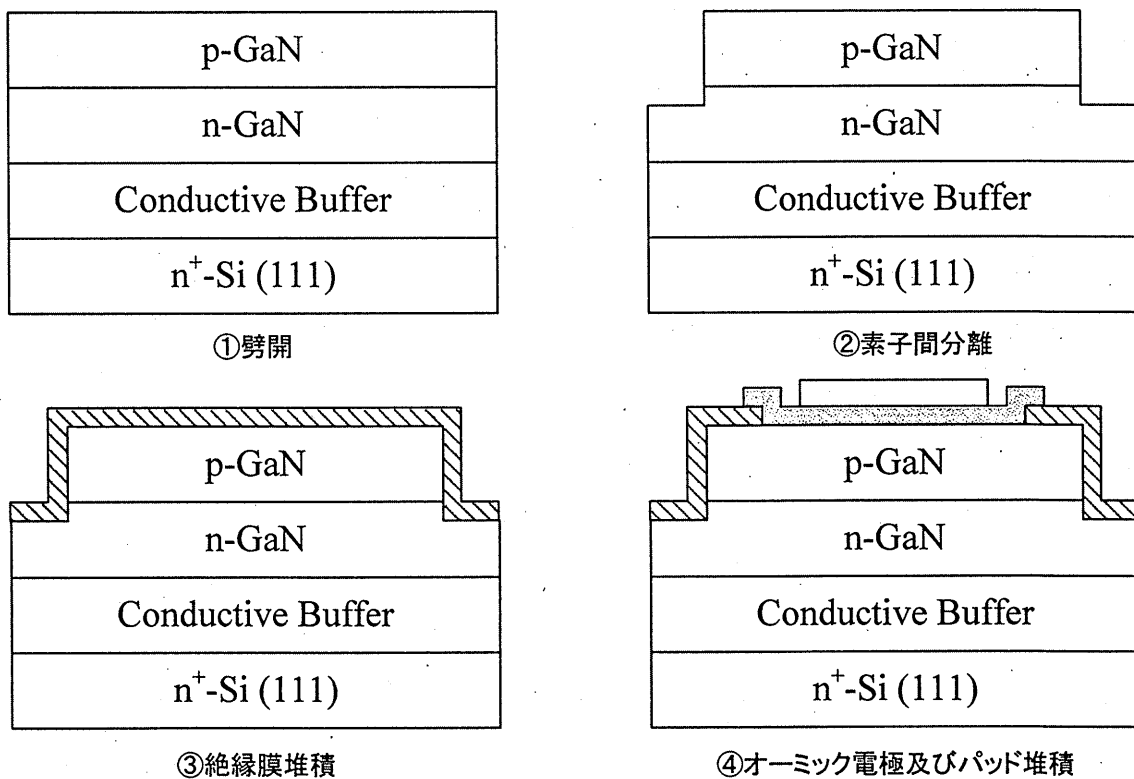


Fig. 3-10. 縦型 GaN p-n ダイオードのプロセスフロー

3.4 Si 基板上縦型 GaN p-n ダイオードの特性評価

3.4.1 縦型 GaN p-n ダイオードの結晶評価

作製した Si 基板上縦型 GaN p-n ダイオードの断面構造図を Fig.2-11 に示す。まず初めに、 $1.5\mu\text{m}$ のドリフト層膜厚を持つ GaN p-n ダイオードを作製した [8]。I-V 特性の評価のため、裏面の Si 基板に Ag ペーストを塗布し、金属基板と接合させて特性の評価を行った。デバイス特性の評価前に、まず縦型構造のための基板ができているか確かめるため、E-CV 測定によりキャリア濃度の深さ方向プロファイルを確認した。結果を Fig. 3-12 に示す。

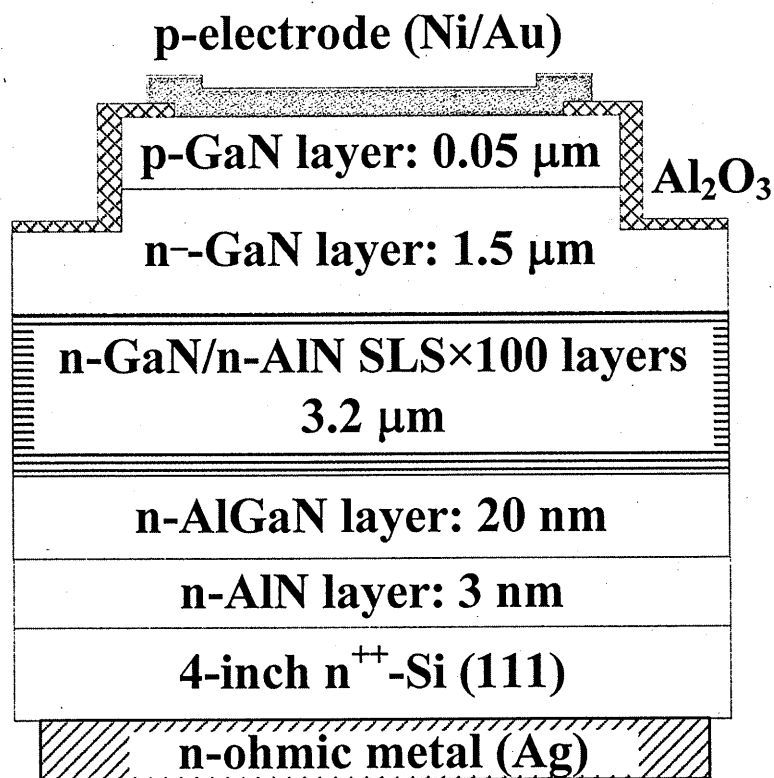


Fig.3-11. Si 基板上縦型 GaN p-n ダイオードの断面構造図

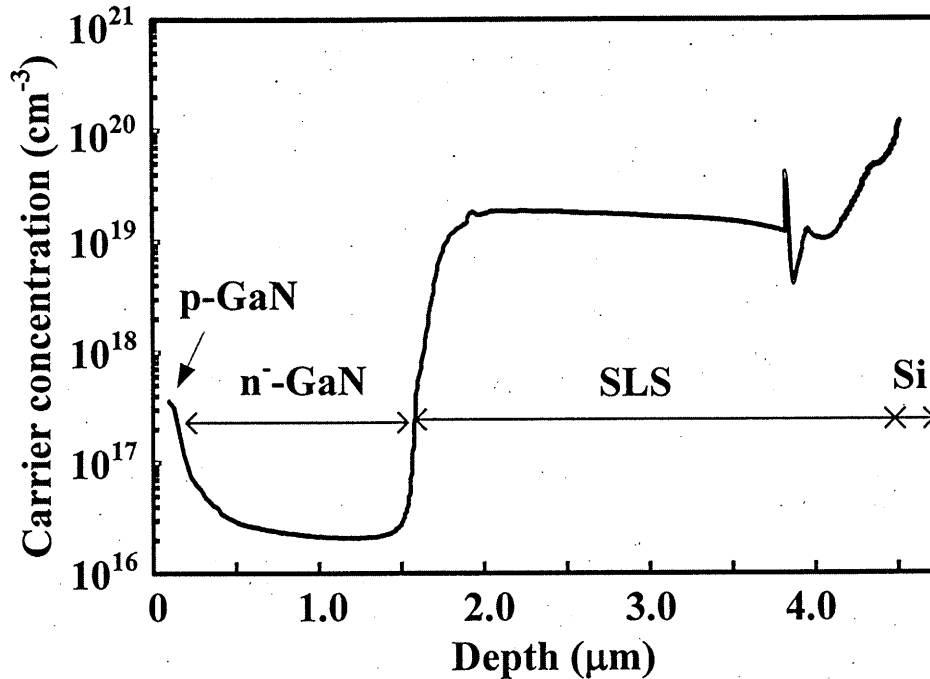


Fig.3-12. 縦型 GaN p-n iode の深さ方向のキャリア濃度プロファイル

キャリア濃度の深さ方向プロファイルから、3.2.2 節で設計した 10^{19} cm^{-3} 以上の高 Si ドーピングされた導電性バッファ層上に $2 \times 10^{16} \text{ cm}^{-3}$ の n-GaN 層、 $4 \times 10^{17} \text{ cm}^{-3}$ の p-GaN 層が形成されていることが分かる。この n-GaN 層のドーピング濃度は GaN 基板上の n-GaN 層と同程度の低ドーピング濃度を実現できており、高耐圧デバイスの実現が期待できる。Fig. 3-13 に GaN p-n ダイオードの表面 AFM 像と断面 SEM 像を示す。断面 SEM から均一な SLS 層が成長できていることが確認できており、表面状態についても表面粗さが $5 \mu\text{m}$ 四方の領域において RMS が 0.48 nm 、PV 値が 3.7 nm と良好なモフォロジーを示している。

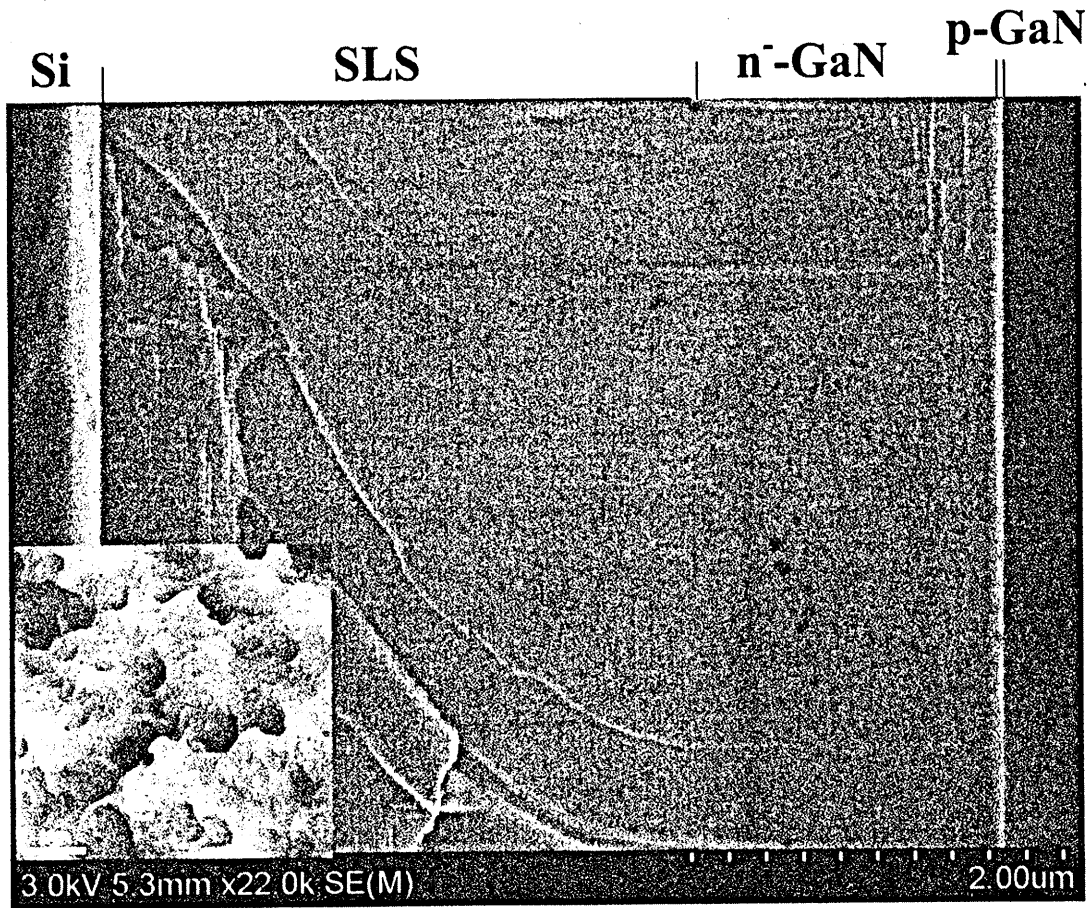


Fig. 3-13 縦型 p-n ダイオードの断面 SEM 像及び表面 AFM 像

3.4.2 縦型 GaN p-n ダイオードの I-V 特性評価

作製した Si 基板上縦型 GaN p-n ダイオードの I-V 特性を Fig.3-14 に示す。Fig. 3-14(a) から、 $1\text{A}/\text{cm}^2$ に達するときのオン電圧 V_{ON} は 3.4V であり、これは GaN のバンドギャップと同程度となっており妥当な値である。n 値は 2.3、差動オン抵抗は 7.9V と 8.0V の電流・電圧値から $7.4\text{m}\Omega\cdot\text{cm}^2$ と見積もられた。オン抵抗の主要因としては、p-GaN オーミックコンタクト抵抗、バッファ層および Si 基板の抵抗が考えられるため、バッファ層の薄膜化やプロセスの改善により低抵抗化が期待できる。

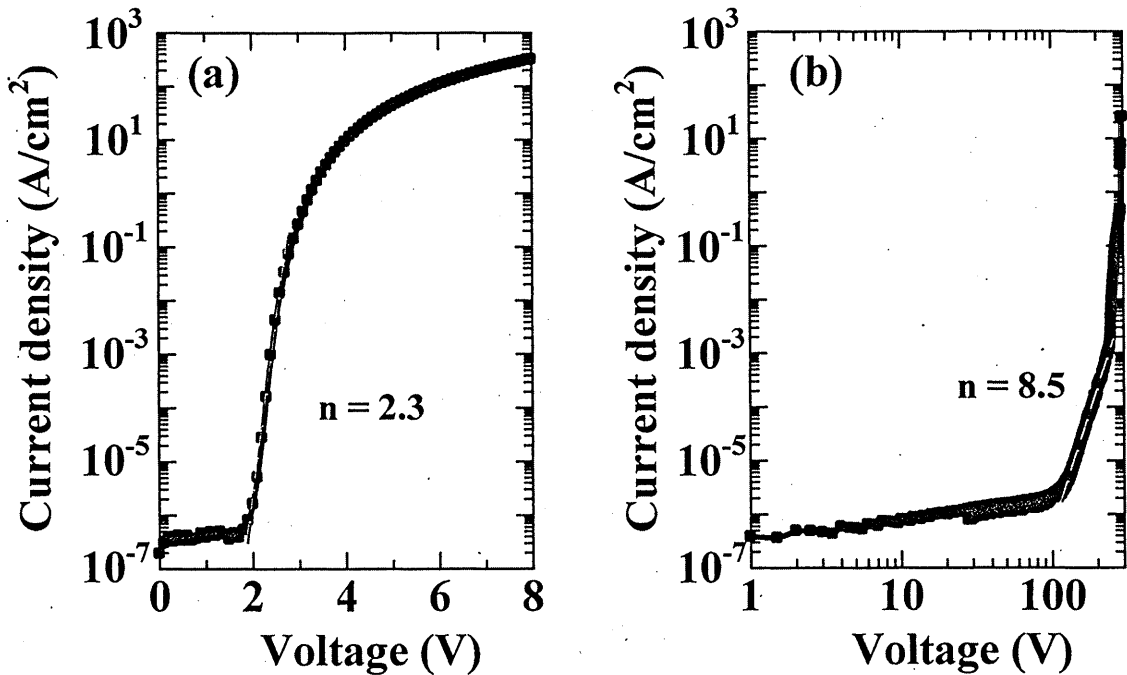


Fig.3-14. GaN p-n ダイオードの(a)順方向 I-V 特性 (b)逆方向 I-V 特性

Fig. 3-14(b)から、200Vにおける逆方向リーク電流は 1.8×10^{-4} A/cm² であり、作製時に報告されていた他の GaN on Si 縦型デバイスと比較して2桁以上の低リーク電流であることが確認できた。また、デバイスが完全破壊した時の電圧、逆方向耐圧は288 Vとなった。n⁻-GaN 膜厚である 1.5 μm を考慮して破壊電界を計算すると 192 V/μm となり、これ以前に報告されていた GaN on Si 縦型デバイスよりも高性能であることが確認できた。

逆方向リーク電流の特性として、110V程度から急峻な立ち上がりを見せており、両対数グラフにおいて $I \propto V^{8.5}$ となる直線関係が確認できた。逆方向リーク電流と電圧、もしくは電界の関係から、リーク電流の伝導機構を解析することが可能である。表 3-2 に Si 基板上 GaN デバイスにおいて過去に報告されている伝導機構と電流・電界の関係を示す [9]。このうち、trap-assisted Space Charge Limited Current (SCLC) 伝導機構は電流が電界の n 乗に比例する機構であり、今回の結果とよく一致する。よって、今回作製した p-n ダイオードにおいては、110V 以降において SCLC 伝導が支配的になっていると考えられる。

表 3-2. GaN on Si デバイスにおけるリーク電流機構と関係式

リーク電流機構	関係式
Poole-Frenkel	$I \propto \exp(E^{0.5})$
Variable Range Hopping	$I \propto \exp(E)$
Surface Leakage	$I \propto E$
Space Charge Limited Current (Trap assisted)	$I \propto E^n$ ($n > 2$, trap assisted)

3.4.3 縦型 GaN p-n ダイオードの温度特性評価

Fig.3-15 に作製した GaN p-n ダイオードの温度特性を示す。今回、ステージに搭載されているヒーターにより、サンプルの温度を室温(RT)から 200°C まで変化させ、I-V 特性の変化を確認した。

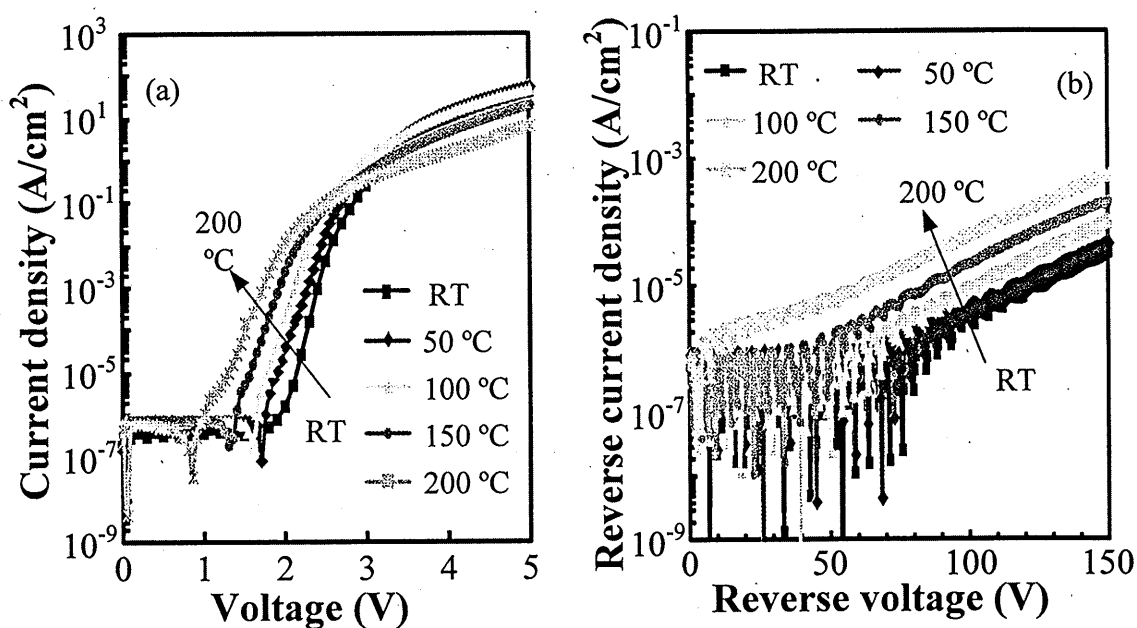


Fig. 3-15 (a)GaN p-n ダイオードの順方向 I-V 特性の温度依存性
(b)逆方向 I-V 特性の温度依存性

Fig.3-15 (a) から、温度が上がるにつれオン電圧 V_{ON} が低下し、 n 値が増大していく傾向にあることが確認できた。Fig. 3-16 に n 値及び-150V における逆方向リーク電流の温度依存性を示す。通常 p-n ダイオードの n 値は温度が上がるにつれ増大する傾向にあるが、今回作製した縦型 GaN p-n ダイオードは逆の結果となった。縦型 GaN p-n ダイオードの場合、高順方向電圧印加時における電流値が減少していく傾向にあり、これが n 値の増大を引き起こしているものと考えられる。導電性バッファ層や n^+ -Si 基板は金属と異なりドリフト層等と比較すると高抵抗であるため、バッファ層以下のシリーズ抵抗の増大による電流値の低下が発生し、それにより n 値が増大したものと考えられる。また、p-GaN オーミック電極のコンタクト抵抗、及び固有接触抵抗率は TLM 測定からそれぞれ $2.4 \times 10^3 \Omega \cdot \text{mm}$ 、 $1.1 \times 10^{-1} \Omega \cdot \text{cm}^2$ と大きな値であり、良好な p-GaN オーミック界面を形成しているとは言えない。高熱時における p-GaN オーミック電極の劣化による特性悪化の結果、 n 値が増大した可能性も示唆される。

Fig. 3-15(b) から、150V までの逆方向電圧において、温度が上昇するとともにリーク電流が増大する傾向が確認できた。Fig. 2-16 から、逆方向リーク電流は温度に対して比例して増大していく傾向にある。しかしながら、 200°C においても 150 V におけるリーク電流値は 10^{-3} A/cm^2 を下回っており、良好な特性を示している。リーク電流の線形的な温度依存性は深い準位における励起キャリアホッピング伝導、Enhanced carrier hopping が原因と考えられ [10]、これが 110V 以下の SCLC 伝導機構でないリーク電流の伝導機構であると考えられる。

リーク電流の増大は耐電圧の低下を示唆している。 200°C における耐電圧は 250 V と測定され、確かに高温動作での耐電圧の低下が確認できた。

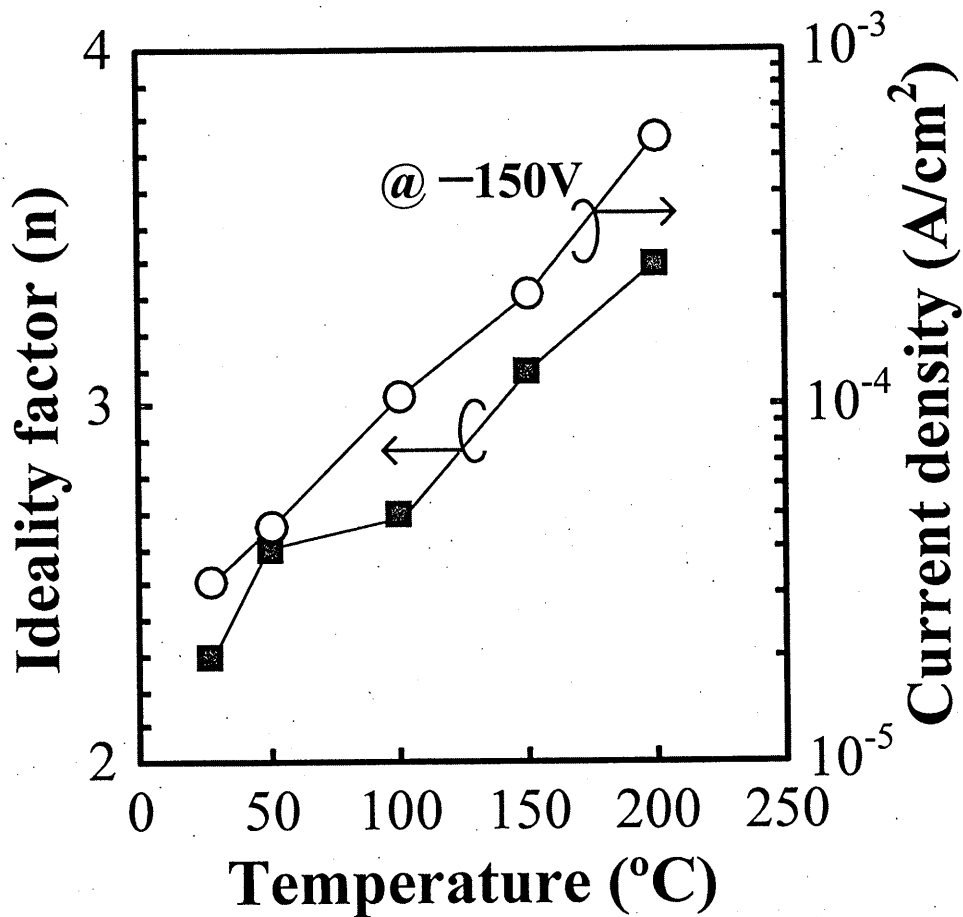


Fig. 3-16. n 値及び逆方向リーク電流の温度依存性

3.5 縦型 GaN p-n ダイオードの

性能向上に向けた取り組み

作製した Si 基板上縦型 GaN p-n ダイオードは良好な特性を示したが、更なる改善のためには耐圧の向上、及びオン抵抗の低減を図る必要がある。今回、耐圧向上に向けた取り組みであるドリフト層の厚膜化、及びオン抵抗の低減にむけたバッファ層の薄膜化について検討を行ったので、その結果を以下に示す。

3.5.1 ドリフト層の厚膜化と特性の膜厚依存性評価

デバイスの耐圧の向上手段としては、単純にドリフト層膜厚を増大させる方法がある。しかしながら、ドリフト層膜厚を単純に増大した場合、基板である

Si との間に生じる歪により成長基板にクラックが入る恐れがある。そこで私は、クラックが入らない程度に成長できる中でドリフト層膜厚を変更し、デバイスの特性を比較することでどの程度のデバイス特性の性能向上が見込めるか、また性能向上に向けて障害となるものが膜厚以外に存在するか確認を行った。Fig. 3-17 に評価のために作製したサンプルの構造図を示す。サンプルの作製プロセスは 3.3 節と同様のプロセスフローを用いた。

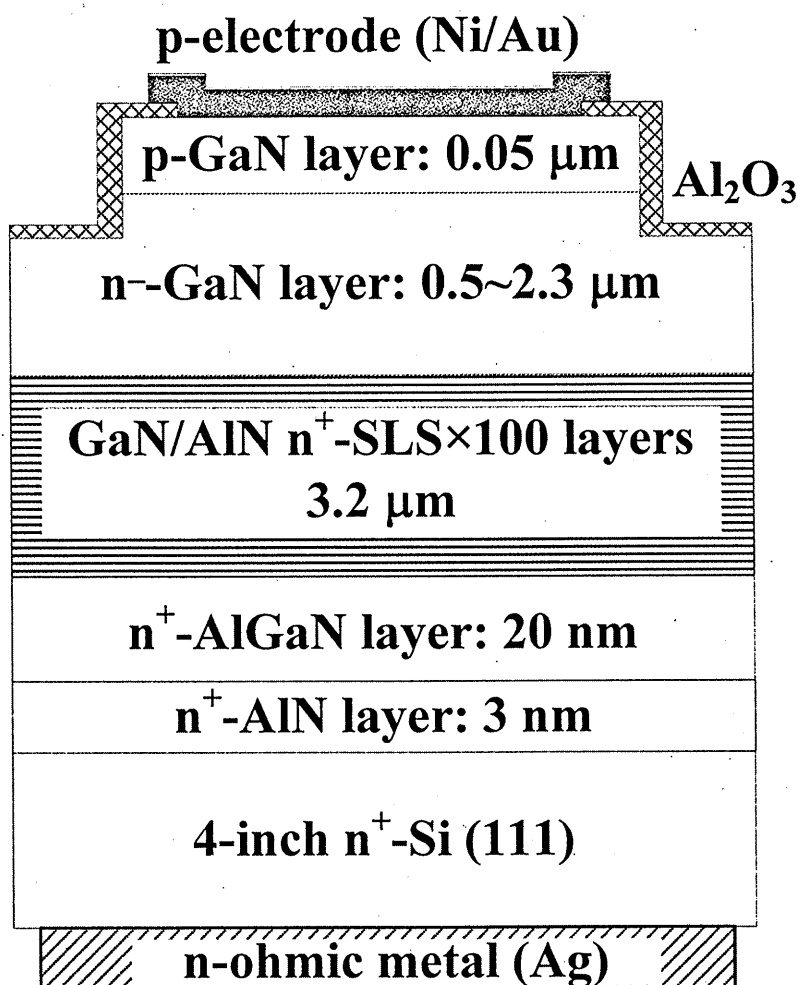


Fig. 3-17 ドリフト層膜厚を変更した GaN p-n ダイオードの断面構造図

Fig.3-18 に作製した縦型 GaN p-n ダイオードの順方向及び逆方向 I-V 特性を示す。

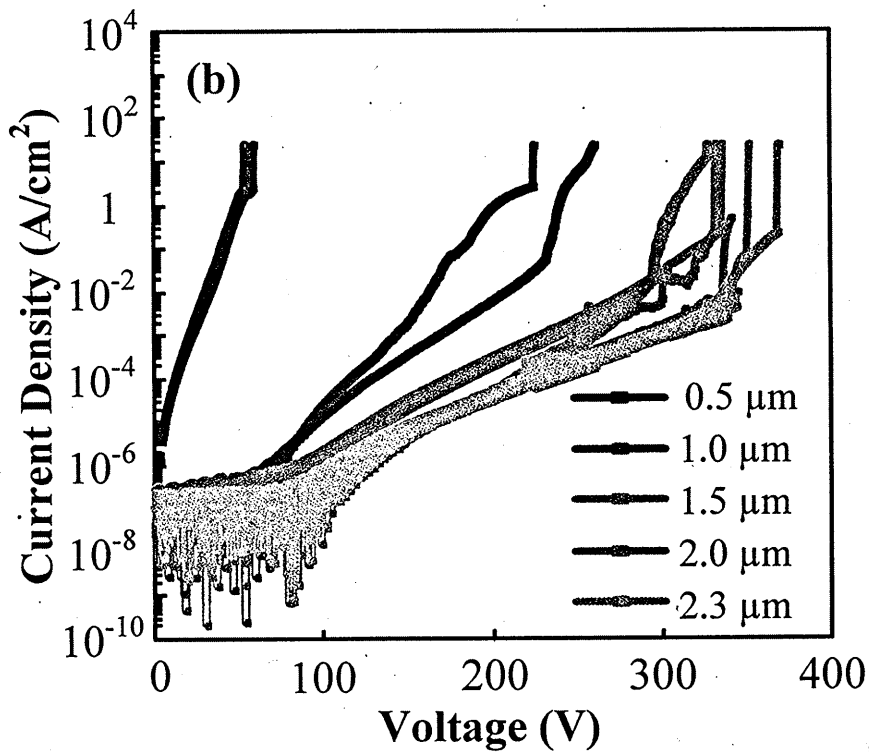
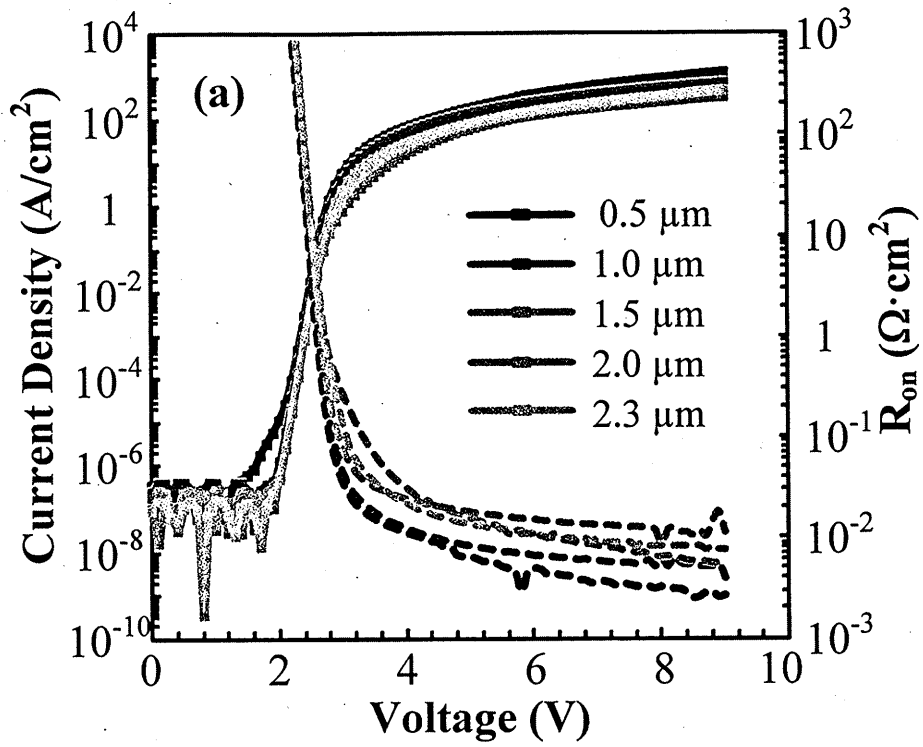


Fig.3-18 ドリフト層膜厚を変化した縦型 GaN p-n ダイオードの
 (a) 順方向 I-V 特性 および(b)逆方向 I-V 特性

GaN p-n ダイオードのオン抵抗はドリフト層膜厚を厚くするほど増大する傾向にあった。また、逆方向リーク電流はドリフト層を厚くするにつれ減少する傾向にあったが、リーク電流の低減効果には飽和傾向が見られた。

ドリフト層膜厚によるダイオード特性の変化を評価するため、9Vにおける差動オン抵抗 R_{on} 及び耐圧の膜厚依存性を Fig.3-19 に示す。

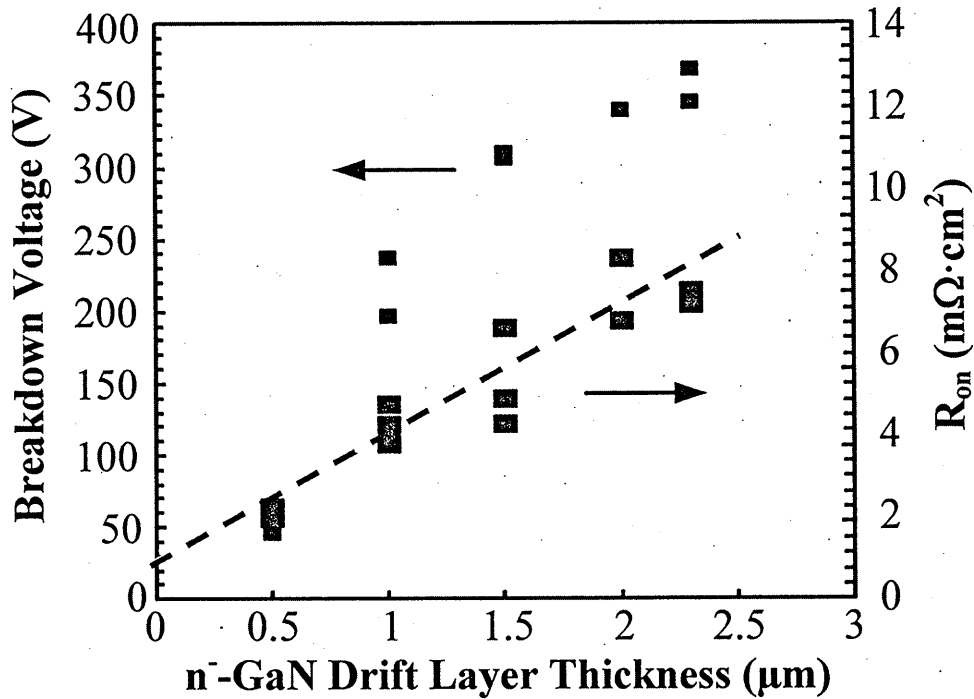


Fig. 3-19 絶縁破壊電圧及び音抵抗のドリフト層膜厚依存性

オン抵抗のドリフト層膜厚依存性には直線的な関係が見られ、n-GaN ドリフト層における抵抗値は $33\Omega \cdot \text{cm}$ 程度と見積もられる。これは n-GaN の抵抗としてはかなり高く、他の p-GaN オーミックコンタクトの不均一性があるために厚膜 n-GaN ドリフト層を用いたサンプルのオン抵抗が高くなると考える方が自然である。

また、直線の y 切片である $1\text{m}\Omega \cdot \text{cm}^2$ は p-GaN コンタクト抵抗及びバッファ層、Si 基板の抵抗値の合計となる。Si 基板は $4\text{m}\Omega \cdot \text{m}$ 程度の低抵抗であるため、この抵抗内の主要素はバッファ層及び p-GaN のコンタクト抵抗となる。しかしな

がら、p-GaN のオーミック特性は非線形であるため、9V 時における抵抗を求め
 ることは困難である。Fig. 3-20 に Si 基板上的 GaN におけるキャリア濃度と移動
 度の関係を示す。比較として Sapphire 上の GaN についても示している。

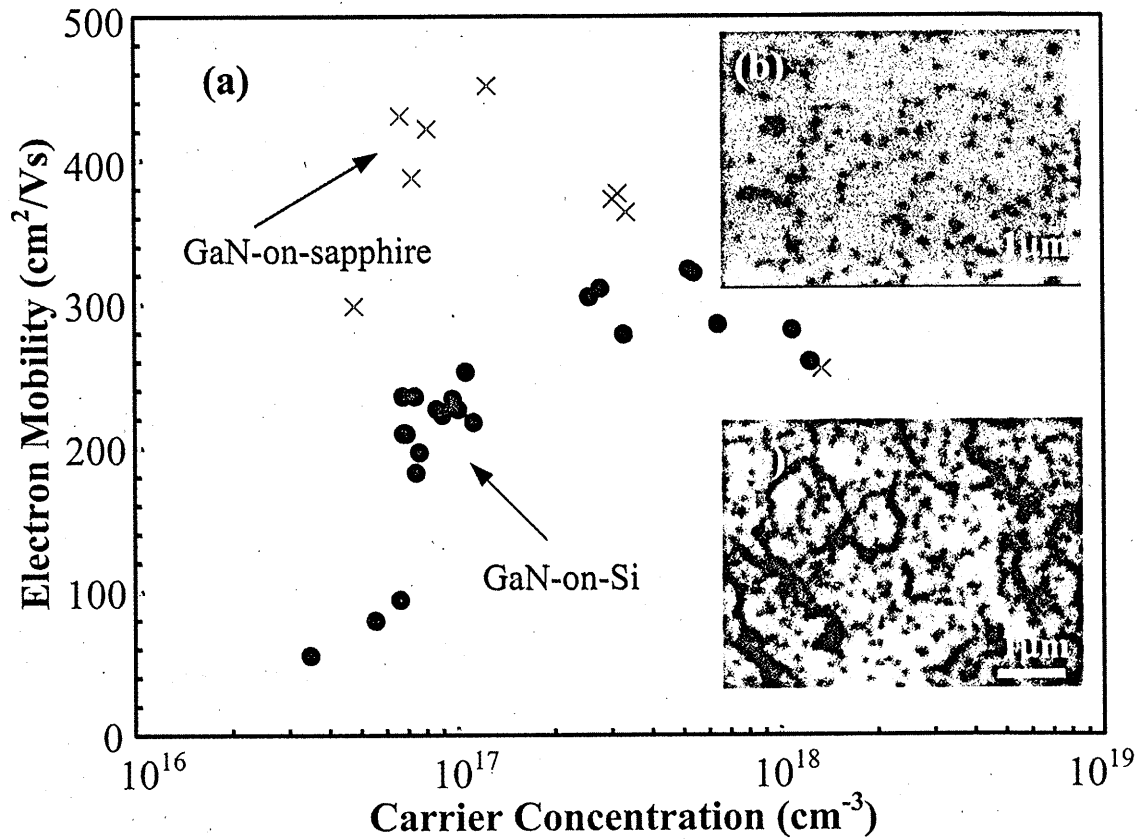


Fig. 3-20. Si 基板上及び Sapphire 基板上におけるキャリア濃度と移動度の関係

低ドーピング濃度の領域においては、Si 基板上的 GaN に存在する多量の転位
 により GaN における移動度は Sapphire 上の GaN と比較して低い移動となる傾向
 にある。高ドーピング領域においては、不純物散乱により、基板に無関係で移
 動度が下がっていく傾向にあるが、10¹⁹cm⁻³程度のキャリア濃度においてもまだ
 数十 cm²/V·s 程度の移動度を有すると考えられる。バッファ層の正確な抵抗値、
 及び移動度については線形的な特性を持つ p-GaN オーミックコンタクトを形成
 し、各層における抵抗を評価していく必要がある。

一方、耐圧特性については Fig.3-19 に示すように、膜厚を増大するにつれ絶縁破壊電圧も増大する傾向にありドリフト層膜厚 $2.3 \mu\text{m}$ における破壊電圧は 369 V となった。しかし、ドリフト層膜厚 $1.5 \mu\text{m}$ を越えると破壊電圧は飽和する傾向にあった。これは Fig. 3-21 (a)に示す電界と膜厚の関係からも読み取れる。また、らせん転位及び刃状転位と絶縁破壊電圧の関係性を Fig. 3-21 に示す。

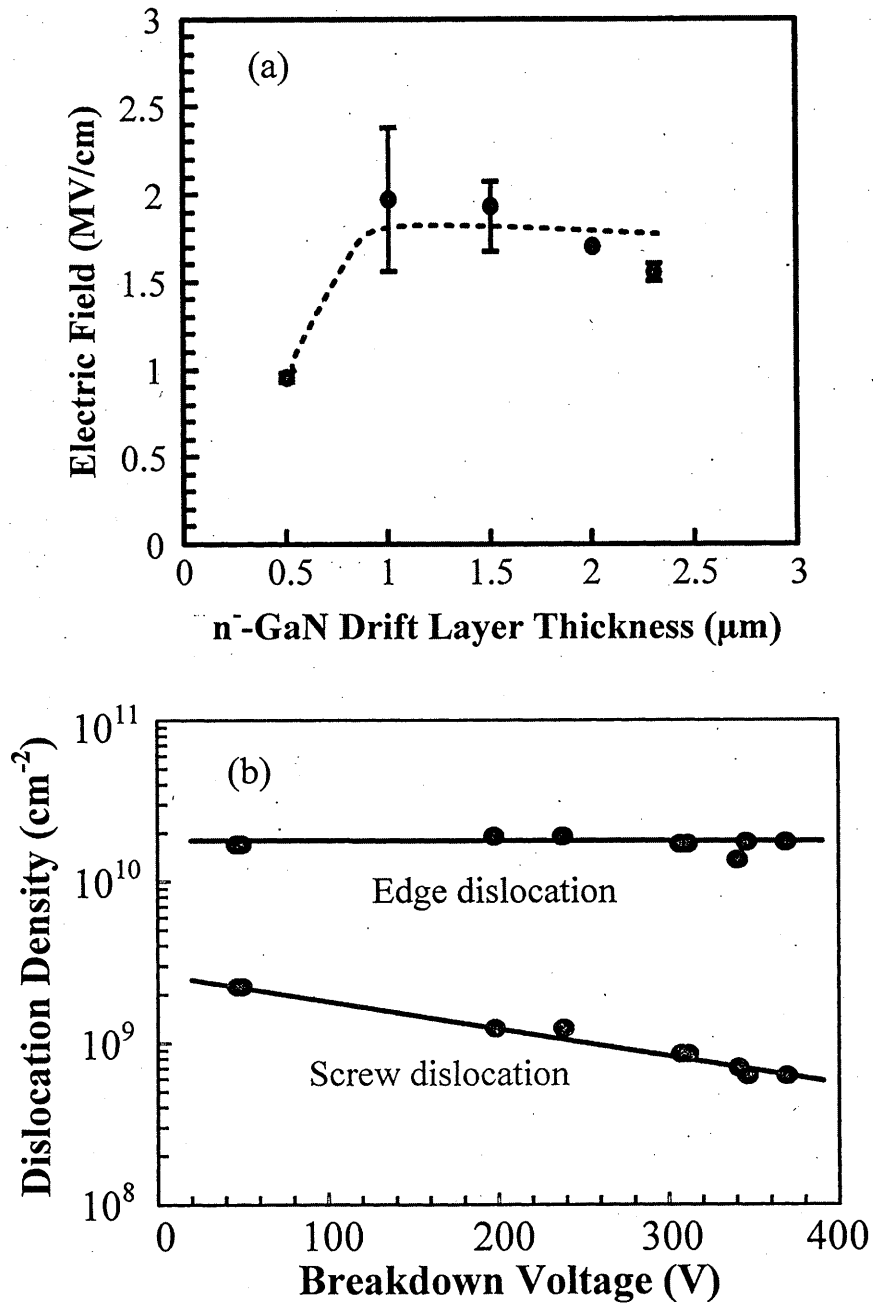


Fig. 3-21 (a) n-GaN ドリフト層内の電界と膜厚の関係及び

(b). Si 基板上 GaNp-n ダイオードにおける転位と破壊電圧の関係

刃状転位は絶縁破壊電圧に関係なく一定であるのに対し、らせん転位に関しては絶縁破壊電圧が上昇するにつれ、低い値となる傾向にあった。これはらせん転位が絶縁破壊電圧と比例的な関係にあることを示し、またドリフト層の厚膜化によって転位の低減効果が期待できることも示している。逆方向リーク電流とらせん転位の関係については過去に GaN 基板上 GaN ショットキーダイオードにおいて確認されている [11]。

今回の実験で、ドリフト層の厚膜化により絶縁破壊電圧の増加が見込まれ、またその要因は単にドリフト層膜厚の増大による最大空乏層幅の増大だけでなく、らせん転位の低減によるリーク電流の低減効果が影響していることが確認できた。

3.5.2 バッファ層の薄膜化による抵抗低減

オン抵抗低減のためには、p-GaN 層、n-GaN ドリフト層以外のシリーズ低減が必要となる。しかしながら、導電性バッファ層において SLS 層は転位の低減に欠かせず、薄膜化は難しい。また、AlN 層は 3nm 未満においてメルトバックエッチングのため転位密度の増大を引き起こしてしまう。そこで今回、AlN と SLS 層を繋ぐ AlGaIn 層についてどの程度の薄膜化が可能であるか検討を行った。本検討では、AlGaIn 層膜厚を 0 nm から 20 nm まで変化させ、転位密度、及びシリーズ抵抗の変化を確認した。Fig. 3-22 に転位密度の AlGaIn 層膜厚依存性を示す。AlGaIn 層を完全に除去した状態においても転位密度に大きな差異は見られず、AlGaIn 層を抜くことによるバッファ層の薄膜化が可能であることが示された。Fig. 3-23 に AlGaIn 層膜厚を変化させた際の縦方向 2 端子オーミック電極による I-V 特性を示す。電流値については、AlGaIn 層膜厚の依存性を確認することができなかった。これについては、AlGaIn 層膜厚のシリーズ抵抗が非常に小さく、AlGaIn 層膜厚による I-V 特性の変化よりもプロセス中のダメージ等によるシリーズ抵抗の変化が大きく寄与しているためであると考えられる。

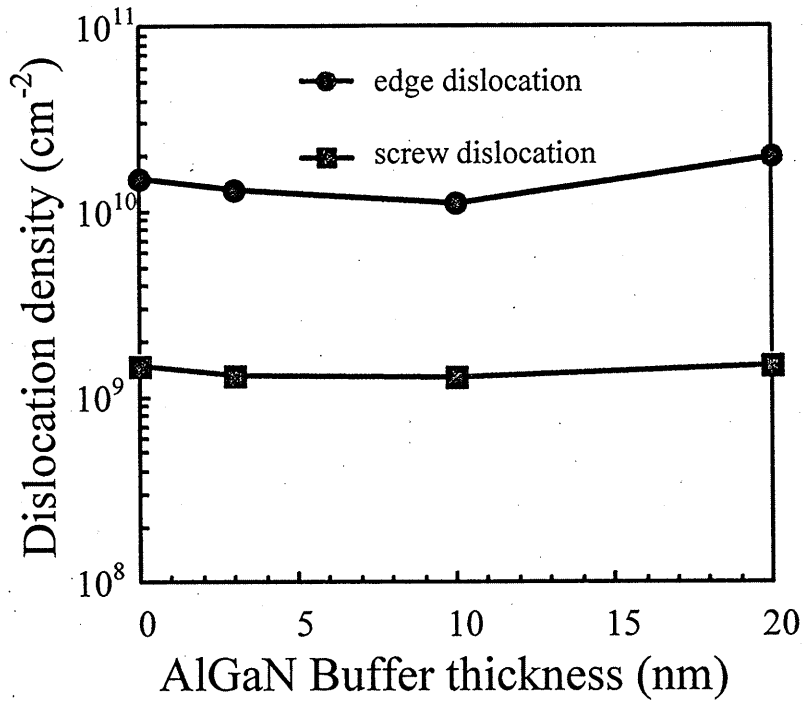


Fig. 3-22. Si 基板上 GaN p-n ダイオードにおける転位と破壊電圧の関係

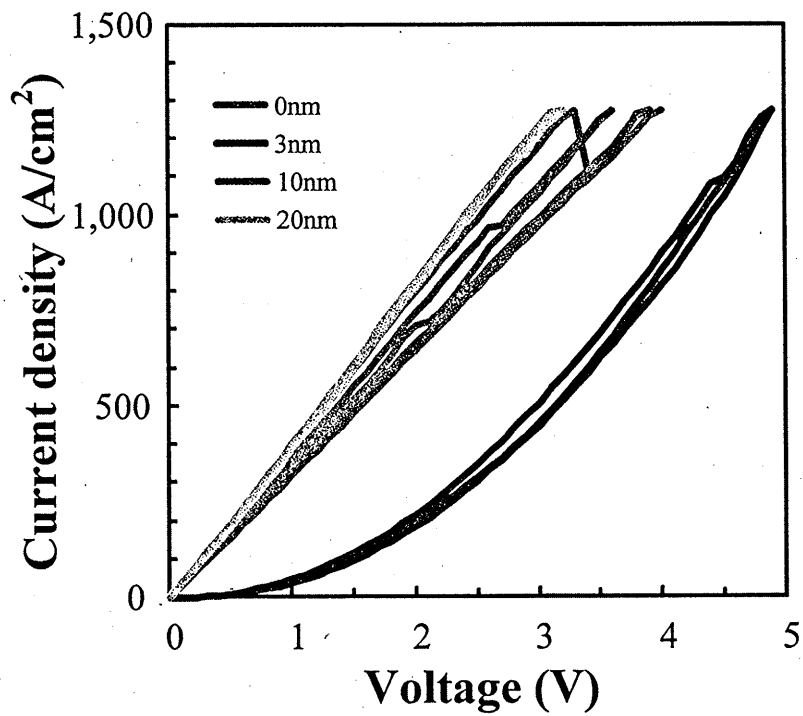


Fig. 3-23. AlGaIn 層膜厚を変化させた際における縦方向 I-V 特性

3.6 まとめ

本研究では、Si 基板の低コスト性を活かした縦型 GaN 系デバイス実現のため、高 Si ドープと薄膜 AlN 層を用いた導電性バッファ層を考案し、縦型 GaN p-n ダイオードを Si 基板上で実現することができた。

追検討として、ドリフト層膜厚依存性の評価から、ドリフト層膜厚を増大させる程破壊電圧 BV を増大させることができ、またこれはらせん転位の低減によるリーク電流の低減効果が寄与していることが確認できた。導電性バッファ層の更なる低抵抗化のために AlGaN バッファ層の膜厚依存性を評価したところ、転位密度は AlGaN 層を除去しても増大する傾向は見えず、AlGaN 層除去によるシリーズ抵抗の低減を図ることができた。しかしながら、この低減効果は他のシリーズ抵抗と比較すると小さな値であるため、導電性バッファ層を用いた縦型 GaN on Si デバイスの更なる特性向上には p-GaN オーミックコンタクトの改善やらせん転位の低減が課題となる。

参考文献

- [1] Y. Mori, M. Imade, K. Murakami, H. Takazawa, H. Imabayashi, Y. Todoroki, K. Kitamoto, M. Maruyama, M. Yoshimura, Y. Kitaoka, T. Sasaki, "Growth of bulk GaN crystal by Na flux method under various conditions," *Journal of Crystal Growth*, vol. 350, issue. 1, pp. 72–74, 2012.
- [2] M. Amilusik, T. Sochacki, B. Lucznik, M. Fjialkowski, J. Smalc-Koziorowska, J. L. Weyher, H. Teisseyre, B. Sadovyi, M. Bockowski, and I. Grzegory, "Homoepitaxial HVPE-GaN growth on non-polar and semi-polar seeds," *Journal of Crystal Growth*, vol. 403 issue 1, pp. 48–54, 2014.
- [3] A. Nishikawa, K. Kumakura, T. Akasaka, and T. Makimoto, "High critical electric field of Al_xGa_{1-x}N p-i-n vertical conducting diodes on SiC substrates," *Appl. Phys. Lett.*, vol. 88, issue 17, pp. 173508-1-173508-3, 2006
- [4] Y. Zhang, M. Sun, D. Piedra, M. Azize, X. Zhang, T. Fujishima, and T. Placios, "GaN-on-Si Vertical Schottky and p-n Diodes," *IEEE Elec. Dev. Lett.*, vol. 35, no. 6. pp. 618-620, 2014.
- [5] X. Zou, X. Zhang, X. Lu, C. W. Thang, and K. M. Lu, "Fully Vertical GaN p-i-n Diodes Using GaN-on-Si Epilayers," *IEEE Elec. Dev. Lett.*, vol. 37, no. 5. pp. 636-639, 2016.
- [6] H. Ishikawa, B. Zhang, T. Egawa, and T. Jimbo, "Valence-Band Discontinuity at the AlN/Si Interface," *Jpn. J. Appl. Phys.*, vol. 42, no. 10. pp. 6413-6414, 2003.
- [7] J. Elsner, R. Jones, M. I. Heggie, P. K. Sitch, M. Haugk, Th. Frauenheim, S. Oberg, and P. R. Briddon, "Deep acceptors trapped at threading-edge dislocations in GaN," *Phys. Rev. B*, vol. 58, issue. 19. pp. 12571-12574, 1998.
- [8] S. Mase, Y. Urayama, T. Hamada, J. J. Freedman, and T. Egawa, "Novel fully vertical GaN p-n diode on Si substrate grown by metalorganic chemical vapor deposition," *Appl. Phys. Express.*, vol. 9, no. 11. pp. 111005, 2016.
- [9] Y. Zhang, H. -Y. Wong, M. Sun, S. Joglekar, L. Yu, N. A. Braga, R. V. Mickevicius, and T. Palacios, "Design space and origin of off-state leakage in GaN vertical power diodes," *IEDM Tech. Dig.*, 2014, p. 157

- [10] C. Zhou, Q. Jiang, S. Huang, and K. J. Chen, "Vertical leakage/breakdown mechanisms in AlGaIn/GaN-on-Si devices," *IEEE Elec. Dev. Lett.*, vol. 33, no. 8, pp. 1132-1134, 2012
- [11] J. W. P. Hsu, M. J. Manfra, D. V. Lang, S. Richter, S. N. G. Chu, A. M. Sergent, R. N. Kleiman, L. N. Pfeiffer, and R. J. Molnar, "Inhomogeneous spatial distribution of reverse bias leakage in GaN Schottky diodes," *Appl. Phys. Lett.*, vol. 78, no. 12, pp. 1685-1687, 2001

第4章 総括

本研究では、次世代のパワーデバイスとして期待される Si 基板上 GaN 系デバイスの欠陥解析、そして縦型デバイス構造の設計及び作製について検討を行った。

以下に、2 章から 3 章の主な結論を述べる。

第 2 章では、GaN デバイスの結晶欠陥解析手法として、容量解析からの本質的なトラップの同定を、そして実デバイスにおける局所領域のキャリア捕獲・放出の挙動を新たな手法で観察した。2.2 節では、bias-Controllable Field Plate (CFP) 電極を用い、パルス動作中における過渡ドレイン電流の変化から Field Plate 電極下のみの解析を試みた。線形領域のパルス波形に CFP 電極により瞬間的な電位の変化を与えたところ、キャリアの捕獲・放出現象と考えられる過渡ドレイン電流の変化が観察できた。温度特性からトラップの同定を行ったところ、活性化エネルギー 0.083 eV、捕獲断面積 $2.0 \times 10^{-24} \text{ cm}^2$ のトラップ準位が起源であることが分かった。放出過程において、SRH モデルに乗っ取った単なる伝導帯へのキャリア放出だけでなく、その後 2D-VRH モデルに乗っ取ったホッピング伝導によりキャリアが輸送されていることが分かった。0.083 eV という小さな準位でも数十から数百 μs という時間を放出に要するため、比較的浅い準位についても実デバイスのパルス I-V 特性に影響を与えることが分かった。このトラップ準位は、同じ SiN_x 膜を利用した AlGaIn/GaN HEMT のゲートリーク電流の起源である表面のトラップ準位と同一であると考えられ、単にキャリアの捕獲・放出中心としてだけでなく、ゲートリーク電流のパスとしても働くことが分かった。2.3 節では、容量解析からのトラップ準位の同定としては、DLTS 法により、Si 基板上に存在するトラップ準位が成長方法によりどのように変化するかについて評価した。上部ドリフト層の V/III 比を変更した GaN ショットキーダイオードについて DLTS 法によるトラップ解析を行ったところ、 $E_c - 0.86 \sim 0.89 \text{ eV}$ に存在する転位関連の欠陥準位密度が V/III 比に大きく影響するこ

とが分かった。これは GaN 基板のようなホモ基板においても確認でき、MOCVD 成長中における転位の発生機構が V/III 比によるものであることが分かった。GaN 基板上 GaN のパルス幅依存性から確かに転位関連の欠陥であることが同定でき、また GaN 基板上 GaN 結晶の断面 TEM 観察から、結晶成長初期段階において転位が発生していることが確認できた。これは Ni を起点として転位が発生している可能性があり、成長初期段階における V/III 比の取り扱いには注意が必要であるということが分かった。

第 3 章では、疑似縦型でなく、基板転写技術のような追加プロセスの無い Si 基板の低コスト性を活かした純粋な縦型 GaN 系デバイス構造を高 Si ドープと AlN 層の薄膜化による導電性バッファ層を取り入れることで、世界で初めて実現した。縦型構造は AlN 層の薄膜化、厚膜 SLS 層での転位密度の低減効果によるドリフト層の低ドーピング濃度制御、そして高 Si ドーピングによる低抵抗化の 3 要素技術により実現した。作製した縦型 GaN p-n ダイオードは既報告の Si 基板上 GaN 縦型 p-n ダイオードと同程度の性能を示し、低コスト性やチップ面積の観点から優位に立っている。ドリフト層の膜厚依存性評価結果から、膜厚を増大するにつれ耐電圧が増大する傾向を確認でき、ドリフト層膜厚 2.3 μm を有する GaN p-n ダイオードにおいて 369 V の耐電圧を示した。ドリフト層膜厚が増大するにつれ、耐電圧は飽和する傾向にあったが、これはらせん転位密度との線形的な関係性が存在するためであり、らせん転位の低減により更なる性能向上が見込めることが分かった。また、導電性バッファ層における AlGaIn 層を除去することでシリーズ抵抗の低減を図ることができた。このシリーズ抵抗値は測定が困難なほどに小さく、更なるオン抵抗の低減には p-GaN オーミックコンタクトの改善が必要であることが分かった。

