

1. Si 基板上縦型 GaN MOSFET の試作とその  
特性改善に関する研究  
(Fabrication and study of characteristic  
improvement of vertical GaN MOSFET on Si  
substrate)

# 第1章 序論

## 1.1 はじめに

近年の電子・通信・情報技術の発展は著しく、特に半導体を中心とする材料・デバイス技術、光ファイバ、衛星通信などの伝送及びネットワーク技術、コンピューターを中心とする情報技術の進歩には目覚ましいものがある。

半導体の歴史は 1874 年に F.Braun によって整流作用が発見されたときから始まる。金属と半導体である硫化鉛の接触により、電流電圧特性の非直線性であることを発見した。その後、1947-1948 年にかけてトランジスタが発明された。1950 年代に入ると電界効果トランジスタ(FET : field effect transistor)が発明された。そして 1958 年に IC が、1960 年代には MOSFET(metal-oxide-semiconductor FET)が開発されると、CMOS(complementary MOS)と呼ばれる集積回路技術が確立され、現在の主流となっている。その後トランジスタのスケーリングが進み、性能が向上した。

現在主に用いられている半導体材料は Si(シリコン)である。Si は O(酸素)に次いで地球上に多く存在する元素であり、資源としてはほぼ無尽蔵に近い。そのため価格も比較的安価であり、加工・結晶成長などの技術も進んでいる。しかし、現代では性能面でニーズに答えることが難しくなっており、新たな半導体材料が求められている。

一方で、Si に代わる次世代の半導体材料の GaAs、GaP、InP などの化合物半導体の研究も盛んである。化合物半導体は Si と違い直接遷移であり、移動度が高いため発光ダイオードや高周波、大電力のトランジスタに用いられていた。さらに現在では GaN, AlN, SiC などを用いたワイドギャップ半導体が開発されている。これらの半導体は Si と比較して(1)バンドギャップが大きい、(2)飽和電子速度が大きい、(3)絶縁破壊電界が大きい等の利点を持つ。

表 1.1 に主要なワイドギャップ半導体と Si の特性を示す。

表 1.1 III族窒化物半導体の諸特性

|     | バンドギャップ<br>[eV] | 格子定数<br>[Å] | 絶縁破壊電界<br>[MV/cm] | 電子移動度<br>[cm <sup>2</sup> /V · s] | 熱伝導率<br>[W/cm · K] |
|-----|-----------------|-------------|-------------------|-----------------------------------|--------------------|
| Si  | 1.1             | 5.43        | 0.3               | 1350                              | 1.5                |
| GaN | 3.39            | a=3.189     | 3.3               | 900                               | 2.0~3.0            |

|        |     |          |     |     |     |
|--------|-----|----------|-----|-----|-----|
|        |     | c=5.185  |     |     |     |
|        |     | a=3.073  | 3.0 |     |     |
| 4H-SiC | 3.2 | c=10.053 |     | 720 | 4.5 |

本研究ではワイドギャップ半導体の中でも GaN に着目した。GaN は室温でのバンドギャップが 3.39 eV、絶縁破壊電界は 3.3 MV/cm であり、Si の約 10 倍ほど大きい。また電子移動度も大きく、飽和ドリフト速度は  $2.7 \times 10^7$  cm/V・s である。GaN は SiC と比較すると熱伝導率を除いていずれの数値も SiC を上回っている。しかし、熱伝導率の大きい SiC は周波数の低い大電力のデバイス分野では優位性がある。また、As(ヒ素)などの体に有害な材料を必要としない環境対応デバイスとしても期待されている。

## 1.2 GaN の結晶成長

### GaN の成長法

GaN 等のⅢ族窒化物半導体は融点が高く、融点での窒素の分解蒸気圧が高いために、チョクラルスキー法などの融液からバルク結晶を成長させる方法は極めて難しい。このため、溶液や競う状態のⅢ、V族原料を反応させて結晶を適切な基板上にエピタキシャル成長させることによって単結晶を得る。

GaN の単結晶精製にはエピタキシャル成長法が主に用いられている。エピタキシャル成長法とは既存の基板表面に新たに目的の結晶を成長する手法であり、元となる基板と同一の結晶を成長する「ホモエピタキシャル成長」と異種の結晶を成長する「ヘテロエピタキシャル成長」に大別される。

GaN のエピタキシャル成長法としては液相成長法(LPE)、ハイドライド気相成長法(HVPE)、分子線エピタキシ法(MBE)、有機金属気相成長法(MOCVD)等がある。このうち、本研究では MOCVD 法を用いた。

### 有機金属気相成長(MOCVD)法

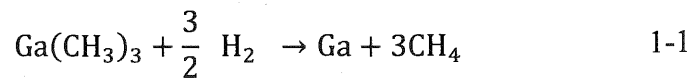
MOCVD 法は気化させた原料材料を高温の成長炉に供給し、元となる基板の上に堆積させる成長手法である。MOCVD 法は先に述べたその他の方法に比べ以下の様な特徴を持つ。

1. 原料ガスの流量制御のみで結晶の膜圧・組成を変更できる
2. 成膜速度が比較的速く、一度に大面積の結晶を生成できるため生産性に優れる
3. 成長過程に高真空を必要としないため装置の小型化が可能であり、かつメンテナンスが容易である

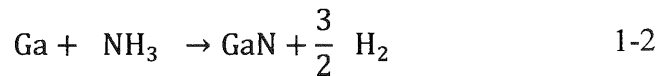
エピタキシャル成長時のⅢ族原料としては有機金属が用いられる。これは単体の金属元素に比べ有機金属の方が高い飽和蒸気圧を持つためである。中でも特に高い蒸気圧を持つメチル化合物またはエチル化合物が用いられることが多い。一方Ⅴ族原料としては NH<sub>3</sub> 等の水素化合物が用いられる。これらⅢ族およびⅤ族原料は成長炉中で高温に加熱され、500 度以上でⅢ-Ⅴ族化合物半導体を生成する。以下では本実験で用いた Ga(CH<sub>3</sub>)<sub>3</sub> (Tri methyl gallium : TMG) と NH<sub>3</sub> の反応を例にとって反応過程を示す。

まず成長炉中で高温に熱せられた TMG は式

表 1.11-1 に示す熱分解反応を起こす。



この反応によって生じた Ga が NH<sub>3</sub> と式 1-2 のように反応することで GaN の単結晶膜が得られる。



### 1.3 GaN の成長構造

#### 成長基板

単結晶の GaN 基板は非常に高価なため GaN のエピタキシャル成長には通常サファイア基板、Si 基板が使われることが多い。しかし異種基板上に GaN を成長させる場合、その格子定数の差から格子ミスマッチが発生してしまい成長の妨げとなる。

表 1.2 に各材料の格子定数を示す。

表 1.2 基板材料の格子定数

|          | 結晶構造    | a 軸格子定数[Å] |
|----------|---------|------------|
| GaN      | ウルツライト型 | 3.189      |
| Sapphire | ウルツライト型 | 4.758      |
| Si       | ダイヤモンド型 | 5.431      |

以下ではサファイア基板上、Si 基板上のそれぞれについて GaN がどのように成長するのかを述べる。

(i) サファイア基板上での GaN の結晶成長

サファイア、GaN はともにウルツライト型の結晶のためサファイアの c 面に GaN を成長させる場合、GaN の成長面は(0001)面となる。このときサファイアと GaN の間には約 1.569[Å]の格子ミスマッチが存在する(

表 1.2)。このミスマッチの影響で GaN の a 軸はサファイアの a 軸に対して 30° 傾いた状態で成長していく。このときの格子不整合率 $\Delta a$ は式 1-3 で求められ 16.1%となる。

$$\Delta a = \frac{a_{\text{GaN}} - \frac{a_{\text{Sapphire}}}{\sqrt{3}}}{\frac{a_{\text{Sapphire}}}{\sqrt{3}}} = 16.1 \text{ [%]} \quad 1-3$$

(ii) Si 基板上について

Si はダイヤモンド型構造の結晶であるため、Si 基板上に GaN を成長させる場合 Si の(111)面に GaN が成長する。このときの格子不整合率 $\Delta a$ は式 1-4 で求められ 17.0%となる。

$$\Delta a = \frac{a_{\text{GaN}} - \frac{a_{\text{Si}}}{\sqrt{2}}}{\frac{a_{\text{Si}}}{\sqrt{2}}} = 17.0 \text{ [%]} \quad 1-4$$

このように Si、サファイアと GaN の間には大きな格子不整合が存在する。そのため異種基板上に直接 GaN を成長すると GaN に応力が生じ、表面にクラックが生じてしまう。これを防ぐため基板と GaN の間に中間層を形成する技術が長年研究されてきた。以下では現在中間層として用いられているもののうち代表的なものについて構造と効果を述べる。

#### 低温堆積緩衝層(LT-GaN)

LT-GaN を用いた低温堆積層は基板直上に本来の GaN の成長温度よりもかなり低い温度(500 度付近)で GaN を成長させたものである。

図 1.1 に低温堆積層を用いた場合の成長時間と基板表面温度の関係を示す。

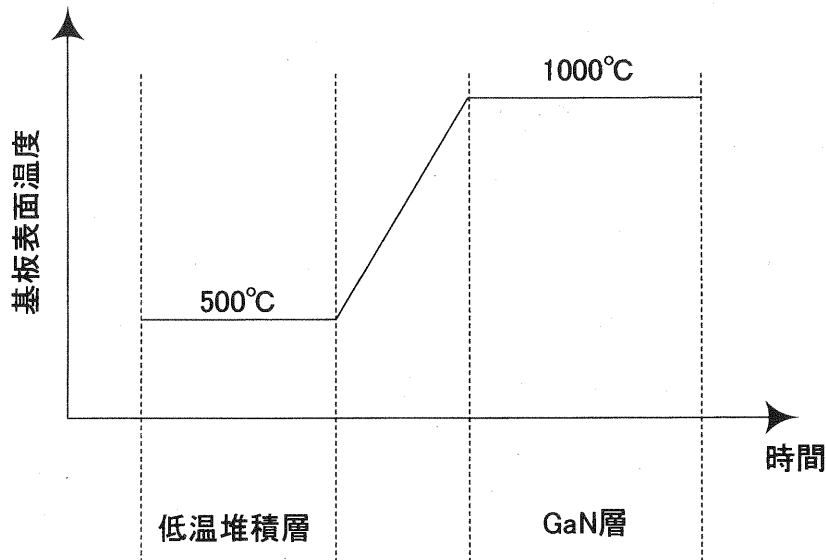


図 1.1 低温堆積層を用いた場合の基板温度の推移

堆積直後の緩衝層は数 nm 程度の微粒子で構成される。堆積後、基板表面温度を上昇させていくと、微粒子同士の界面に原子が拡散し次第に微粒子が大きく成長・配向していく。さらに升温すると特に(0001)面上で原子層がステップフロー的に 1 層ずつ昇華し、最終的に結晶方位の揃った面が形成される。この緩衝層の上ではステップフロー成長が容易に行えるため、緩衝層を用いて成長した GaN の表面は原子レベルで平坦となる。

この緩衝層の開発により平坦かつ電気的特性、光学的特性の優れた GaN 結晶が得られるようになった。低温堆積中間層は主にサファイア基板上でのエピタキシャル成長で用いられる。

### AlN 中間層

上述の低温堆積緩衝層は Si 基板上のエピタキシャル成長では用いることができない。Si 基板上に GaN を直接成長すると Si と Ga が合金化し、メルトバックエッチングが生じてしまうためである。このため、Si 基板上での成長には結合エネルギーの強い AlN を用いた中間層が使われる。AlN 中間層はその成長温度によって(1)低温 AlN 中間層と(2)高温 AlN 中間層に大別される。

初期中間層として用いられる AlN 中間層は、材料に Si とのバンドギャップ差が大きい AlN を用いているため、直列抵抗を増加させる一因となる。

図 1.2 に XPS 測定により求めた AlN/Si 接合界面におけるバンド図を示す。

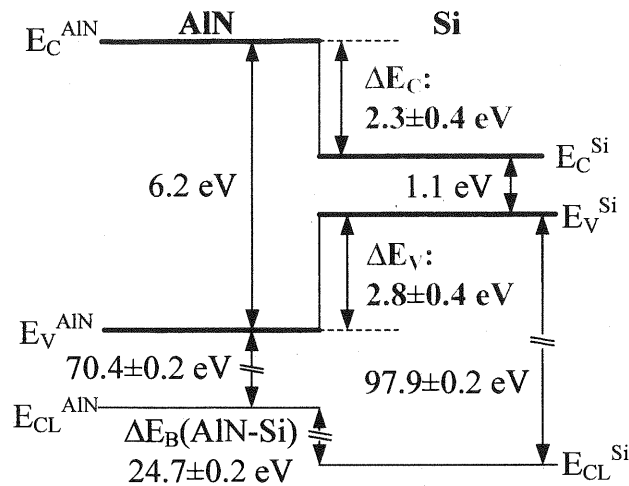


図 1.2 AlN、Si 接合界面のバンドギャップの差

図 1.2 に示すように AlN、Si 間には、伝導帯: $2.3 \pm 0.4 \text{ eV}$ 、価電子帯: $2.8 \pm 0.4 \text{ eV}$  のエネルギー差がある。縦方向に電流を印加した際にはこのエネルギー障壁がキャリアの伝搬を阻害し、直列抵抗を増加させる要因となる。

### 歪超格子層(SLS)

歪超格子層(Strained Layer Superlattice: SLS)は Si 基板上への GaN 成長時に用いられる中間層である。これは格子歪由来の応力を利用した中間層であり、格子定数の異なる 2 種類の材料を超格子のスケールで周期的にコヒーレントに成長した多層膜構造をとる。成長構造に歪超格子層を導入することで

1. GaN 層に印加される引張応力の低減
2. 貫通転位の抑制

の 2 つの効果を期待できる。

#### 1.3.1.1 引張応力の低減効果

Si 基板上に成長した GaN 結晶は、最終的に Si と GaN の熱膨張係数差に由来した引張応力をうけサンプル全体が下に凸型にそる。

図 1.3 に成長時のウェハ形状と温度の関係を示す。GaN の成長温度である約  $1000^\circ\text{C}$  から室温に降温するにしたがって、熱膨張係数差の大きい GaN が縮み引張応力が印加される。結果次第にウェハ全体がそっていき、最終的に下に凸型となる。

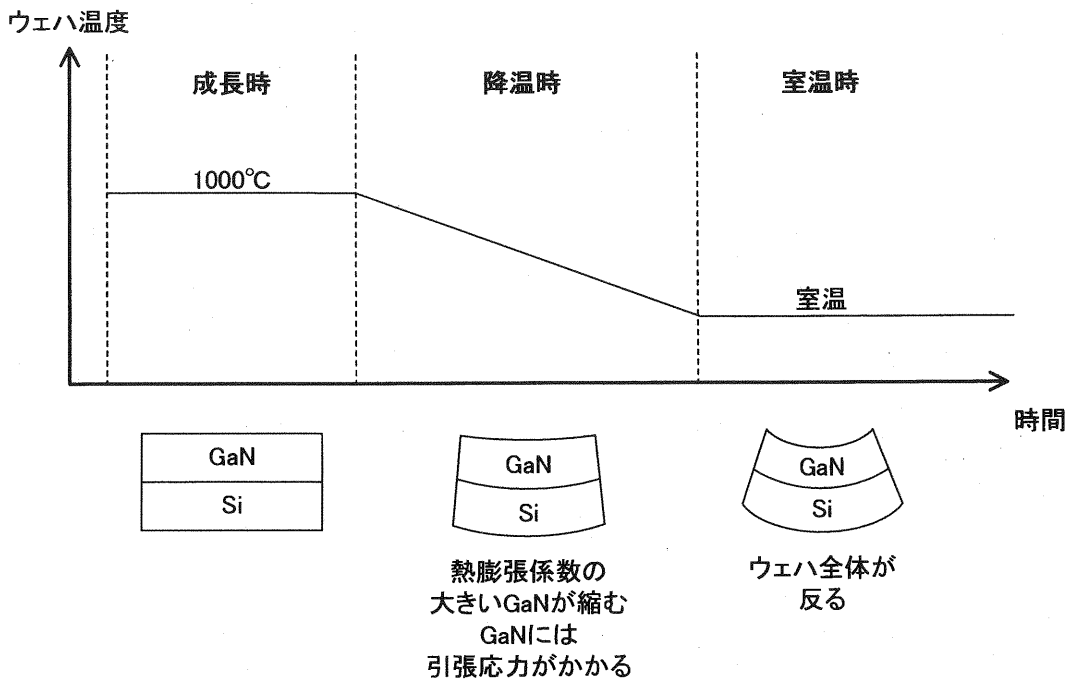


図 1.3 Si 基板上 GaN 成長時のウェハ形状と温度の関係

歪超格子層は、熱膨張係数差により生じる引張応力を格子定数差による圧縮応力で打ち消すことをコンセプトとしている。

図 1.4 に歪超格子層挿入時の各層にかかる応力のモデルを示す。

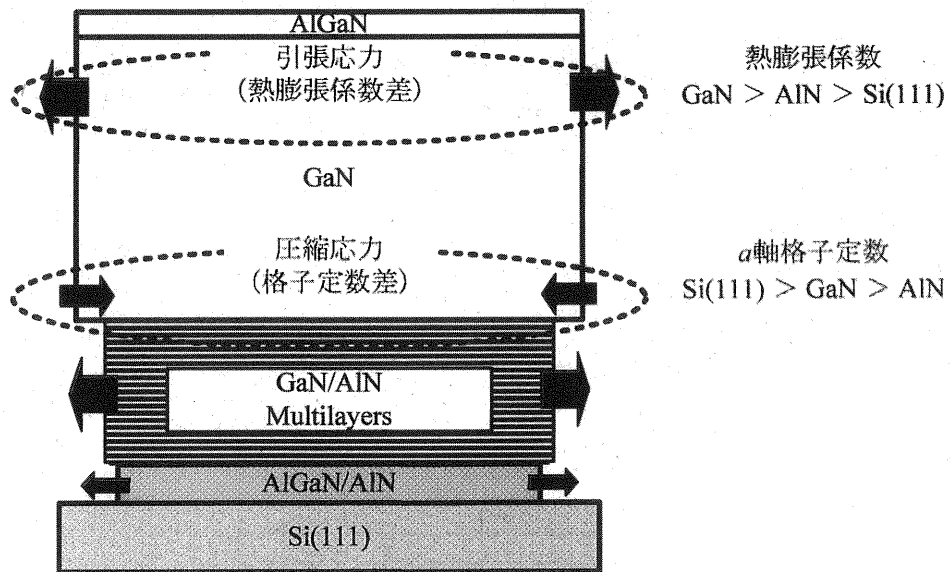


図 1.4 歪超格子層挿入時に各層に印加される応力

### 1.3.1.2 貫通転位の抑制

歪超格子層には界面にかかる応力の違いによって(1)転位対消滅効果を利用す



るタイプと(2)掃き出し効果を利用するタイプの2種類がある。

#### (1)転位対消滅効果を利用するタイプ

転位対消滅効果を用いるタイプのSLS層では、貫通転位は

図 1.3 のように各層で逆方向の応力を受ける。湾曲した貫通転位は他の貫通転位と結合、閉ループを形成し上の層に伝搬しなくなる。このタイプの特徴としてSLS層全体では格子歪が生じないことがあげられる。

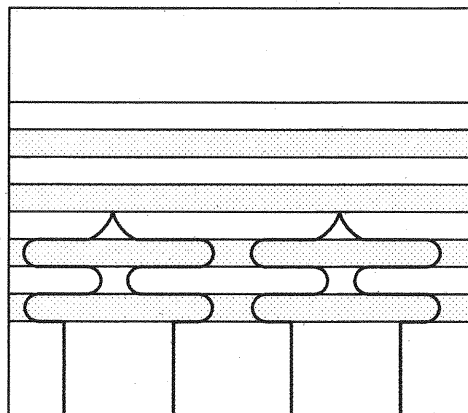


図 1.5 転位対消滅効果を用いる歪超格子層における貫通転位の伝搬の仕方

#### (2)掃き出し効果を利用するタイプ

掃き出し効果を利用するタイプのSLSでは、貫通転位は

図 1.4 のように一方の層のみで応力を受ける。これにより転位が外側へと押し出され上部の層へと伝搬しなくなる。

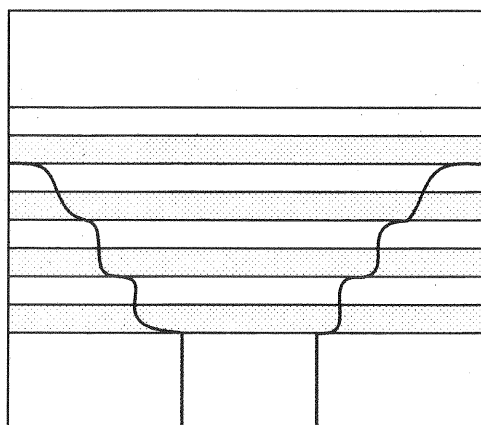


図 1.6 掃き出し効果を利用する歪超格子層における貫通転位の伝搬の仕方

### 1.4 GaN パワーデバイスの現状

#### 縦型構造

パワーデバイスの構造は、動作時の電流を流す方向によって

1. 横型構造
2. 縦型構造

の2種類に大別される。横型構造のデバイス(横型デバイス)では基板に対して平行な方向に、縦型構造のデバイス(縦型デバイス)では基板に垂直な方向に電流を流す。

一般的にパワーデバイスの構造としては、横型構造よりも縦型構造が好まれる。これは縦型構造の方が高耐圧デバイスを作製する際の面積効率が優れるためだ。横型デバイスの耐圧値はゲート-ドレイン間の距離に依存して決定される(図 1.7(a))。このため高耐圧の横型デバイスを得るには、電極間距離を確保するためにチップサイズを巨大化せねばならず、結果として面積効率が悪化する。対して縦型デバイスの耐圧値はドリフト層の膜厚に依存して決定される(図 1.7(b))。ゆえに基板に垂直な方向に膜厚を増加させることで高耐圧化を行えるため、チップサイズの小型化と高耐圧化を両立できる。

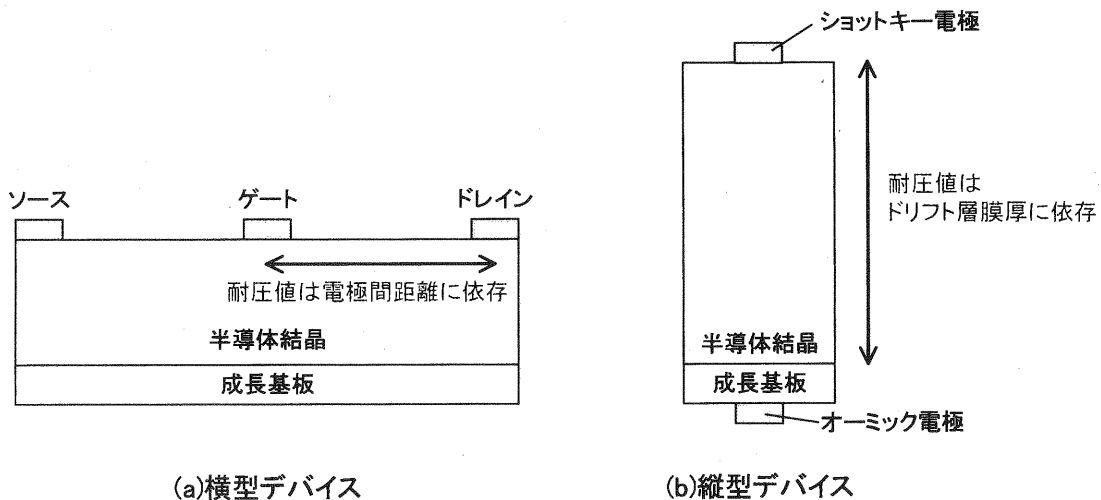


図 1.7 横型、縦型デバイスの模式図

### GaN パワーデバイスの現状

Si デバイスの代替として SiC デバイスと共に期待されている GaN 系デバイスは、AlGaN/GaN HEMT を代表とする横型構造を異種基板上に作製する方法を採用してきた。しかしながら、パワースイッチングデバイスとして GaN 系デバイスを採用するためには、横型構造特有の問題であるチップ面積当たりのオン抵抗と耐電圧のトレードオフの関係性を逸脱し、性能向上させることが難しくなってくる。また、GaN は Si デバイスのような良好な界面特性を持つ自然酸化膜を形成することができず、表面の欠陥順位が電流コラプスのような I-V 特性の劣化を引き起こしてしまう。近年、HVPE 法や Na フラックス法による自立 GaN 基板の作製例が報告され、縦型 GaN on GaN デバイスの報告も広くみられるようになってきた。しかしながら、自立 GaN 基板は横型 GaN 系デバイスに用いられ

ている Si 基板と比較して 100 倍程度のコスト差があり、大量生産には依然コスト改善が必要となる。GaN 系デバイスの縦型化が着目されてきたのにつれ、コスト改善のために SiC 基板を用いた縦型 GaN 系デバイスの報告も出てきた。SiC は導電性を持つため完全縦型構造の作製が可能であるが、GaN 基板と同様コストが高く、大量生産には向いているとは言えない。横型デバイスで低コスト性が着目されている Si 基板については、SiC と同様導電性があるのに加え、8 inch 基板までの大口径基板がすでに横型構造デバイスに採用されており、縦型構造についても同様に大量生産向けデバイスの作製が期待できる。

Y. Zhang や X. Zou らの報告では、GaN on Si 基板の縦型化の方法として、縦型構造を実現するにはエッチング後に下面部に電極を追加した疑似縦型構造や、基板転写を用いたものがある。低コスト化を目的として縦型構造を Si 基板上に作製する場合、製造プロセスの追加は全体のコスト増大を招くため、Si 基板を用いる利点を活かすことができない。

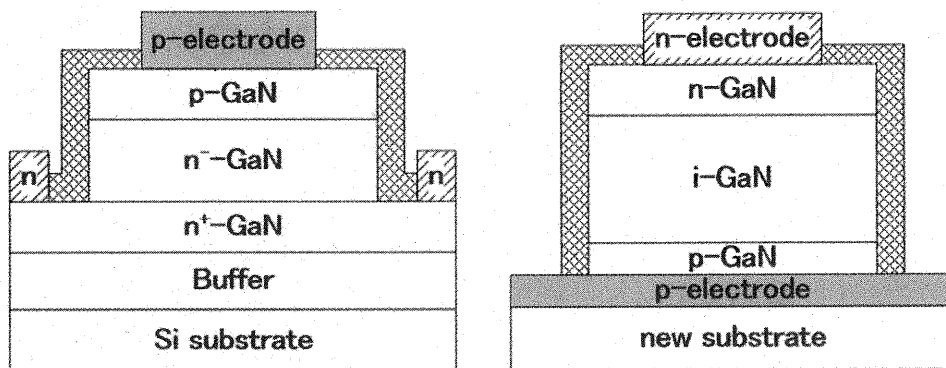


図 1.8 代表的な縦型 GaN on Si デバイスの断面構造図

(a) 疑似縦型構造 (b) 基板張替え

### 1.5 本研究の目的

これまでに我々の研究室では導電性の SLS を用いた Si 基板上の縦型 GaN p-n ダイオードについて研究を進めてきた。導電性の SLS を用いることで、図 1.8 に示すような複雑なプロセスを必要としない縦型デバイスを作成することができる。そして、

図 1.9 に示す縦型 p-n ダイオードの作製に成功した。

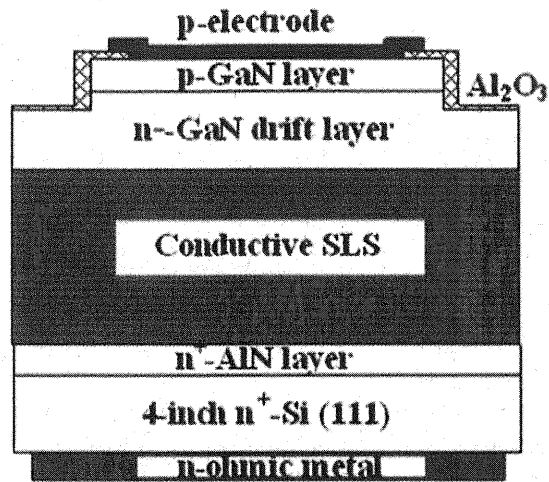


図 1.9 本研究室で作製した縦型 p-n ダイオード

本研究ではダイオードの作製で得られた知見を活かし、導電性 SLS を用いることで複雑なプロセスを必要としない比較的安価な Si 基板上的 GaN を用いて、スイッチング素子としてより用途が広く期待できる Si 基板上的縦型 GaN MOS-FET の作製とその特性の改善を目的とした。

### 1.6 縦型 GaN MOS-FET の課題

我々はこれまで Si 基板上的縦型 GaN MOS-FET として以下の図 1.10 に示す構造のものを作製し、測定・評価を行ってきた。

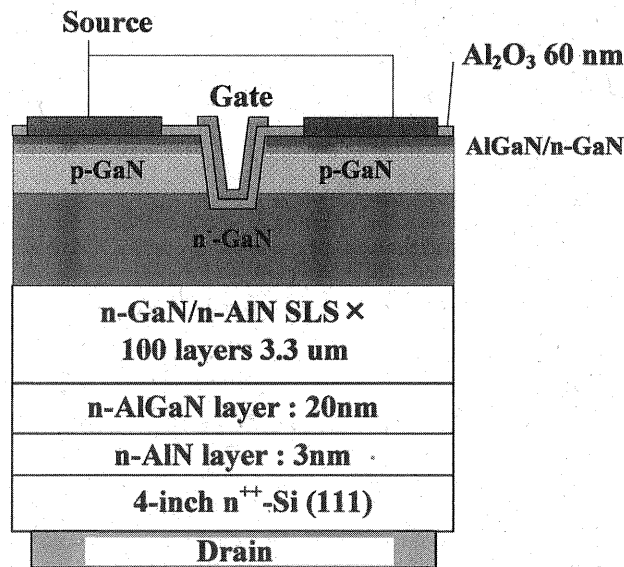


図 1.10 本研究室で作成した Si 基板上的縦型 GaN MOS-FET

しかし、このデバイスはゲートによる変調ができず、MOS-FET としての動作をしなかった。測定の結果以下の3点が原因として挙げられた。

### (1) ゲート部のエッチングによるダメージ

この縦型 MOS-FET はデバイス表面にソースを取り、デバイスの裏側をドレインとし電子がデバイス表面から裏面へと流れる構造となっている。その際ゲート電極部が MIS 構造となり、p-GaN 界面に反転層を形成し、そこをチャンネルとしている。しかし、ゲート部のリセスは RIE 装置によるドライエッチングによって形成されており、その際のダメージの影響が考えられる。

### (2) 縦方向のリーク電流の存在

縦方向の電流は理想的にはゲート部直下の p-GaN 界面の反転層を流れる。そのため p-GaN 層は電流ブロック層として高抵抗にすべくアクセプタとして Mg をドーピングしてある。しかし、この p-GaN 層の活性化が不十分なため縦方向のリーク電流が見られる。

### (3) Mg の拡散

p-GaN 層にアクセプタとして Mg をドーピングしているが、p-GaN 層以降のエピタキシャル成長の際に n-GaN 層に Mg が拡散してしまい抵抗を大きくする問題がある。

## 参考文献

- [1] 名古屋工業大学極微構造デバイス研究センター, “Si 基板上化合物半導体の高品質化に関する研究,” 1997-2003.
- [2] 中村圭輔, “修士論文,” 2018.
- [3] 天野浩, 赤崎勇, “サファイア基板上 III 族窒化物半導体成長における低温堆積層の効果と機構,” 応用物理 第 68 巻 第 7 号, 1992.
- [4] T. Egawa, “Valence-Band Discontinuity at the AlN/Si Interface,” *Appl. Phys.* Vol. 42, 2003.
- [5] Y. Zhang, M. Sun, D. Piedra, M. Azize, X. Zhang, T. Fujishima, and T. Placios, “GaN-on-Si Vertical Schottky and p-n Diodes,” *IEEE Elec. Dev. Lett.*, vol. 35, no. 6. pp. 618-620, 2014.
- [6] X. Zou, X. Zhang, X. Lu, C. W. Tang, and K. M. Lau, “Fully Vertical GaN p-i-n Diodes Using GaN-on-Si Epilayers,” *IEEE Elec. Dev. Lett.*, vol. 37, no. 5. pp. 636-639, 2016.

- [7] S. Mase, Y. Urayama, T. Hamada, J. Freedman, and T. Egawa, "Novel fully vertical GaN p-n diode on Si substrate grown by metalorganic chemical vapor deposition," *Applied Physics Express*, Volume. 9, No. 11, 111005, 2016
- [8] Y. Zhang, A. Dadgar, and T. Palacios, "Gallium nitride vertical power devices on foreign substrates: a review and outlook," *J. Phys. D: Appl. Phys.*, 51, 273001, 2018.

## 第2章 MOSFET の構造とその動作原理

### 2.1 はじめに

半導体の表面に絶縁体の膜を挟んで金属電極を取り付けた構造を金属-絶縁体-半導体(Metal-Insulator-Semiconductor)構造から MIS 構造と呼ぶ。MIS 構造の中で絶縁体が酸化物(Oxide)の場合を MOS 構造と呼ぶ。

MOS 構造は絶縁層があるので、金属層に電圧を印加することで半導体界面に電界を作用させ、界面の電気的性質を変化させることで電流を流している。この効果を利用したものを MOS 型電界効果トランジスタ(MOS-Field Effect Transistor)MOSFET と呼ぶ。

### 2.2 理想 MIS 構造

理想 MIS 構造を

図 2.1 に示す。金属側に正の電圧を印加したとき、 $V > 0$  とする。

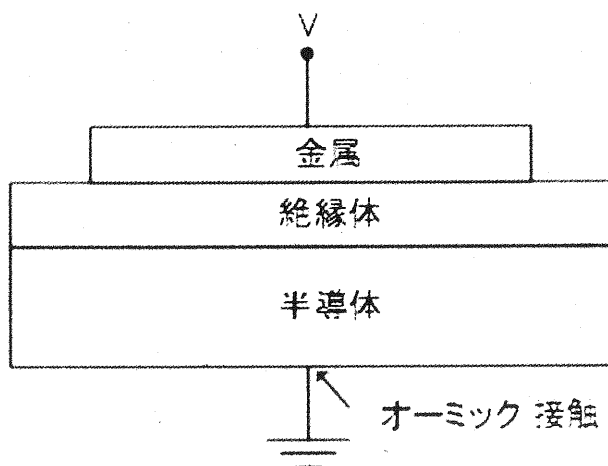


図 2.1 理想 MIS 構造

次に理想 MIS 構造の半導体側と金属側に電極を付けた 2 端子の MOS ダイオードについて示す。左側から金属-絶縁体-p 形半導体の理想 MIS 構造のエネルギーバンド図を Fig.2-2 に示す。ただし、図中の記号は次のように定義する。

$E_F$  : 半導体のフェルミ準位

$E_C$  : 半導体の伝導帯準位

$E_V$  : 半導体の価電子帯準位

$E_i$  : 真性フェルミ準位

$q\Phi_m$  : 金属の仕事関数

$q\Phi_B$  : 金属と絶縁体のエネルギー障壁

$\chi$  : 半導体の電子親和力

$E_g$  : バンドギャップ

$q\phi_B$  : フェルミ準位  $E_F$  と  $E_i$  の差

理想 MIS 構造の条件は次のとおりである。

(1) 金属と半導体の仕事関数が等しいこと、つまり以下の式を満たすこと。

$$q\phi_m = q\left(\chi + \frac{1}{2q}E_g + \psi_B\right) \quad (2.1)$$

(2) 絶縁体中には電荷がないこと。

(3) 絶縁体-半導体界面準位は無視できること。

以下は理想 MIS 構造として説明する。

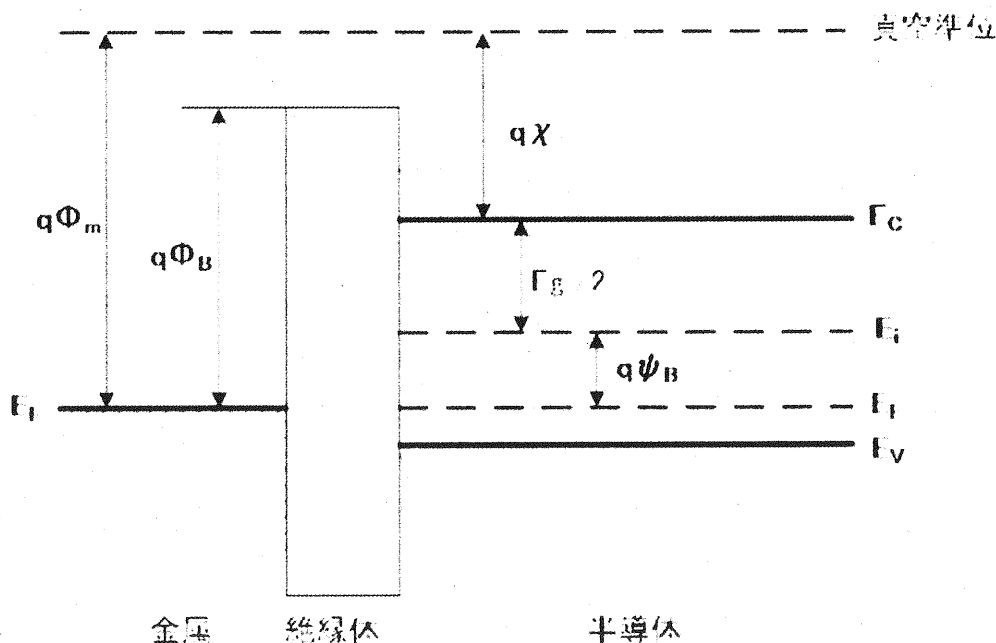


図 2.2 熱平衡状態における理想 MIS 構造のエネルギーバンド図

$V=0$  の場合状態で

(a) 図 2.2 のようにバンドの曲りが生じない。この状態をフラットバンド状態と呼ぶ。次に金属側に負のバイアスをかけた場合、

図 2.3(a)のように半導体中の多数キャリアである正孔が表面のほうへ引き付けられ、半導体表面近傍の正孔の濃度は高くなり、半導体のバンドは上方へ曲がる。この状態を蓄積状態と呼ぶ。

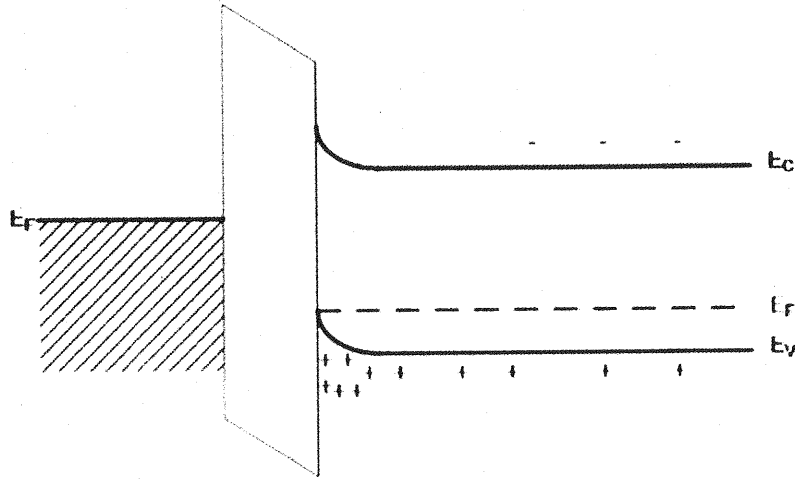
(b) 反対に金属側が正のバイアスをかけると

(c) 図 2.3(b)のように半導体のバンドは下方に曲り、表面に空乏層が発生する。この状態を蓄積状態と呼ぶ。さらに、バイアスを大きくすると、バンドの

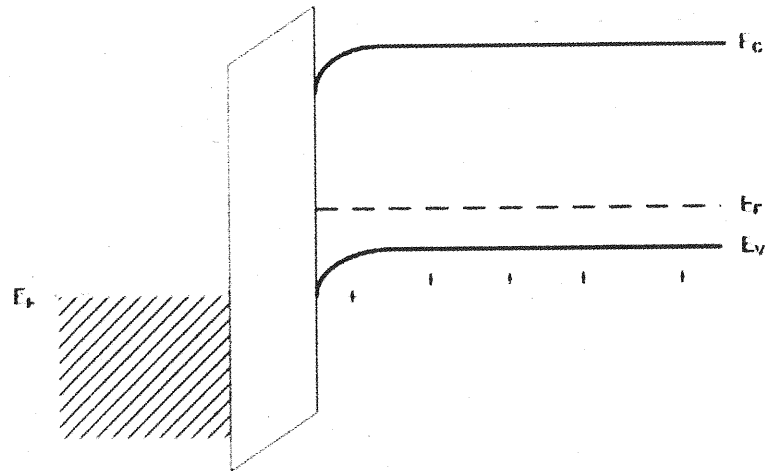


曲りも大きくなり、空乏層幅もおおきくなる。さらにバイアスを大きくすると、

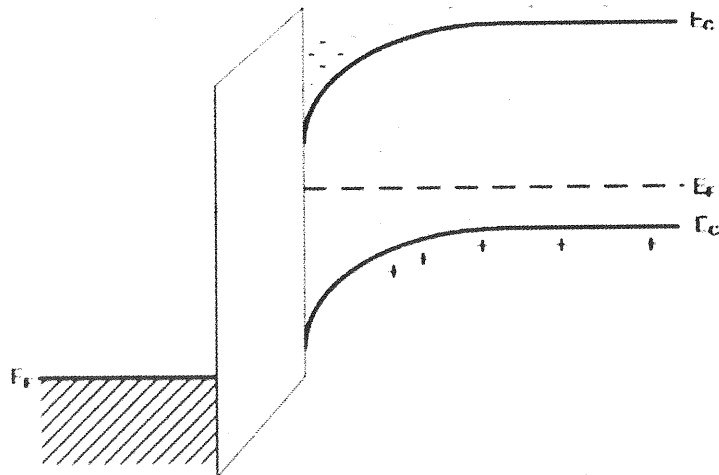
図 2.3 (c)のように表面付近の伝導帯に電子が多量に発生する。この表面の電子の層を反転層、この状態を反転状態と呼ぶ。



(d) 蓄積状態



(e) 空乏状態



(f) 反転状態

図 2.3 電圧をかけた際のバンド図の変化

デバイス動作において重要な空乏状態、反転状態の定量的に示す。半導体表面のバンドの曲がりにはポアソン方程式を解くことで求められる。金属に正のバイアスをかけ、空乏状態の電荷の分布を図 2.4 に示す。

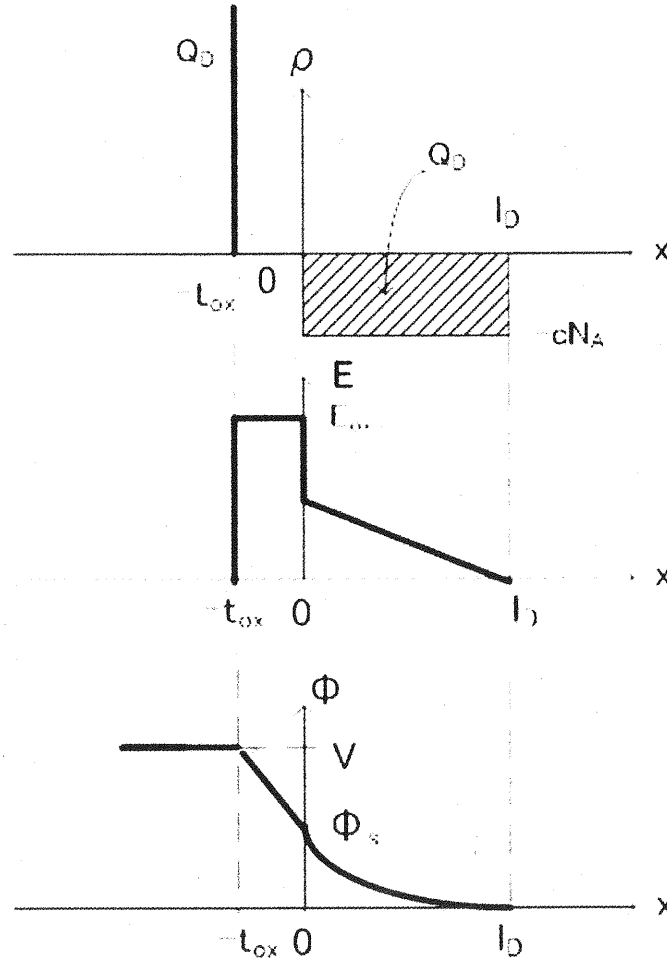


図 2.4 空乏状態での電荷、電界、電位分布

金属表面の単位面積当たり正の電荷  $Q_G$  デルタ関数的に存在し、半導体側では空乏層の厚さを  $l_D$ 、アクセプタ濃度を  $N$  とすると単位面積あたり  $Q_D$  の負の電荷が空乏層内に分布している。このとき  $Q_D$  次のように表すことができる。

$$Q_D = -qN_A l_D \quad (2.2)$$

半導体表面からの距離を  $x$ 、バンドの曲がりに対する電圧を  $\Phi(x)$ 、半導体の比誘電率を  $\epsilon_s$  とすると、空乏層内でのポアソン方程式は

$$\frac{d^2\phi(x)}{dx^2} = \frac{qN_A}{\epsilon_0\epsilon_s} \quad (2.3)$$

となる。

また  $x=l_D$  で内部電界と電位が 0 になる境界条件より、空乏層内の電界と電位の分布は次のように表すことができる。

$$\phi(x) = \frac{qN_a}{2\epsilon_0\epsilon_s}(x - l_D)^2 \quad (2.4)$$

$$E(x) = -\frac{d\phi(x)}{dx} = -\frac{qN_A}{\epsilon_0\epsilon_s}(x - l_D) \quad (2.5)$$

絶縁体膜には電界  $E_{ox}$  が存在し、半導体との界面では理想 MIS なので電束密度が等しくなることより

$$E_{ox} = \frac{\epsilon_s}{\epsilon_{ox}} E(0) = \frac{qN_A}{\epsilon_0\epsilon_{ox}} l_D \quad (2.6)$$

となり、これより、金属にかかるバイアス  $V$  は

$$V = E_{ox}t_{ox} + \phi_s \quad (2.7)$$

と表すことができる。ただし、 $t_{ox}$ 、 $\epsilon_{ox}$  はそれぞれ絶縁膜の厚さと比誘電率である。また半導体表面の電位  $\phi(0)$  を  $\phi_s$  とする。これらの分布も Fig.2-4 に示す。

曲がりの量  $\phi(x)$  の分、 $E_F$  の位置が  $E_V$  から  $E_C$  へと近くなる。これにより、正孔密度  $p$  と電子密度  $n$  の増減が起こる。半導体表面でのこの濃度変化を表面電位  $\phi_s$  の関数として表すと、ボルツマン分布の関係より、次のようになる。

$$n(\phi_s) = n_{p0} \exp\left(\frac{q\phi_s}{kT}\right) \quad (2.8)$$

$$p(\phi_s) = p_{p0} \exp\left(-\frac{q\phi_s}{kT}\right) \quad (2.9)$$

中性領域でのフェルミ準位の差  $q\phi_B$  が  $\phi_B = \phi_s$  とき  $n = p$  となり、 $\phi_s > \phi_B$  では  $n > p$  となることが分かる。そして  $\phi_s = 2\phi_B$  のときには反転状態となる。

### 2.3 MOSFET の電流-電圧特性

MOSFET はゲートにかかる電圧によって MOS 構造に反転層を形成し、この反転層がソース-ドレイン間の電流チャネルとなることでトランジスタを動作させている。反転層が形成されているときの MOSFET の断面図を図 2.5 に示す。

図 2.5 では  $z$  軸はチャネルに沿ってソース端を原点としてドレイン方向に  $x$  軸は半導体表面を原点とし、深さ方向にとる。また図中の記号は以下のように定義する。

$V_G$ : ゲート電圧

$V_D$ : ドレイン電圧

L : z 軸方向のチャネルの長さ

W : z 軸に垂直方向のチャネルの幅

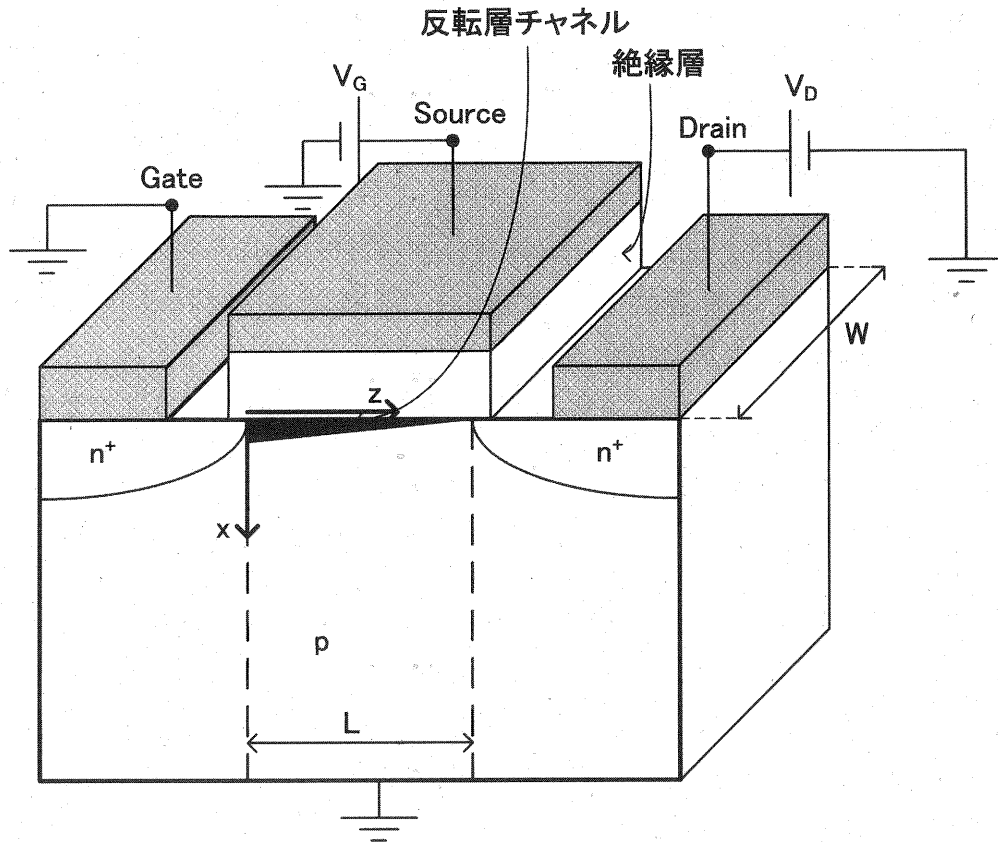


図 2.5 MOSFET の断面図

MOS ダイオードと異なり、FET には  $V_D$  が印加されているので、半導体の表面電位は場所によって変化する。ここで、チャネルの電位を  $V_C(z)$  とする。ただし、 $V_C(0)=0$ 、 $V_C(L)=V_D$  である。反転層が形成され  $V_D$  が比較的小さい場合、反転層チャネルは抵抗層と考えられる。このときの表面電位  $\phi_s$  は次のようになる。

$$\phi_s = 2\psi_B + V_C(z) \quad (2.10)$$

また、反転層の電荷密度  $Q_I$  は次のようになる。

$$\begin{aligned} Q_I(z) &= -(Q_G + Q_D) \\ &= -C_{ox}\{(V_G - V_T) - V_C(z)\} \end{aligned} \quad (2.11)$$

ただし、 $V_T$  はしきい値電圧と呼び、反転層が形成される時の電圧である。この電荷  $Q_I$  がソース-ドレイン間をドリフトすることでドレイン電流  $I_D$  が流れることより、

$$I_D = WQ_I(z)\mu E_z(z) \quad (2.12)$$

ただし、 $E_z$  はチャネル内の  $z$  方向の電界強度であり、 $E_z = -dV_C(z)/dz$  である。式(2.11)を代入し、チャネルの全長において  $z$  で積分すると、

$$\int_0^L I_D dz = \int_0^L W C_{ox} (V_G - V_T - V_C) \mu \frac{dV_C}{dz} dz \quad (2.13)$$

となり、これよりドレイン電流  $I_D$  は次のように表せる。

$$I_D = \frac{1}{2} \cdot \frac{W}{L} \mu C_{ox} \{2(V_G - V_T)V_D - V_D^2\} \quad (2.14)$$

これより、 $V_G$  をパラメータとした  $V_D$  と  $I_D$  の特性は原点を通る上に凸の放物線だと分かる。しかし、実際は  $V_D$  を大きくしていくと最大値に達したとき、ピンチオフと呼ばれる現象が発生する。

$I_D$  の二次曲線が最大値をとるときの  $V_D$  は式(2.14)より次のようになる。

$$V_D = V_G - V_T \equiv V_P \quad (2.15)$$

これはチャネルのドレイン端で絶縁膜にかかる電圧が  $V_T$  に等しいことを示し、つまりこの位置でちょうど反転層できる状態である。 $V_D > V_P$  のとき、反転層はドレインに届かない。この反転層がなくなる点をピンチオフ点、このときのドレイン電圧  $V_P$  をピンチオフ電圧と呼ぶ。ピンチオフ点とドレインの  $n$  領域の空乏層には、チャネルの電子をドレインに引き付ける方向の電界が存在するため、 $V_D = V_P$  で流れる最大電流が流れ続ける。

これらより、MOSFET の電流電圧特性の概要図を図 2.6 に示す。 $I_D$  が  $V_D$  に対して一定で維持される部分を飽和領域とよび、このときの電流を飽和電流と呼ぶ。式(2.14)と式(2.15)より飽和電流  $I_{Dsat}$  は次のように表せる。

$$I_{Dsat} = \frac{1}{2} \cdot \frac{W}{L} \mu C_{ox} V_P^2 \quad (2.16)$$

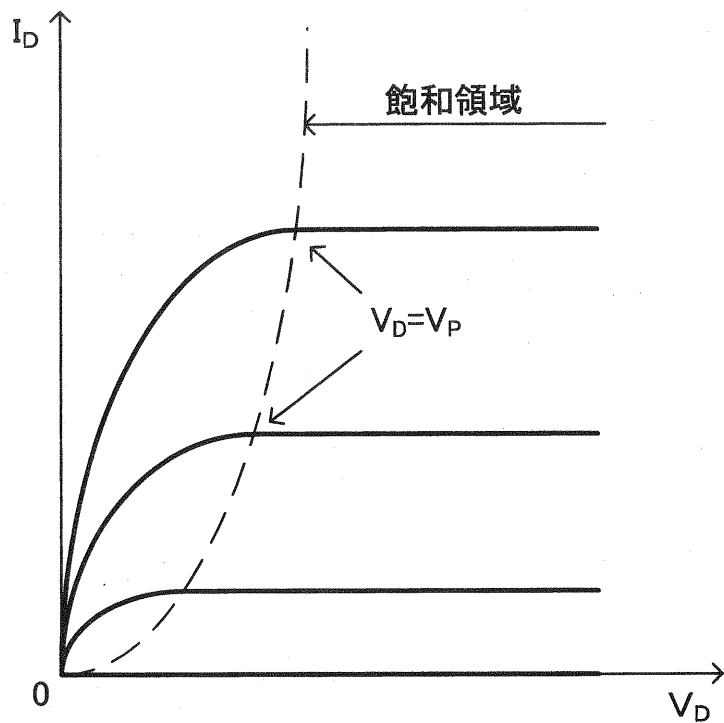


図 2.6 MOSFET の電流電圧特性

参考文献

- [1] 筒井一生, “よくわかる電子デバイス,” 1999.
- [2] S. M. Sze, “半導体デバイス 第2版,” 2004.

## 第3章 縦型 MOSFET のプロセス方法・評価方法

### 3.1 はじめに

本章では縦型 MOSFET のプロセス方法と評価法について、その原理を述べる。本研究では主に以下の方法で縦型 MOSFET を作製した。

1. エピタキシャル成長
2. 劈開
3. 反応性イオンエッチング(Reactive Ion Etching: RIE)によるゲートリセス形成
4. TMAH 処理
5. p-GaN 層活性化アニール
6. 上部再成長
7. RIE による素子間分離
8. 真空蒸着法によるオーミック電極形成
9. オーミック電極アニール処理
10. 原子層堆積法(Atomic Layer deposition: ALD)による酸化膜堆積
11. 真空蒸着法によるゲート電極体積
12. 真空蒸着法によるパッド電極形成

### 3.2 縦型 MOSFET のプロセス方法

#### 3.2.1 エピタキシャル成長

購入した Si 基板の上に MOCVD 法によりバッファ層である、AlN 層、SLS 層、その後 FET を形成する n-GaN 層、p-GaN 層までエピタキシャル成長をする。

#### 3.2.2 劈開

MOCVD 法により成長させた GaN をマスクパターンに合わせ 10mm×15mm の長方形型に劈開する。

#### 3.2.3 反応性イオンエッチング(RIE)によるゲートリセス形成

RIE はドライエッチングに分類される微細加工技術の一つである。装置チャンバー内でエッチングガスに電磁波などを与えプラズマ化し、同時に試料陰極に高周波を印加することで試料とプラズマの間に自己バイアス電位が生じ、プラズマ中のイオン種やラジカル種が試料方向に加速されて衝突する。その際、イオンによるスパッタリングとエッチングガスによる化学反応が同時に起こり、高い精度でのエッチングが可能になる。本研究ではエッチングガスに三塩化ホウ素ガス( $\text{BCl}_3$ )を使用し、n-GaN 層に到達するまで p-GaN 層の厚さに合わせて 250

nm もしくは 450 nm エッチングし、ゲートリセス構造を形成した。

### 3.2.4 TMAH 処理

TMAH(Tetramethylammonium hydroxide)水溶液はアルカリ性であり、Si の結晶異方性エッチングに用いられている。ウエットエッチングは、エッチングの形状から等方性エッチングと異方性エッチングに大別される。等方性エッチングエッチングでは、エッチングが表面の法線方向と同時にマスクの下側まで及ぶため、サイドエッチングが見られる。一方、結晶異方性を利用して、特定の結晶面からなる形状をエッチングするのが異方性エッチングである。

結晶異方性エッチング溶液は基本的に pH が 12 以上で異方性を示す。しかし、結晶異方性エッチング溶液に求められることは、エッチングレートの結晶方位依存性、エッチングマスクとして用いられる材料との選択性、LSI プロセスとの適合性が優れていること、毒性が低いことが挙げられる。

Si の異方性エッチングの反応機構は以下のように表せる。



つまり、Si が水及び水酸基と反応し、水酸化物を形成し、水溶液に溶解すると共に水素を発生する。Si の結晶異方性エッチングが実現できるのは、Si の結晶面方位によってエッチング速度が異なるためである。この模式図を以下の図 3.1 に示す。

図 3.1 は Si の各結晶面方位とその面方位での Si 表面での結合状態を示した図である。Si(111)面のエッチング速度が遅いのは、(100)面はダングリングボンドが 2 本あるのに対して、(111)面は 1 本であり、式(3.1)での水酸化物イオンとの結合頻度が少ないためである。また、(110)面もダングリングボンドが 1 本であるが、Si と結合している 3 本のうち 2 本が表面近傍に存在するため、(111)面と比べると水酸化物イオンとの反応が起こりやすい。

GaN では(0001)面以外の任意の面が TMAH によってエッチングされることが分かっている。これによって、(0001)面の GaN を結晶成長させたものを(11 $\bar{2}$ 0)面に沿ってドライエッチングを行い、その斜面を TMAH でウエットエッチングを行うと、平滑な(1 $\bar{1}$ 00)面が得られる。これは Si と同様に(1 $\bar{1}$ 00)面のエッチングレートが他の面より低いことで発生する。

本研究では、(111)面の Si 基板の上に(0001)面の GaN を結晶成長させている。ゲート部エッチング後の p-GaN 斜面のダメージを軽減するためにこの TMAH によるウエットエッチングを 80°C で 1 時間行った。



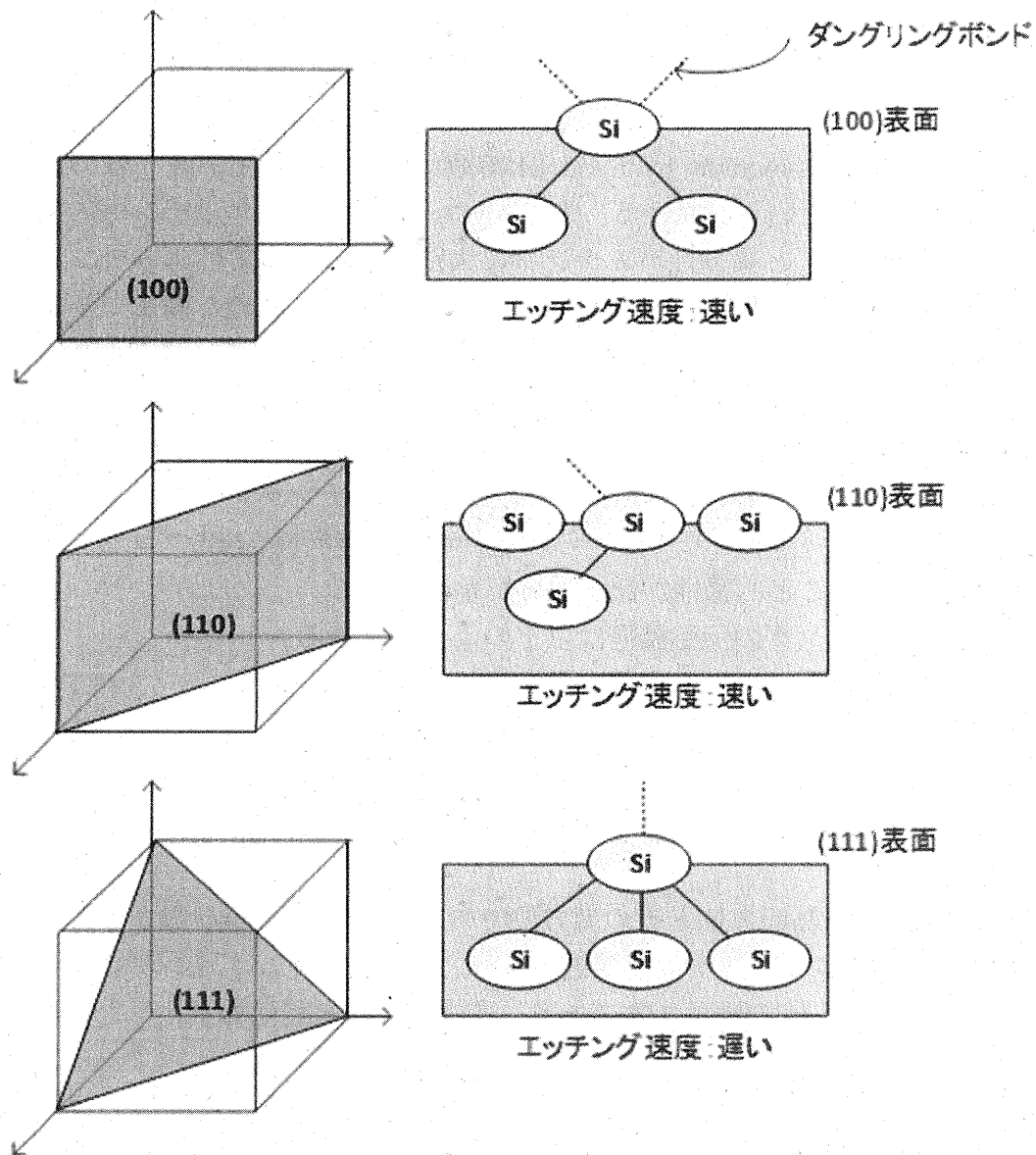


図 3.1 Si の面方位と結合状態

### 3.2.5 p-GaN 層活性化アニール

本研究では p 形 GaN のためのアクセプタとしてマグネシウム(Mg)を採用した。気相成長法である MOCVD 法の雰囲気中には、 $H_2$  キャリアガスや原料ガスの  $NH_3$  から発生した大量の H が存在し、GaN 結晶中に取り込まれ Mg アクセプタを不活性化する。アニール処理によって p-GaN 層内の残留 H 濃度を低減し GaN を p 形化させることが必要である。本研究では  $N_2$  雰囲気中において  $800^\circ C$  で 30 分間アニール処理を行った。

### 3.2.6 上部再成長

による洗浄を行った後、MOCVD 法でデバイス表面となり 2DEG を形成する n-GaN 層、AlGaIn 層をエピタキシャル成長させる。

### 3.2.7 RIEによる素子間分離

本研究ではエッチングガスに三塩化ホウ素ガス( $\text{BCl}_3$ )を使用し、p-GaN層の抵抗が非常に大きく電流をブロックする層であるため、p-GaN層を超えてドリフト層であるn-GaN層に到達するまで600~800 nm エッチングし、素子間分離を行った。

### 3.2.8 真空蒸着法によるオーミック電極形成

真空中で物質を加熱させると物質は蒸気となる。その蒸気を蒸着源から離して上部に設置した基板に付着させて薄膜を成長させる方法が真空蒸着法である。真空蒸着法は原理が簡便であり、多くの金属に適用できる。一般的には電極作成のような比較的膜厚の精度を要求されない場合に用いられている。真空蒸着法には抵抗加熱蒸着法と電子ビーム蒸着法がある。本実験では電子ビーム蒸着法を用いた。電子ビーム蒸着法は、加速電圧をかけることによって熱電子を加速させ、その電子を金属に衝突させて蒸着させる方法である。電子ビーム蒸着法は抵抗加熱蒸着法と比べ、ボードなどの蒸着源との反応が少ないため不純物の混入が少ない。また、Ni, Zr, W, Taのような高融点金属や酸化物、昇華性物質などの蒸着が可能である。さらに、抵抗加熱蒸着法ではボードやフィラメントを頻りに交換しなければならないが、電子ビーム蒸着法は部品の消耗が少ないので交換頻度が少ない。本研究ではn-GaNに対するオーミック電極としてTi/Al/Ni/Au = 15/80/12/40 nm を蒸着した。

### 3.2.9 オーミック電極アニール処理

本研究では $\text{O}_2$ 雰囲気中において600°Cで5分間アニール処理を行った。

### 3.2.10 原子層堆積法(ALD)による絶縁膜堆積

本実験では絶縁膜としてALD法により酸化アルミニウム( $\text{Al}_2\text{O}_3$ )と二酸化ケイ素( $\text{SiO}_2$ )を堆積した。ALD法では二つの半反応の化学反応で堆積される。最初に基板がトリメチルアルミニウム(Tri Methyl Aluminum: TMA)に曝露され化学吸着した単層を形成する。吸着後、気相中の過剰のTMAはパージすることにより除去する。次に基板が水蒸気( $\text{H}_2\text{O}$ )に曝露されTMA単層と反応し $\text{Al}_2\text{O}_3$ の層が形成される。反応の生成物と過剰の $\text{H}_2\text{O}$ を同様に除去することで膜形成の1サイクルが終了し、このサイクルを繰り返すことで目的の膜厚が得られる。本研究では材料にTMA,  $\text{H}_2\text{O}$ ,  $\text{O}_3$ を使用し、 $\text{Al}_2\text{O}_3$ を50nm堆積させた。また、 $\text{SiO}_2$ ではTDMAH,  $\text{H}_2\text{O}$ を用いて同様に20 nm堆積させた。

### 3.2.11 真空蒸着法によるゲート電極形成

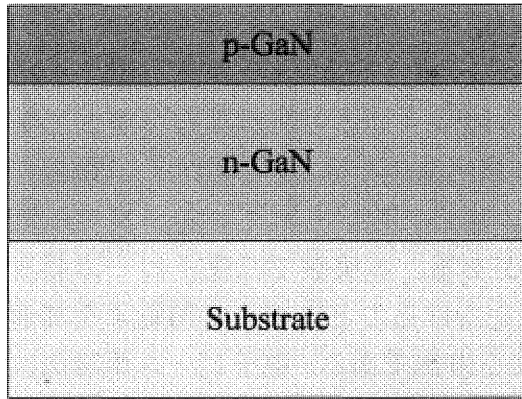
本研究ではゲート電極としてNi/Au = 30/150nm を蒸着した。

### 3.2.12 真空蒸着法によるパッド電極形成

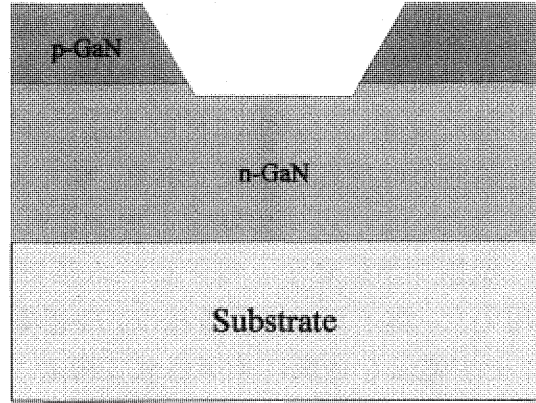
オーミック電極と同様に真空蒸着法によりTi/Au = 10/150 nm 蒸着した。

図 3.2 にプロセス工程図を示す。

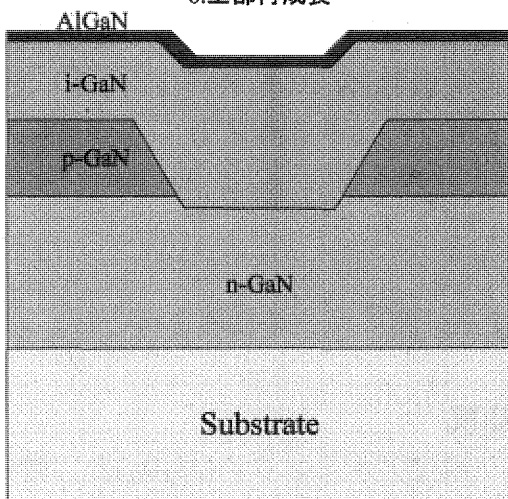
1.エピタキシャル成長



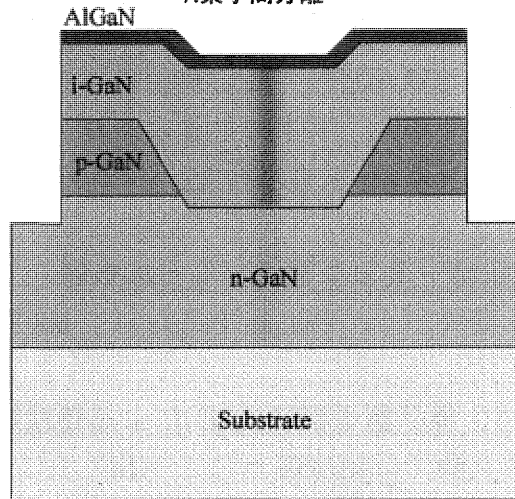
3.ゲートリセス形成



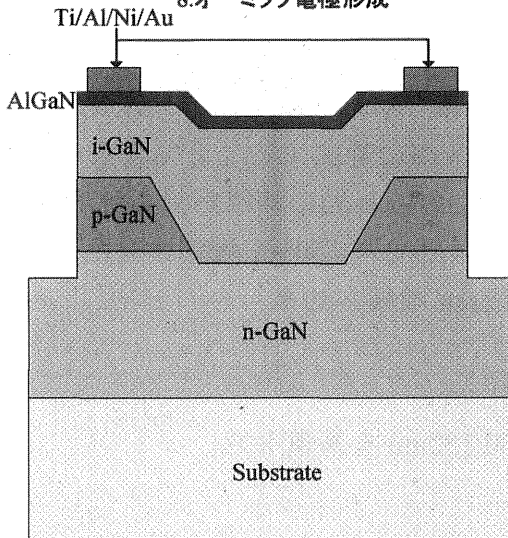
6.上部再成長



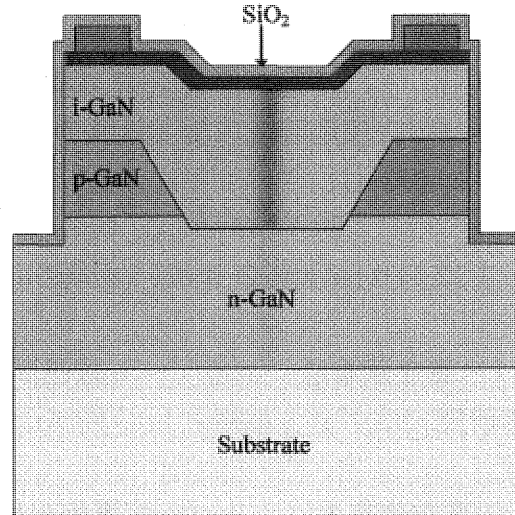
7.素子間分離



8.オーミック電極形成



10.絶縁膜形成



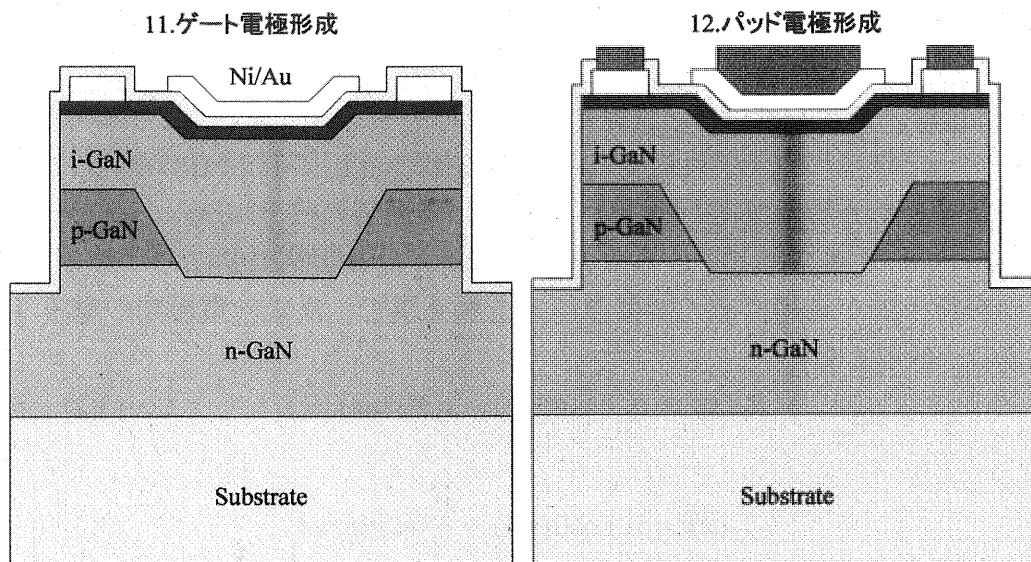


図 3.2 縦型 MOSFET プロセス工程図

### 3.3 デバイスの評価方法

本研究で作製した縦型 MOS-FET に対して以下の測定を行い評価した。

- $I_D$ - $V_D$  特性におけるドレイン電流値  $I_D$  及びオン抵抗  $R_{ON}$  の評価
- $I_D$ - $V_G$  特性における相互コンダクタンス  $g_m$ 、閾値電圧  $V_{TH}$  の評価
- オフ状態での耐圧測定における絶縁破壊電圧の評価
- TLM 測定におけるコンタクト抵抗  $R_c$ 、シート抵抗  $R_{sh}$  の評価
- AFM における表面粗さ評価

#### 3.3.1 電気的特性評価

$I_D$ - $V_D$  測定について述べていく。 $I_D$ - $V_{DS}$  測定には半導体パラメータアナライザ (Agilent Technology 社製、B1500A) を用いた。通常のデバイスの場合、ソース・ゲート・ドレインの 3 端子を用いて測定を行うが、今回作製したデバイスではゲートの両側にソースを 2 つ配置し、それを接続することで 4 端子で測定を行った。ゲート・ソース間に一定のバイアス  $V_{GS}$  を印加した状態でドレイン・ソース間電圧  $V_{DS}$  を変化させた際のドレイン電流値  $I_D$  を測定する。デバイスの最大電流値もしくは  $V_{GS} = 0$  [V] の飽和電流値  $I_{DSS}$ 、線形領域の傾きの逆数であるオン抵抗  $R_{ON}$  を求め、その値を評価・比較する。

伝達特性評価では、ドレイン・ソース間に一定の電圧  $V_D$  を印加した状態でゲート・ソース間電圧  $V_G$  を変化させ、その時のドレイン電流値  $I_D$  を測定する。伝達特性の微分系である相互コンダクタンス  $g_m$  の最大値  $g_{mMAX}$  や、ドレイン電流が流れ始めるゲート・ソース間電圧  $V_{TH}$  を求め、その値を評価・比較する。

耐圧測定について述べていく。 $I_D$ - $V_D$  測定と同様にソース・ゲート・ドレインを用いて測定を行う。デバイスのオフ状態とするためにドレイン電流が流れ始める閾値電圧  $V_{TH}$  を下回るようにゲート電圧を印加した状態で、ドレイン電圧  $V_D$  を数百 V まで上昇させ、ドレイン・ソース間電圧  $V_{DS}$  を変化させた際のドレイン電流値  $I_D$  を測定する。絶縁破壊が発生し、急激にドレイン電流が上昇した

際の電圧を評価・比較する。

### 3.3.2 伝送線回路モデル(TLM)測定

オーミック電極の電気特性評価する方法の1つとしてTLM法がある。プレート上の電極がある時、電極の幅  $W$  が半導体の界面層の幅  $W$  に等しく、かつ半導体層の厚さ  $h$  が 0 であるとする (TL-近似)、電気回路工学における分布定数回路の解析手法が適用でき、伝播方程式を解く事で、次式の電極間の電圧  $V$  と電流  $I$  の一般解を得る。

$$V_2(x) = v_1 \cosh(\gamma x) - i_1 Z \sinh(\gamma x) \quad (3.2)$$

$$I_2(x) = i_1 \cosh(\gamma x) - \frac{v_1}{Z} \sinh(\gamma x) \quad (3.3)$$

ここで  $Z$ 、 $\gamma$  はそれぞれ特性インピーダンス、伝播定数を呼ばれ、次式で表される。

$$Z = \frac{1}{W} \sqrt{\frac{R_{sh} \rho_c}{1 + j\omega C \rho_c}} \quad (3.4)$$

$$\gamma = \sqrt{\frac{R_{sh}}{\rho} (1 + j\omega C \rho_c)} \quad (3.5)$$

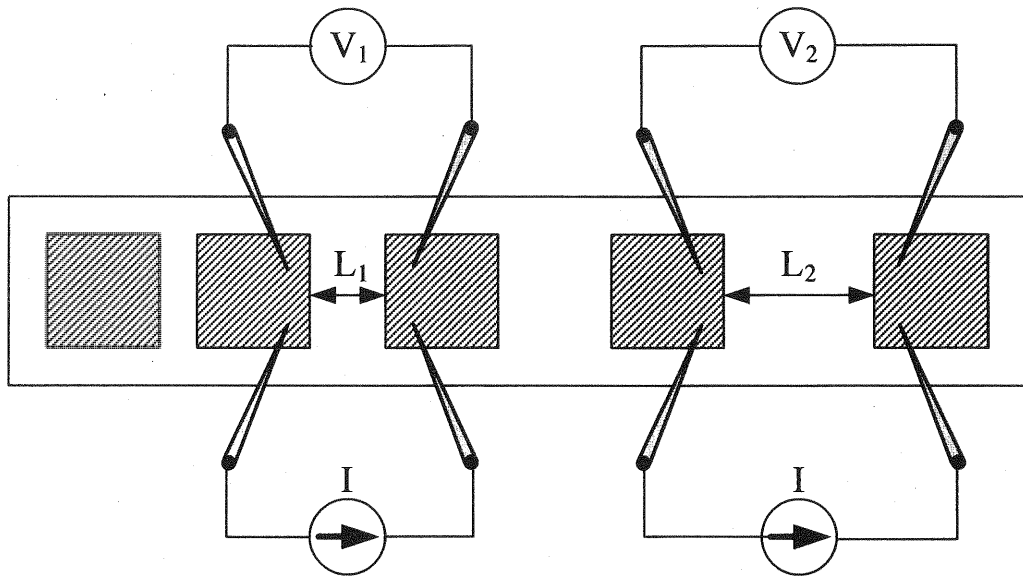
ただし、 $C$  は電極の単位面積当たりの静電容量、 $\omega$  は測定周波数、 $R_{sh}$  はシート抵抗、 $\rho_c$  は固有接触抵抗率である。よって、電流-電圧特性を測定し、 $Z$  と  $\gamma$  を求めることにより  $R_{sh}$  と  $\rho_c$  が求まる。

しかし、電流の分散が無視できる場合、すなわち試料の大きさが電極面積より十分大きく、かつ半導体の膜厚が十分に薄い場合、次のようにして近似的に求めることができる。図 3.2(a) に示すような電極がある時、まず隣り合う電極間で抵抗  $R_T$  を測定し、電極間隔  $L$  に対してプロットしていく。次に、図 3.2(b) のようにプロットした点を直線で近似し、直線の傾き  $a$  及び  $y$  軸との切片  $b$  を求める。これらを用いて実効接触抵抗  $R_c$ 、シート抵抗  $R_{sh}$ 、固有接触抵抗率  $\rho_c$  は次式で与えられる。

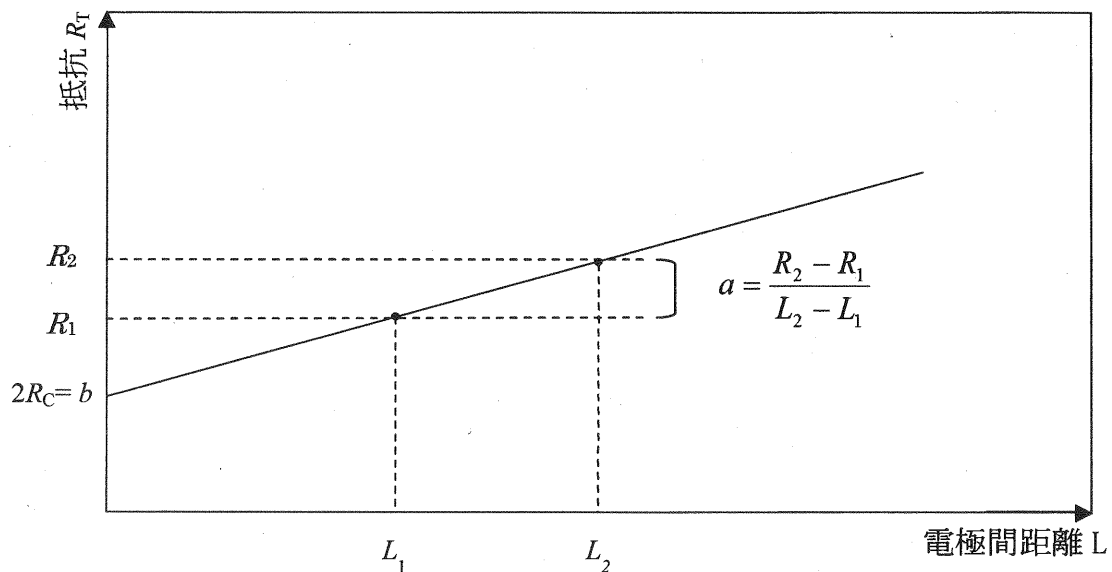
$$R_c = \frac{b}{2} \times W \times 10^{-3} \quad [\Omega \text{mm}] \quad (3.6)$$

$$\rho_c = \frac{W^2 \times R_c^2}{R_{sh}} \quad [\Omega \text{mm}] \quad (3.7)$$

固有接触抵抗率は、電極と半導体間の接触にのみに依存する抵抗であり、実行接触抵抗は電極に存在するシート抵抗を含んだ抵抗である。シート抵抗は半導体内の面抵抗である。



(a)測定系の模式図



(b)測定結果の処理法

図 3.2 TLM 測定 of 測定系と測定結果の処理法

### 3.3.3 原子間力顕微鏡(AFM)測定

AFM は数種類ある走査プローブ顕微鏡 (Scanning Probe Microscope ; SPM) の一つで、プローブを試料に近づけて原子間力を検出し、ナノスケールで構造を観察する顕微鏡である。プローブを直接試料に接近させるという動作原理を用いているため、高い分解能が得られ、原子や分子の観察も可能になる。大気、真空、液体中などさまざまな環境で使用できるという特徴があり物理学、材料化学、生物学など広い分野で使用されている。AFM の基本構成を図 3.3 に示す。

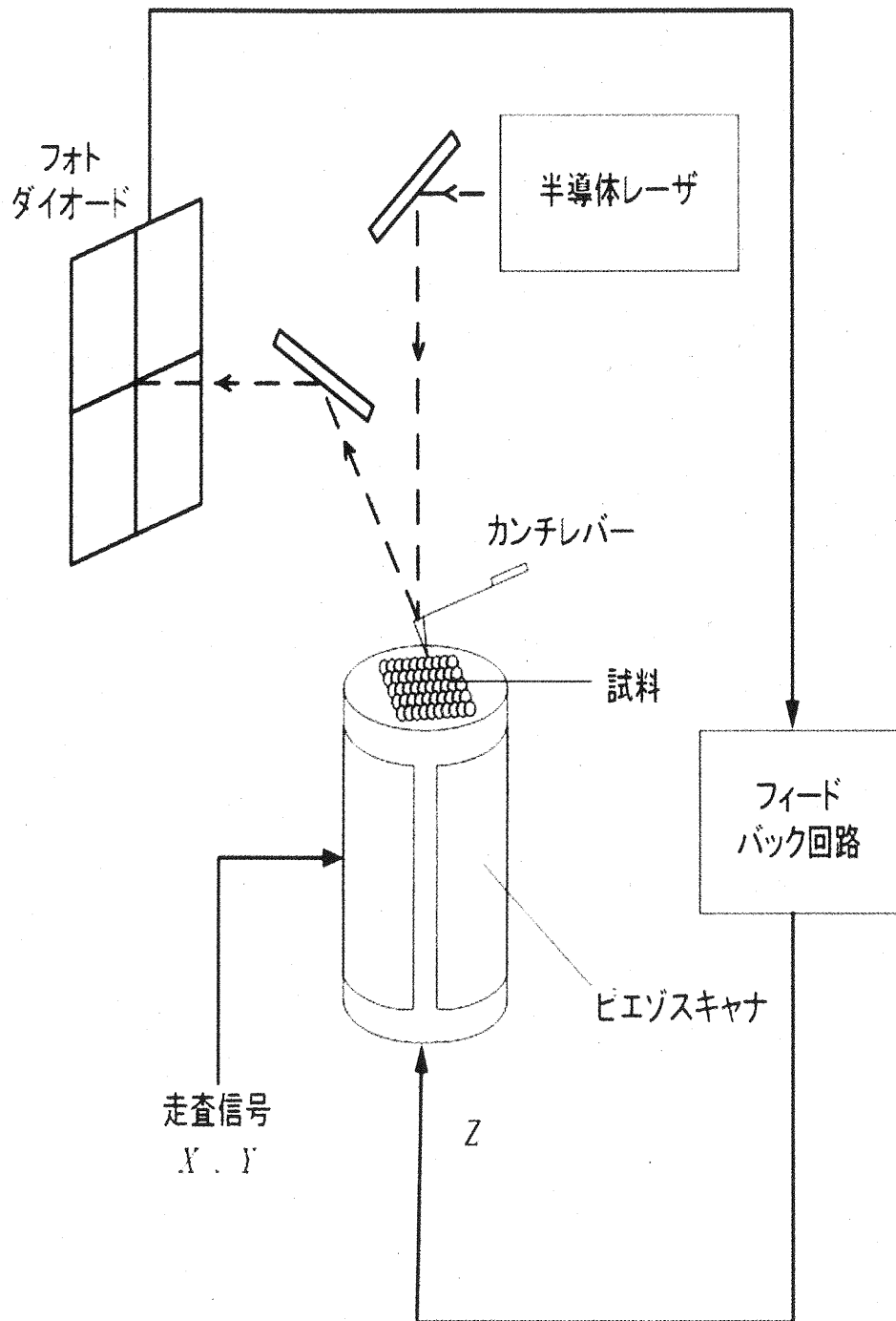


図 3.3 AFM の構造図

具体的には、プローブとして小さなテコ先に探針が付いているカンチレバーを用いる。このカンチレバーを試料に接近させたとき、探針先端の原子と試料表面の原子との間に反発力または吸引力が働き、カンチレバーがたわむ。その変化を半導体レーザーとフォトダイオードを使って検出し、ピエゾスキャナによってたわみが一定になるように高さを制御する。ピエゾスキャナで探針を  $X$  及び  $Y$  方向に走査することによって表面の構造を観察する。

カンチレバーの各片の幅、厚さ、長さをそれぞれ  $a, b, l$  とする。レバーの  $l$  の

方向の両端に大きさ  $F$  の力を加えて引っ張る時、長さが  $\Delta l$  だけ伸びたとすると、歪みは  $\Delta l/l$  で、応力は  $F/ab$  となる。この時フックの法則より

$$\frac{F}{ab} = \frac{E\Delta l}{l} \quad (3.8)$$

となる。このときの  $E$  はヤング率である。長方形断面の薄膜状レバーの弾性定数は  $a, b, l, E$  を用いて

$$k = \frac{Eab^3}{4l^3} \quad (3.9)$$

で与えられる。一方、レバーのもう 1 つの重要なパラメータである最低次の共振角周波数  $\omega$  は、レバーの密度を  $\rho$  として

$$\omega = A \sqrt{\frac{E}{\rho} \cdot \frac{b}{l^2}} \quad (3.10)$$

と表される (ただし  $A=0.162$ )。変位の検出感度を  $0.01 \text{ nm}$  とすると AFM に必要な  $10^{-10} \text{ N}$  の力の検出を可能にするためには弾性定数が  $10 \text{ N/m}$  以下の柔らかいバネでなければならない。しかしながら、走査系の掃引周波数と防振の点からレバーの共振周波数を低くすることはできない。この一見、相反する条件を満足させるには、上式から分かるようにレバーを極力小さく作る必要がある。実際には、実験の設定の都合から、実体顕微鏡で十分見える大きさとして  $100 \text{ }\mu\text{m}$  程度の大きさのレバーが使用されている。

カンチレバーの微小変位を測定する変位測定系は、 $0.1 \text{ nm}$  以下の分解能をもつ必要があり、現状ではトンネルプローブ、レーザー干渉法、光てこ法などが用いられている。トンネルプローブによる変位検出は簡便であり、感度も高い。しかし、レバー背面に設けられるトンネルプローブ自身はチップ先端やレバー背面に存在する種々の吸着層を通して、逆にレバーに対して力を及ぼすため、力の検出感度に制限があり、AFM 動作を不安定にする原因となる。これに対し、光を用いた検出法は、光の輻射圧が非常に小さいため ( $1 \text{ mW}$  の光は  $7 \times 10^{-12} \text{ N}$  に相当する)、こうした問題がない。特に光てこ法は装置構成が容易なことから、現在の市販されているほとんどの AFM はこの方式を採用している。

## 参考文献

- [1] M. Kodama, M. Sugimoto, E. Hayashi, N. Soejima, O. Ishiguro, M. Kanechika, K. Itoh, H. Ueda, T. Uesugi, and T. Kachi, "GaN-based Trench Gate Metal Oxide Semiconductor Field-Effect Transistor Fabricated with Novel Wet Etching," *Appl. Phys. Express*, 1, 021104, 2008.
- [2] D. Ji, W. Li, A. Agarwal, S. H. Chan, J. Haller, D. Bisi, M. Labrecque, C.



Gupta, B. Cruse, R. Lal, S. Keller, U. K. Mishra, and S. Chowdhury,  
“Improved Dynamic  $R_{ON}$  of GaN Vertical Trench MOSFETs (OGF-FETs)  
Using TMAH Wet Etch,” *IEEE Elec. Dev. Lett.*, vol.39, no.7, pp.1030-1033,  
2018.

## 第4章 Si 基板上縦型 GaN MOSFET の試作

### 4.1 はじめに

第1章で述べたように Si 基板上の縦型 GaN MOSFET にはいくつかの課題が存在する。これまでは 1.6 に示した構造の MOSFET の検討を行ってきたが、理想的な FET の動作をするデバイスを作製することができなかった。そこで本研究では第3章で述べた再成長法を用いて Si 基板上の縦型 GaN MOSFET を作製し、その評価を行った。

### 4.2 再成長法によるデバイス作製

#### 4.2.1 再成長法の特徴

第3章で述べたように、再成長法では p-GaN までエピタキシャル成長を行った後、ゲート部の形成と p-GaN 活性化アニールを行う。その後上部のエピタキシャル再成長を行い、電極の蒸着等を行い、FET を形成する。

再成長法を用いて作製したデバイスは従来のものと電流の流れ方が異なる。第1章で述べた従来のものはゲート直下の p-GaN の MIS 界面に反転層を形成し、そこを電流が流れる構造となっている。しかし、再成長法を用いて作成したものは、再成長部が導電性の層となっているので表面のソース電極からゲート下の埋め込まれた部分へと流れ裏面のドレインの電極へと流れる構造となっている。ゲート電圧によって空乏層を広げ、電流値を制御している。

電流の流れる仕組みが従来のものと異なり反転層を形成しないことから、課題であるゲート部のエッチングダメージの影響を軽減できる。また活性化アニールを再成長前に行うことで、p-GaN 全面に対して行うことができ、Mg と結合している H を除去でき、より良い活性化を可能にする。

#### 4.2.2 サンプル構造

横型 MOCVD 装置(大陽日酸製 SR4000)を用いて、  
図 4.1 に示す構造を再成長法を用いて Si 基板上の縦型 GaN MOS-FET を作製した。

Si 基板上にバッファ層の AlN 層、SLS 層を成長させ、その後 FET 動作部となる n-GaN 層、p-GaN 層までエピタキシャル成長をする。その後、ゲートリセスの形成と活性化アニールを行う。再成長部は i-GaN 層、AlGaIn 層とした。また、ゲート絶縁膜には Al<sub>2</sub>O<sub>3</sub> 50 nm を使用した。裏面には Ag ペーストを塗布し、ドレイン電極とした。各層のドーピング濃度は SIMS 測定から求めたものを用いた。

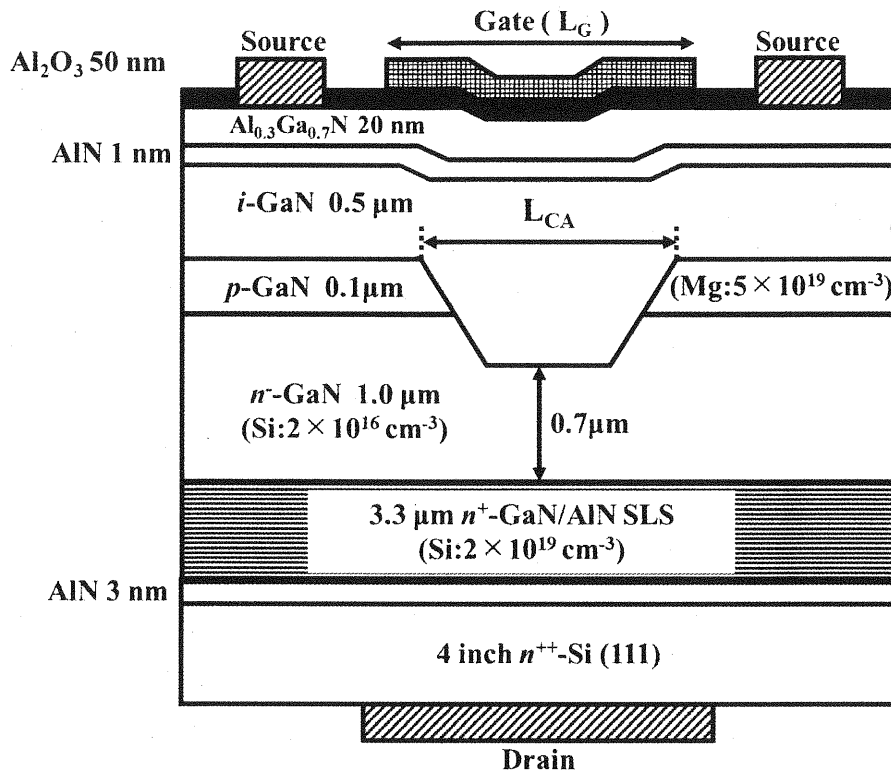


図 4.1 サンプル構造図

#### 4.3 デバイスの電氣的特性評価

半導体パラメータアナライザを用いて Si 基板上的縦型 GaN MOSFET を測定した  $I_D$ - $V_D$  特性を図 4.2 に、 $I_D$ - $V_G$  特性を図 4.3 に示す。

いずれも

図 4.1 に示すように表面側にあるゲート電極、その両端のソース電極、ドレイン電極は裏側の Ag ペーストで接着したチップにとり縦方向の測定を行った。

測定サンプルはゲート幅  $W_G = 200 \mu\text{m}$ 、ソース-ゲート電極間  $L_{SG} = 4 \mu\text{m}$ 、ゲート電極幅  $L_{SG} = 15 \mu\text{m}$ 、ゲート-ソース電極間  $L_{SG} = 4 \mu\text{m}$  のものを測定した。

縦方向  $I_D$ - $V_D$  特性の測定条件はドレイン電圧  $V_D$  を  $0 \sim 10 \text{ V}$  まで  $0.1 \text{ V}$  刻みで、ゲート電圧  $V_G$  は  $-20 \sim 0 \text{ V}$  まで  $2 \text{ V}$  刻みで印加し、測定を行った。

縦方向  $I_D$ - $V_G$  特性ではドレイン電圧  $V_D = 5 \text{ V}$  のときのゲート電圧  $V_G$  を  $-20 \sim 0 \text{ V}$  まで  $0.1 \text{ V}$  刻みで測定を行った。

いずれの測定でも電流密度の計算は電流狭窄部の幅  $L_{CA}$  より広がって流れることを考慮し、ゲート幅  $W_G$  とソース電極間  $L_{SG} + L_G + L_{SG}$  で囲われる長方形の面積を用いた。

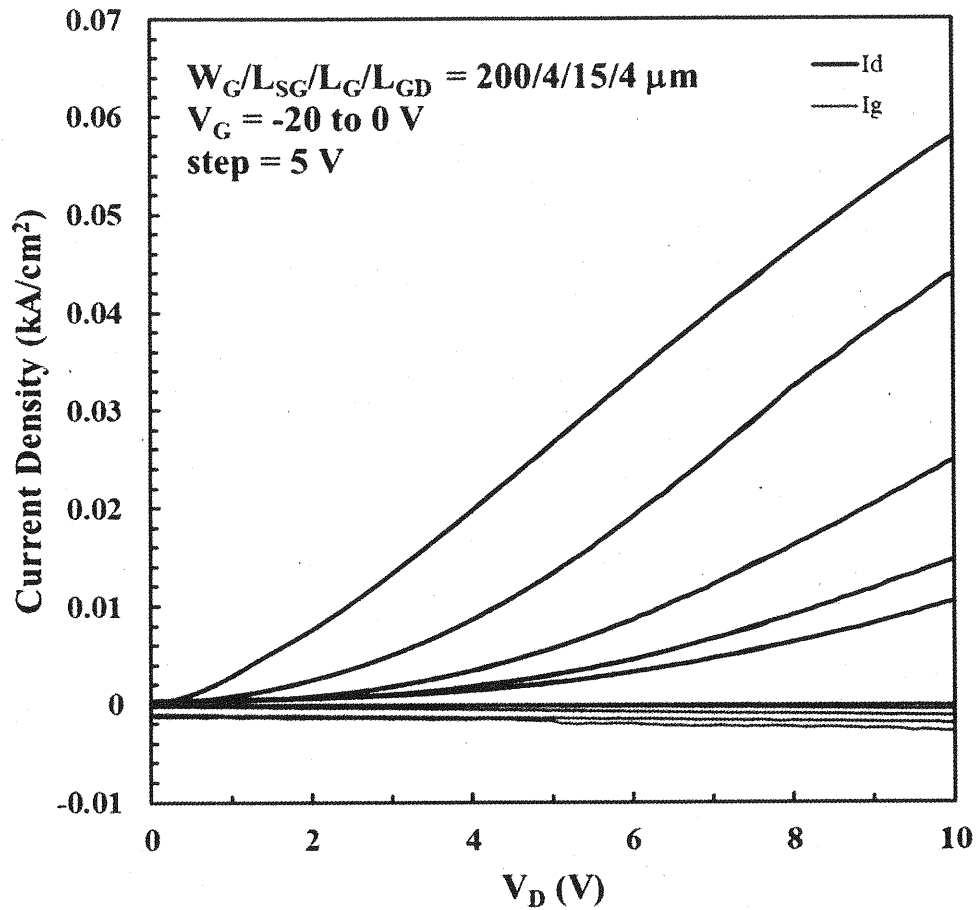


図 4.2 縦方向  $I_D$ - $V_D$  特性

図 4.2 からゲート電圧による変調が確認でき、Si 基板上の縦型 GaN MOS-FET の作製に成功したと言える。

測定結果から、縦方向の  $V_D = 1 \text{ V}$  でのオン抵抗  $R_{ON}$  を計算すると、 $R_{ON} = 226 \text{ (m}\Omega \cdot \text{cm}^2)$  となった。また、電流値の最大は  $I_D = 5.78 \times 10^{-2} \text{ (kA/cm}^2)$  であった。

また  $V_G = -20 \text{ V}$  のときでさえ、 $V_D$  の増加につれてドレイン電流  $I_D$  が増加しているのが分かる。これはドレイン電極からの電界によって電子が引き込まれており、空乏層によるオフ状態の形成ができていないと考えられる。また、オフ状態での電流値が大きいことは絶縁破壊耐圧の低下の原因のひとつとなっている。

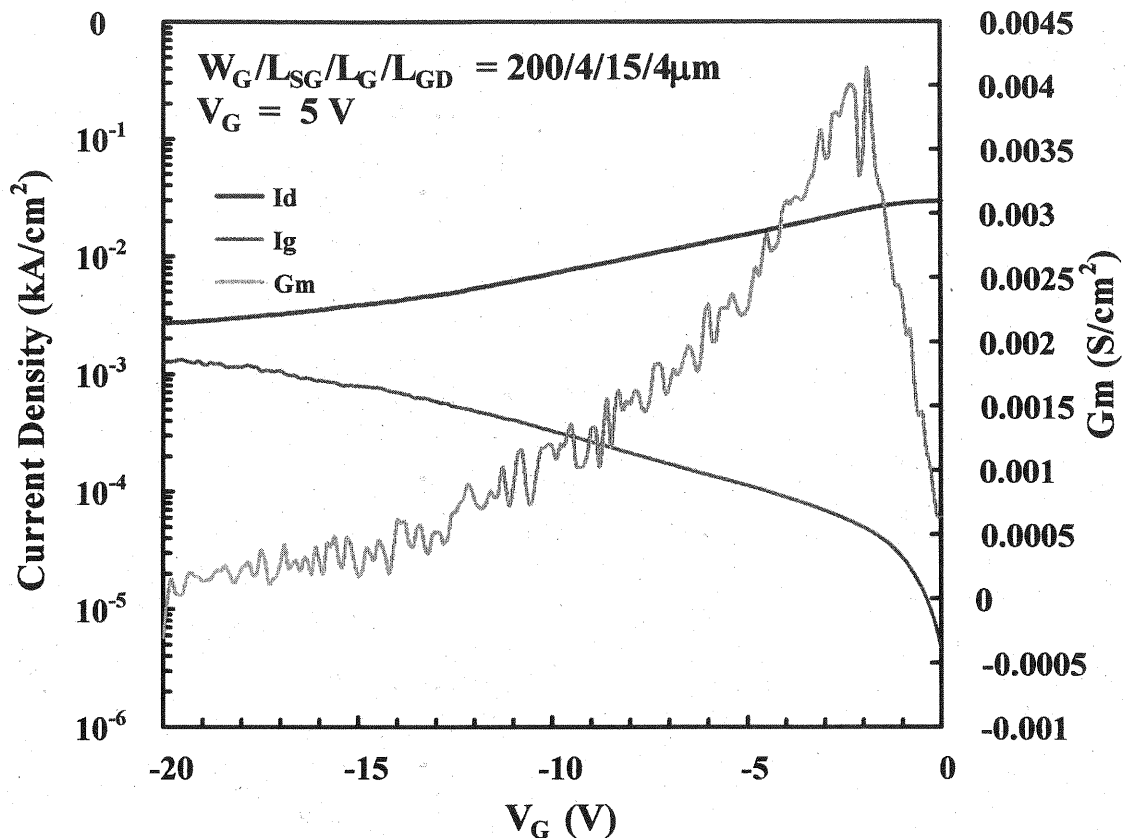


図 4.3 縦方向  $I_D$ - $V_G$  特性

図 4.3 から緩やかであるが、ゲート電圧による変調が確認できる。測定結果からオフ状態とオン状態のときの電流値の比は  $I_{on}/I_{off} = 1.08 \times 10^1$  であった。

#### 絶縁破壊測定

次に、同じ測定箇所でもオフ状態における絶縁破壊測定を行った。図 4.3 より  $V_G = -20$  V を印加しオフ状態とし、ドレイン電圧を 0.3 V 刻みで上昇させて絶縁破壊電圧を測定した。今回コンプライアンスを 8 mA に設定し、これを超えたときに測定が自動で停止するようにした。測定結果を図 4.4 に示す。

図 4.4 より 32 V で絶縁破壊が起きており、緩やかに電流値が上昇してしまっていることから、オフ状態が良くないことが分かる。

この値はパワーデバイスとして不十分であり、また構造より期待される値よりも小さくなっている。理想的には縦型 MOS-FET では、絶縁破壊電圧はドリフト層の厚さに依存する。今回作製したデバイスでは主に耐圧に寄与するのは、ドリフト層である n-GaN 層であり、ゲート部のエッチングにより実際耐圧に寄与する膜厚は 0.7  $\mu\text{m}$  である。過去の我々の縦型 p-n ダイオードの研究でドリフト層の厚さを変化させた結果からドリフト層 0.7  $\mu\text{m}$  では 150 V 程度が期待される。

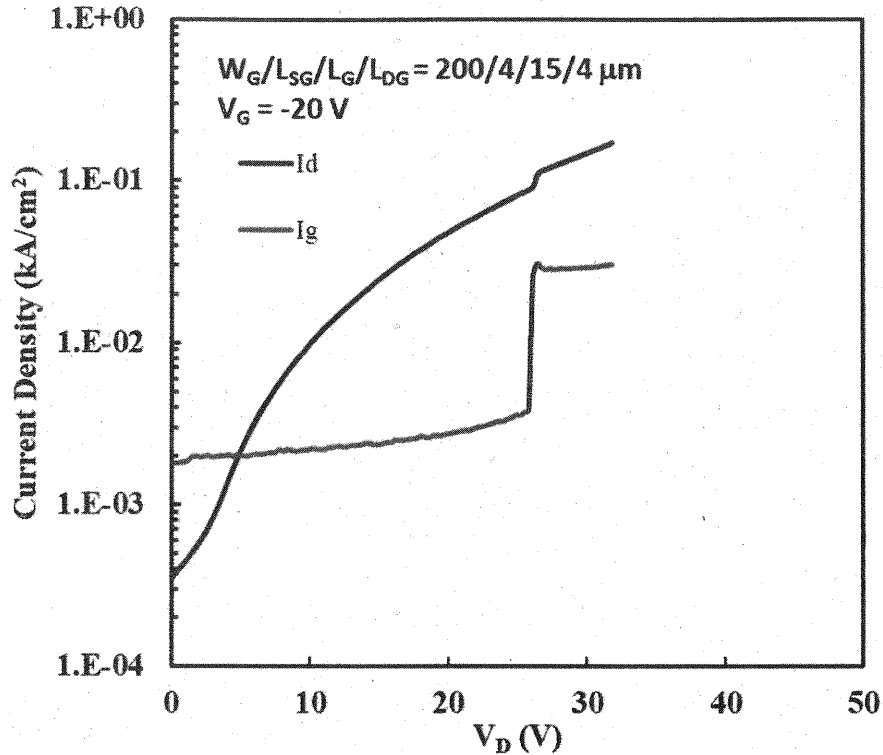


図 4.4 絶縁破壊測定

以上のことから FET 動作をするデバイスの作製には成功したが、オン抵抗が大きいこと、絶縁破壊電圧が低いと、パワーデバイスとして使われるには不十分であるため、その特性の改善について取り組んだ。

## 参考文献

- [1] M. Kanechika, M. Sugimoto, N. Soejima, H. Ueda, O. Ishiguro, M. Kodama, E. Hayashi, K. Itoh, T. Ueshugi, and T. Kachi, "A Vertical Insulated Gate AlGaN/GaN Heterojunction Field-Effect Transistor," *Jpn. J. Appl. Phys.*, Vol.46, No.21 2007.
- [2] W. Li, K. Nomoto, K. Lee, S. M. Ialam, Z. Hu, M. Zhu, X. Gao, J. Xie, M. Pilla, D. Jena, and H. G. Xing, "Activation of buried p-GaN in MOCVD-regrown vertical structures," *Appl. Phys. Lett.* 113, 062105, 2018.
- [3] S. Mase, T. Hamada, J. Freedman, and T. Egawa, "Effect of Drift Layer on the Breakdown Voltage of Fully-Vertical GaN-on-Si p-n Diodes," *IEEE Elec. Dev. Lett.*, vol.38, no.12. pp.1720-1723,2017.

## 第5章 オン抵抗低減対する取り組み

### 5.1 はじめに

パワーデバイスには高出力・高耐圧であることが求められる。しかし、第4章で述べたように我々の試作したSi基板上の縦型GaNMOSFETは $R_{ON} = 226 (\text{m}\Omega \cdot \text{cm}^2)$ とオン抵抗が大きい。本章では主にオン抵抗を低減するための取り組みについて述べる。

### 5.2 横方向との比較

第4章にて作製したSi基板上GaNMOSFETについて横方向で測定を行い、縦方向のものと比較した。

図5.2に示すように縦方向の測定は4.3と同じく表面側にあるゲート電極、その両端のソース電極、ドレイン電極は裏側にとり測定する。横方向の測定はサンプル表面のオーミック接合している電極の一方をドレイン電極とし、通常の横型デバイスと同じような接続を行う。

測定結果を以下の図5.2に示す。ただし、比較しやすいように電流密度はゲート電極幅 $W_G$ 当たりの電流値とし、単位は $(\text{mA}/\text{mm})$ に統一した。

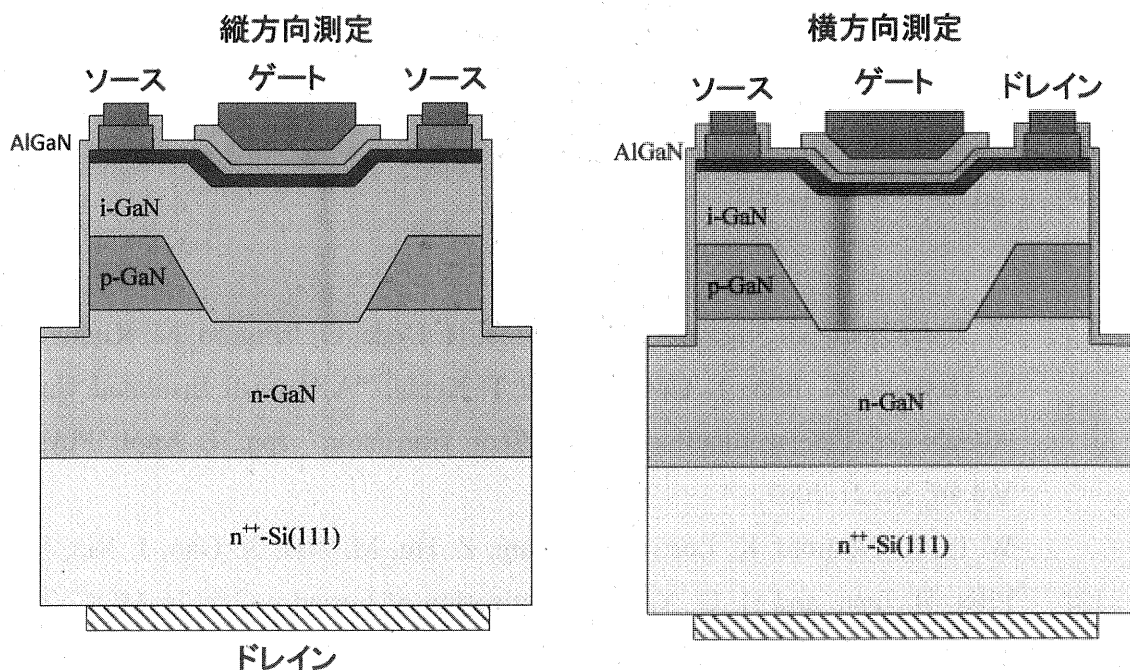


図 5.1 縦方向と横方向の接続方法

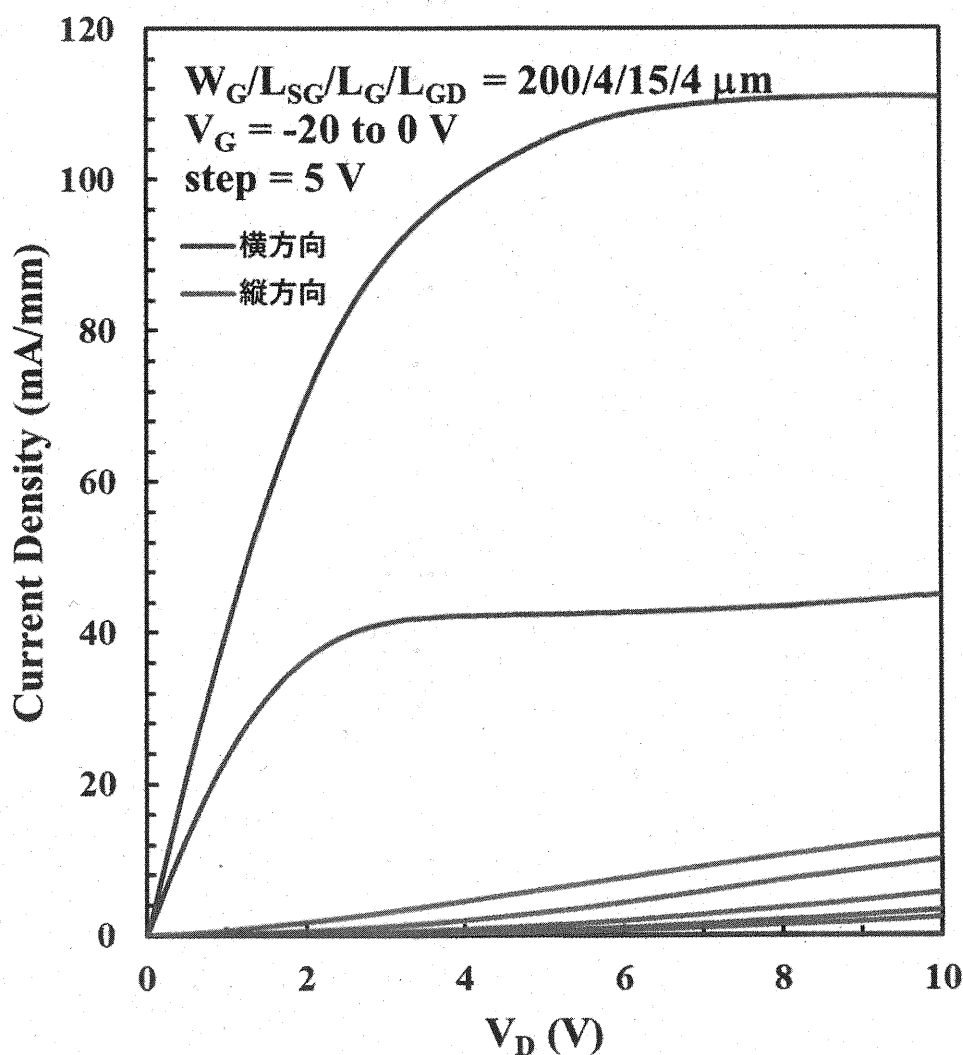


図 5.2 横方向と縦方向の電流値の比較

図 5.2 より横方向の電流は縦方向の 8 倍ほどであり、横方向の最大の電流値は  $I_D = 1.11 \times 10^2$  (mA/mm) で、オン抵抗は  $R_{ON} = 2.71 \times 10^1$  ( $\Omega \cdot \text{mm}$ ) であった。

これは縦方向の特有の経路が横方向のそれと比べて抵抗が大きいことを示している。つまり縦方向に流れるときに通過するのは i-GaN 層、n-GaN 層、SLS 層、Si 基板であるが、この中で特に再成長部の i-GaN 層の抵抗が最も大きな原因と考えた。

### 5.3 再成長部 i-GaN 層に関する検討

再成長部 i-GaN 層は AlGaIn 層との界面で 2DEG を形成することと、ゲート下の電流狭窄部までの電流経路としての役割がある。そこで、オン抵抗を低減するために i-GaN 層の膜厚を減らしたものと i-GaN 層の代わりに Si ドープした n-GaN 層を再成長部に用いたサンプルを用意し、プロセスを行った。以下の図 5.3



に簡略化した構造図を示す。

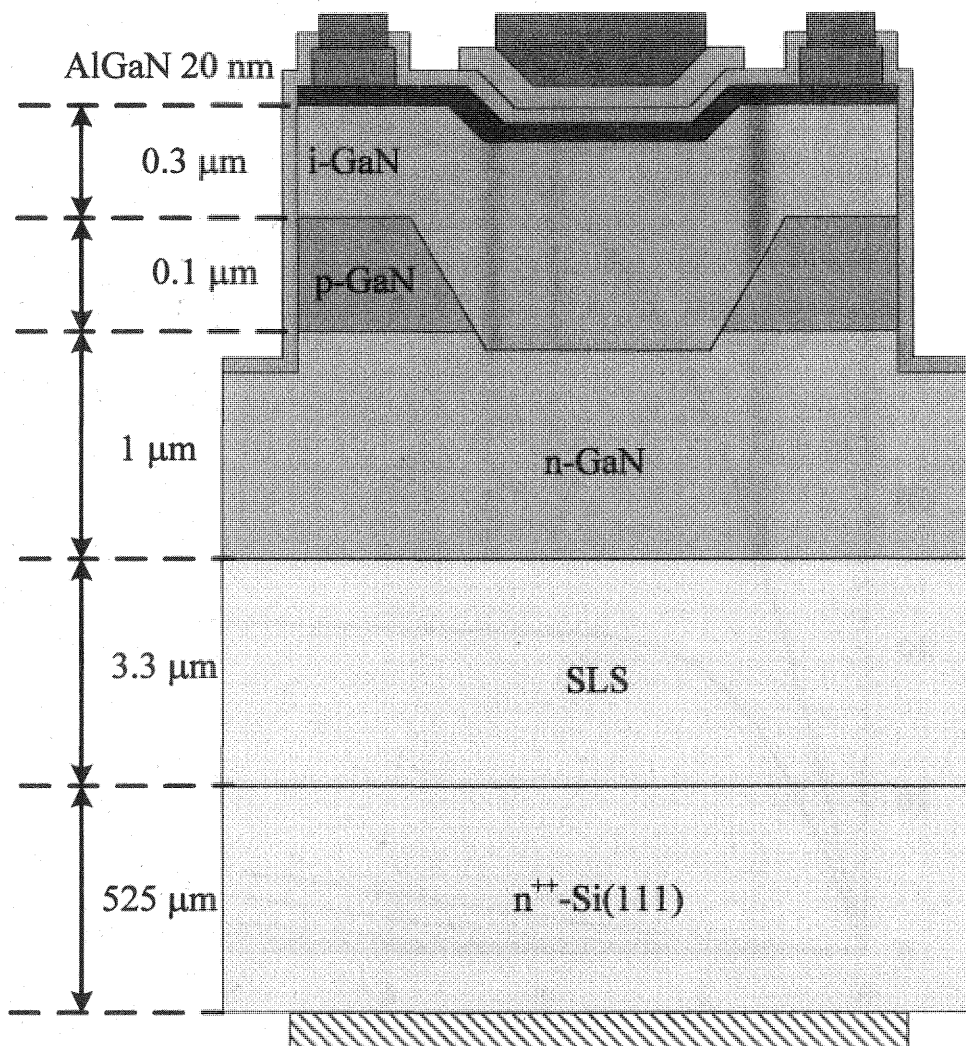


図 5.3 サンプル構造図

縦方向のオン抵抗が大きい原因として再成長部の i-GaN 層の影響が大きいと考え、i-GaN 層を薄くすることでオン抵抗の低減を狙った。

第 4 章の試作サンプルでは、i-GaN 層の膜厚は 0.5 μm なので、i-GaN 層の膜厚 0.3 μm のサンプルを作製した。測定は 4.3 と同様に縦方向で行なった。

図 5.4 より最大電流値は  $I_D = 4.65 \times 10^{-1}$  (kA/cm<sup>2</sup>) であり、オン抵抗は  $R_{ON} = 2.69 \times 10^1$  (mΩ · cm<sup>2</sup>) であった。

i-GaN 層 0.5 μm と比べると、1/10 程度までオン抵抗が抑えることに成功している。しかし、この他の測定結果では i-GaN 層 0.5 μm のものと変わらないオン抵抗のものも測定された。膜厚を薄くしたことで Mg の拡散も影響が強くなっていることが原因と考えられる。

i-GaN 層を薄くすることはオン抵抗の低減に有効であるが、Mg の拡散について対策をする必要があると考える。

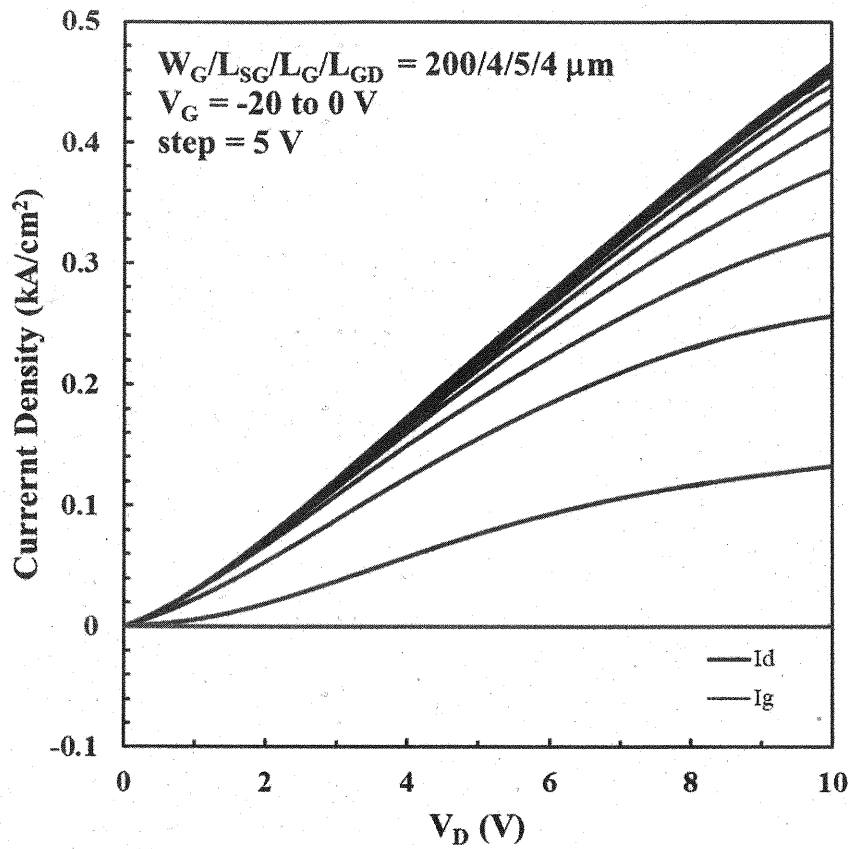


図 5.4  $I_D$ - $V_D$  特性

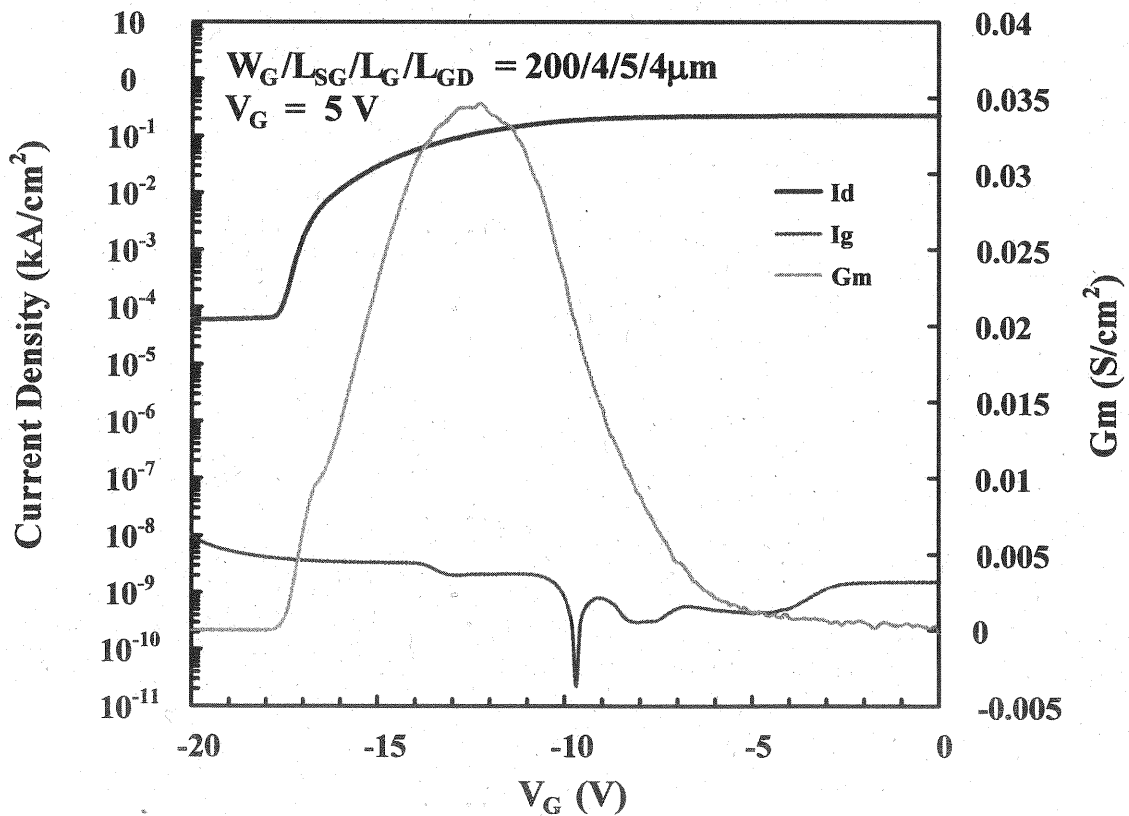


図 5.5  $I_D$ - $V_G$  特性

## 5.4 サンプル表面の検討

### 5.4.1 サンプル表面 n-GaN 層検討

本研究では Si 基板上（異種基板）に GaN を成長させていることに加え、再成長法を用いてサンプルを作製していることから、1.6 で述べたような一括でエピタキシャル成長を行うものと比較してサンプル表面の結晶品質が悪くなりやすいという欠点が存在する。

実際、表面が AlGaIn/GaN のサンプルには再成長後にクラックが確認されたことより、サンプル表面の AlGaIn/GaN 界面に影響があり、オン抵抗が高いことの原因の一つであると考えた。

そこで、サンプル表面の AlGaIn/GaN の代わりに高濃度の Si ドープを行った  $n^+$ -GaN 層を用いたもののサンプルを作製し、評価を行った。図 5.6 にその構造図を示す。

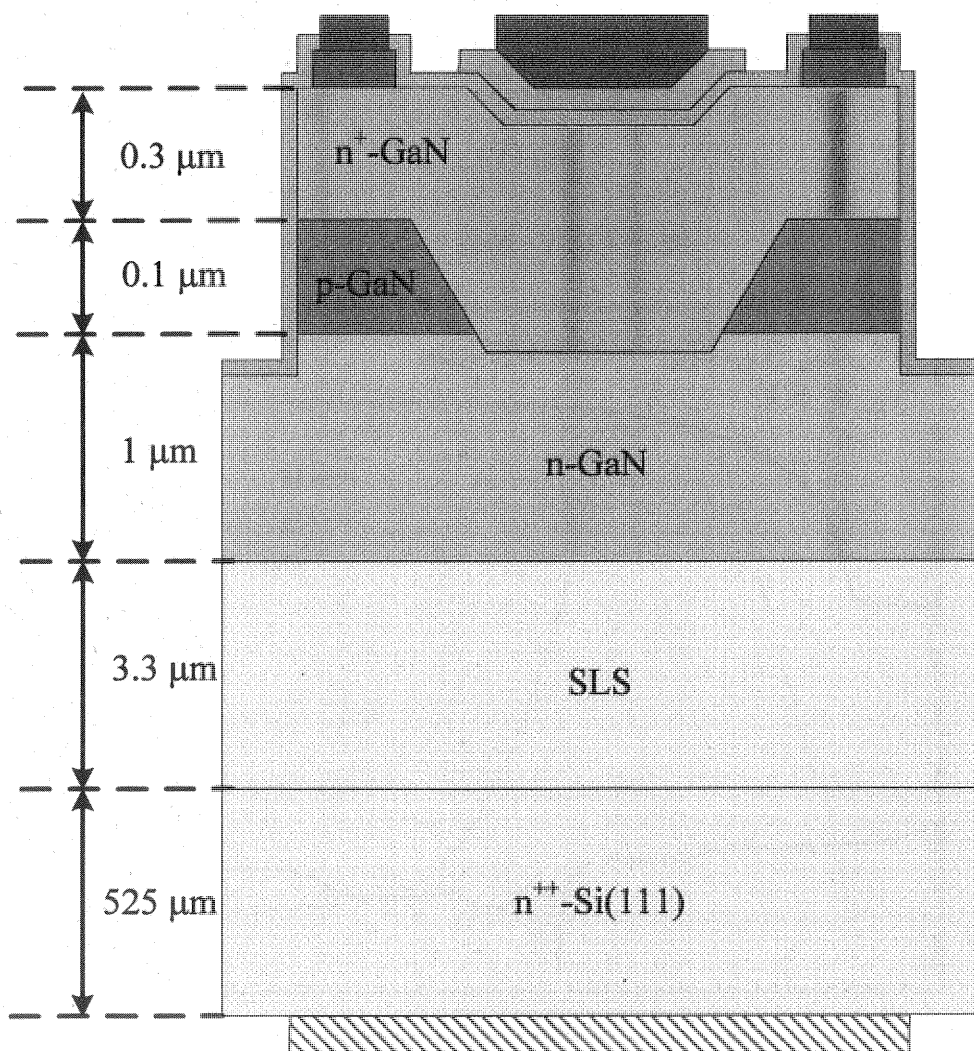


図 5.6 サンプル構造図

### TLM 測定

初めに、サンプル表面の AlGaIn/GaN と n<sup>+</sup>-GaIn の TLM 測定を行った。以下に TLM 測定から算出したそれぞれの実効接触抵抗 R<sub>C</sub>、シート抵抗 R<sub>sh</sub>、固有接触抵抗率 ρ<sub>C</sub> を表 5.1 に示す。

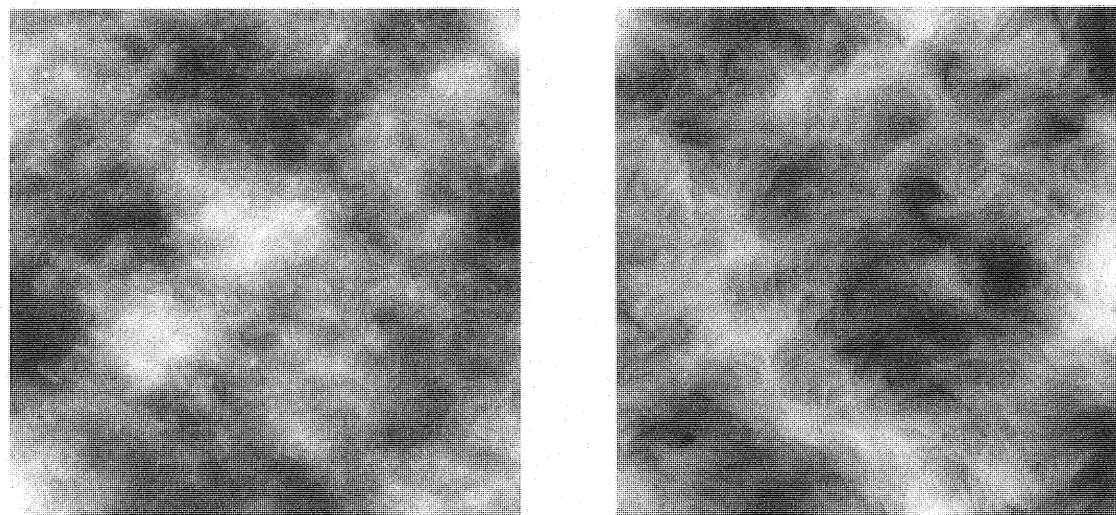
n<sup>+</sup>-GaIn の方が実効接触抵抗 R<sub>C</sub>、シート抵抗 R<sub>sh</sub> とともに AlGaIn/GaN よりも n<sup>+</sup>-GaIn の方が抵抗が小さくなっている。

表 5.1 TLM 測定結果

| サンプル表面               | R <sub>C</sub> (Ω・mm) | R <sub>sh</sub> (Ω/sq) | ρ <sub>C</sub> (Ω・cm <sup>2</sup> ) |
|----------------------|-----------------------|------------------------|-------------------------------------|
| AlGaIn/GaN           | 2.76                  | 602                    | 1.27×10 <sup>-4</sup>               |
| n <sup>+</sup> -GaIn | 0.35                  | 266                    | 7.56×10 <sup>-6</sup>               |

### AFM 測定

サンプルの表面状態を調べるために TLM 測定と同様にサンプル表面 AlGaIn/GaN と n<sup>+</sup>-GaIn のそれぞれで 10 μm×10 μm の範囲で AFM 測定を行った。



(a) AlGaIn/GaN

(b) n<sup>+</sup>-GaIn

図 5.7 AFM 像

二乗平均粗さ：RMS 値 図 5.7(a) AlGaIn/GaN では 0.443、(b) n-GaIn では 0.489 と有為な差はなく、クラックを避けるような狭い範囲では表面状態の差は無いことが分かった。

### 電気的特性

このサンプルの電気的特性を測定条件は 4.3 と同様に縦方向で行った。以下の 図 5.8、図 5.9 に I<sub>D</sub>-V<sub>D</sub> 特性、I<sub>D</sub>-V<sub>G</sub> 特性を示す。

このサンプルでは、ゲート変調のあるものは得られなかった。電流値を見ると、第4章で述べた試作サンプルのオン状態のときと同程度の電流値となっている。

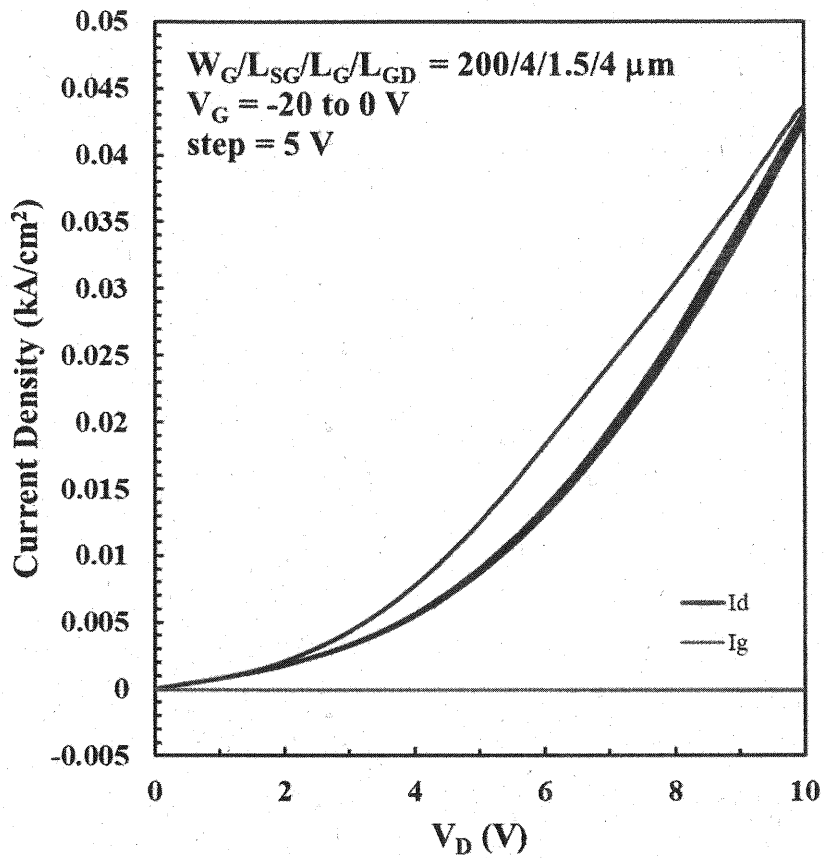


図 5.8  $I_D$ - $V_D$  特性

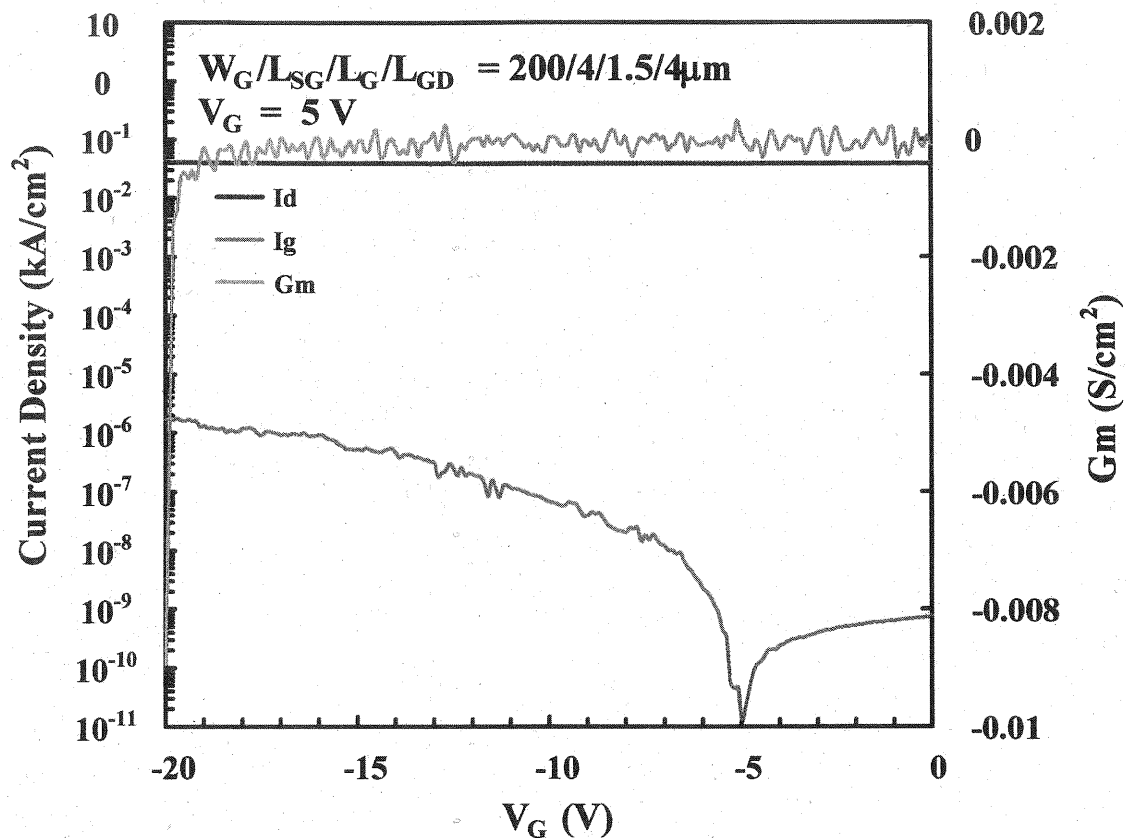


図 5.9  $I_D$ - $V_G$  特性

このことから、ゲート電圧による変調が得られない原因には  $n^+$ -GaN 層の厚さであると考えた。これまで作製してきたのは AlGaIn/GaN の 2DEG を用いたものであり、電流は AlGaIn/GaN の界面の非常に狭い部分を通過している。しかし、 $n^+$ -GaN 層を用いたものでは  $n^+$ -GaN 層全体が Si ドープされており電流経路となっているため、空乏層の広がり不十分でオフ状態を形成することが出来なかったと考えられる。

そこで、次にサンプル表面を  $n^+$ -GaN 層と  $i$ -GaN 層とし、 $n^+$ -GaN 層の厚さを薄くし電流の経路を絞ることで、空乏層が広がりやすくなりゲートによるコントロールを期待したサンプルを作製した。

#### 5.4.2 $n$ -GaN 膜厚変更

サンプルの表面の構造を  $i$ -GaN、 $n$ -GaN としたものを  $n$ -GaN の膜厚を 50, 100 nm としたものを用意し、プロセスを行った。また、 $\text{SiH}_4$  流量を 20sccm とし Si ドープ量を低下させた。構造図を 図 5.10 に示す。

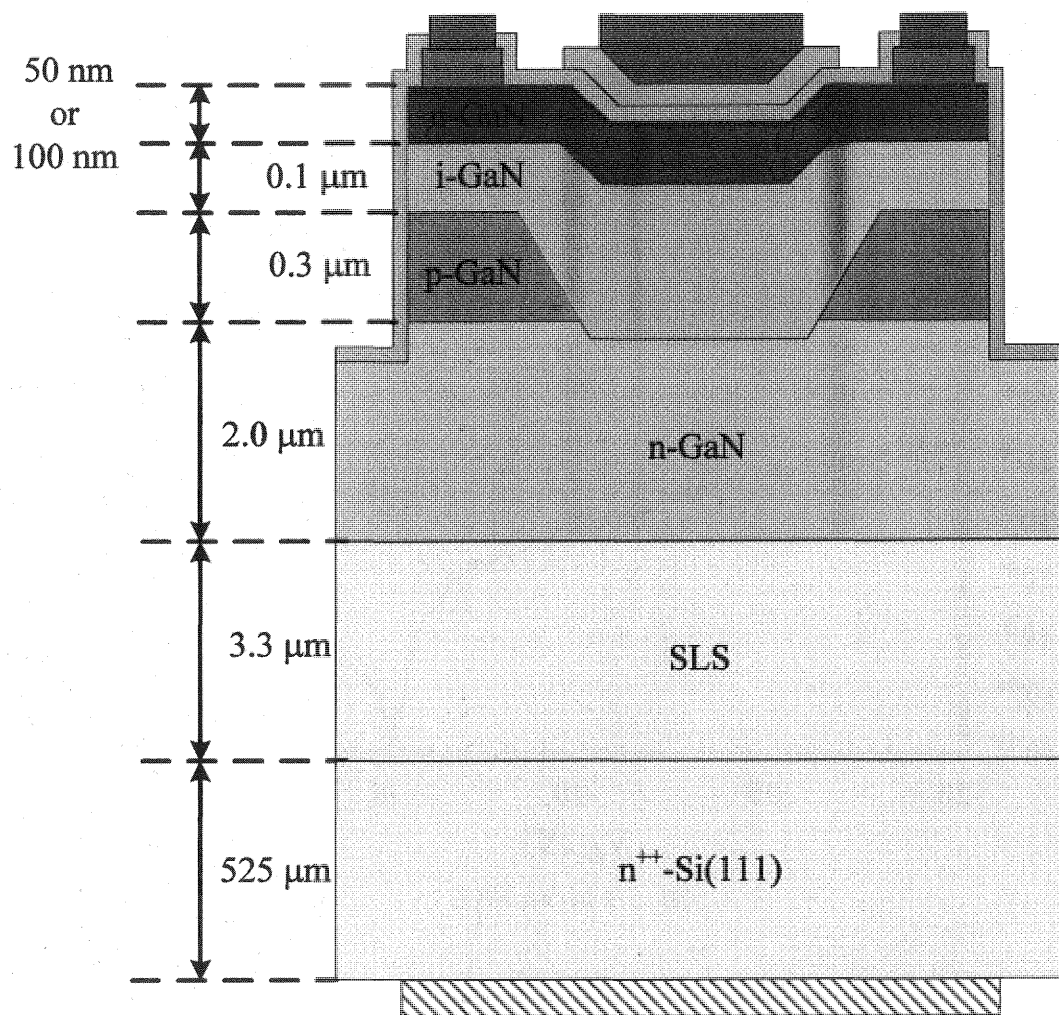


図 5.10 サンプル構造図

このサンプルも同様に縦方向での電氣的測定を行った。n-GaN 50 nm の  $I_D$ - $V_D$  特性と  $I_D$ - $V_G$  特性を図 5.11 に、n-GaN 50 nm の  $I_D$ - $V_D$  特性と  $I_D$ - $V_G$  特性を図 5.12 にそれぞれ示す。

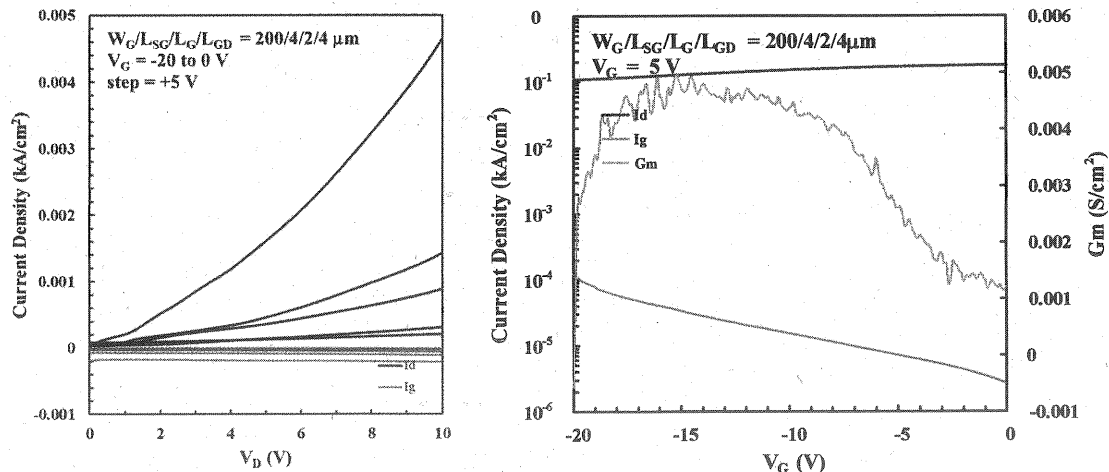


図 5.11 n-GaN 50 nm サンプルの電氣的特性

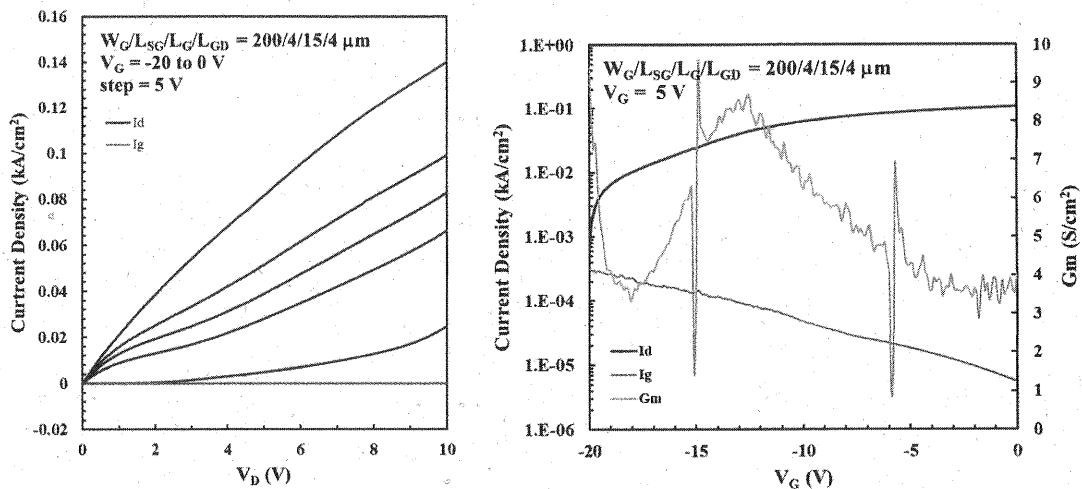


図 5.12 n-GaN 100 nm サンプルの電気的特性

n-GaN 50 nm と 100 nm どちらのサンプルでもゲート変調をしており、n-GaN 層の薄膜化の効果が確認できた。

n-GaN 50 nm のサンプルでは最大電流値は  $I_D = 4.65 \times 10^{-3} \text{ (kA/cm}^2\text{)}$  であり、オン抵抗は立ち上がりの 1 V 付近の理想的には線形領域であるはずの部分が、直線とならず、オン抵抗を求めることはできなかった。このサンプルではオン抵抗を低減することが出来ず、逆に電流値が減少してしまう結果となった。

n-GaN 100 nm のサンプルでは最大電流値は  $I_D = 1.40 \times 10^{-1} \text{ (kA/cm}^2\text{)}$  であり、オン抵抗は  $R_{ON} = 5.47 \times 10^1 \text{ (m}\Omega \cdot \text{cm}^2\text{)}$  と図 6.2 で後述するサンプル表面の AlGaIn/GaN 以外の構造が同じであるサンプルと比較して半分以下にオン抵抗を抑えることが出来た。

しかし、 $I_D$ - $V_D$  特性からどちらのサンプルも  $V_G = -20 \text{ V}$  を印加した際ですえドレイン電圧 10 V 付近で電流値が増加しており、オフ状態が悪いため耐圧の点で課題があると言える。

このサンプル表面に n-GaN を用いたサンプルでは n-GaN 層厚さ 100 nm で、オン抵抗を低減することが出来たが、オフ状態が悪くなっている。また、50 nm では逆にオン抵抗を低減できていないことから、最適な構造は 50~100 nm の間の厚さであると考えられる。



## 第6章 耐圧向上に対する取り組み

### 6.1 はじめに

パワーデバイスには高出力・高耐圧であることが求められる。しかし、第4章で述べたように我々の試作した Si 基板上の縦型 GaN MOSFET は絶縁破壊電圧 32 V と非常に小さい。本章では主に耐圧向上のための取り組みについて述べる。

### 6.2 低耐圧の原因の検討

第4章にて述べたように我々の試作した Si 基板上の縦型 GaN MOSFET は構造的に期待される耐圧に達していない。そこで、絶縁破壊の発生している箇所と原因を調べるために、以下の2つの要素を変更したデバイスを作製し、評価を行った。

- ・ドリフト層の厚膜化
- ・ゲート絶縁膜の2層化

#### 6.2.1 ドリフト層厚膜化

理想的には絶縁破壊電圧はドリフト層の厚さに依存するため、ドリフト層である n-GaN 層を 1.5  $\mu\text{m}$  と 2.0  $\mu\text{m}$  にしたサンプルを作製しプロセスを行った。以下の図 6.1 にサンプルの構造図を示す。

電気的特性を 4.3 と同様に縦方向で測定を行った。ドリフト層 1.5  $\mu\text{m}$  と 2.0  $\mu\text{m}$  の  $I_D$ - $V_D$  特性と  $I_D$ - $V_G$  の測定結果をそれぞれ図 6.2 と図 6.3 に示す。

最大電流値とオン抵抗はそれぞれ次の値であった。ドリフト層 1.5  $\mu\text{m}$  は  $I_D = 8.22 \times 10^{-2}$  (kA/cm<sup>2</sup>)、 $R_{ON} = 1.6 \times 10^2$  (m $\Omega \cdot \text{cm}^2$ )、ドリフト層 2.0  $\mu\text{m}$  は  $I_D = 6.97 \times 10^{-2}$  (kA/cm<sup>2</sup>)、 $R_{ON} = 1.75 \times 10^2$  (m $\Omega \cdot \text{cm}^2$ )であった。電流値は第4章の試作サンプルとほぼ同程度であった。

また、ドリフト層 1.5  $\mu\text{m}$  の方が図 6.2 より  $V_G = -20$  V でドレイン電圧 10 V 付近で若干電流値が上昇しているのが見えるものの、どちらのサンプルもオフ状態の電流値は  $10^{-5}$  オーダーと低く抑えられている。

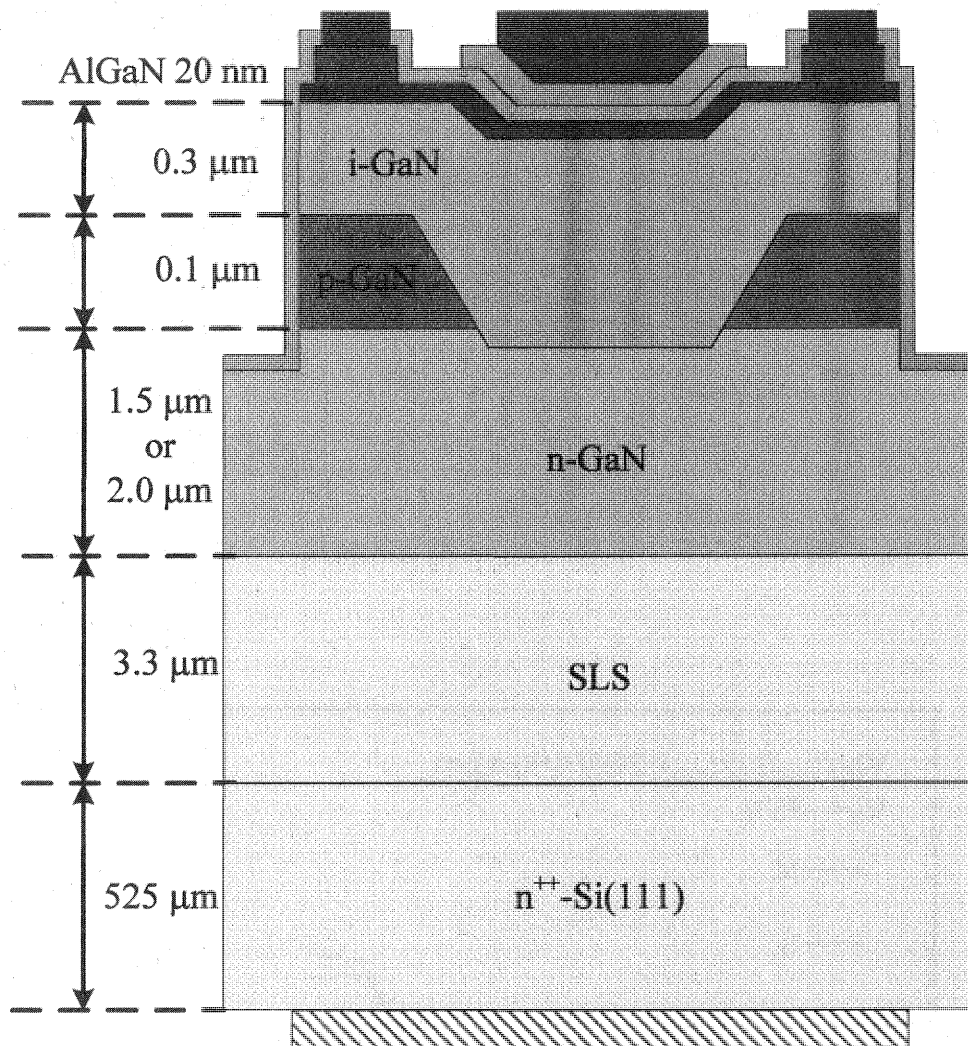


図 6.1 サンプル構造図

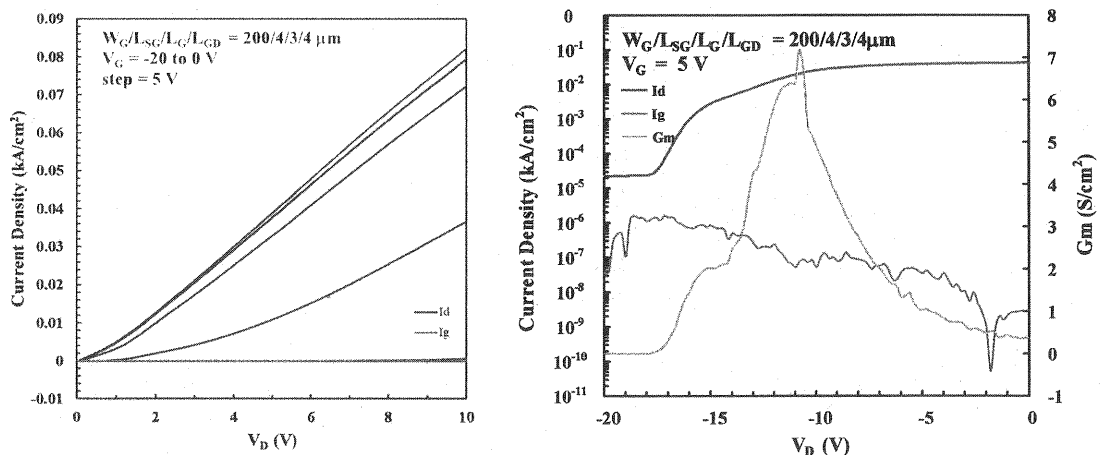


図 6.2 ドリフト層 1.5 μm 電気的特性

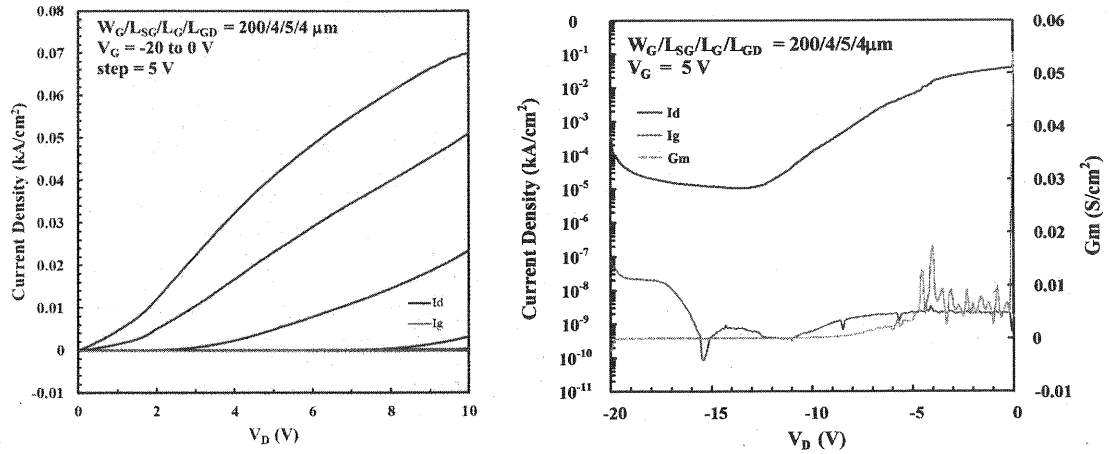


図 6.3 ドリフト層 2.0  $\mu\text{m}$  電気的特性

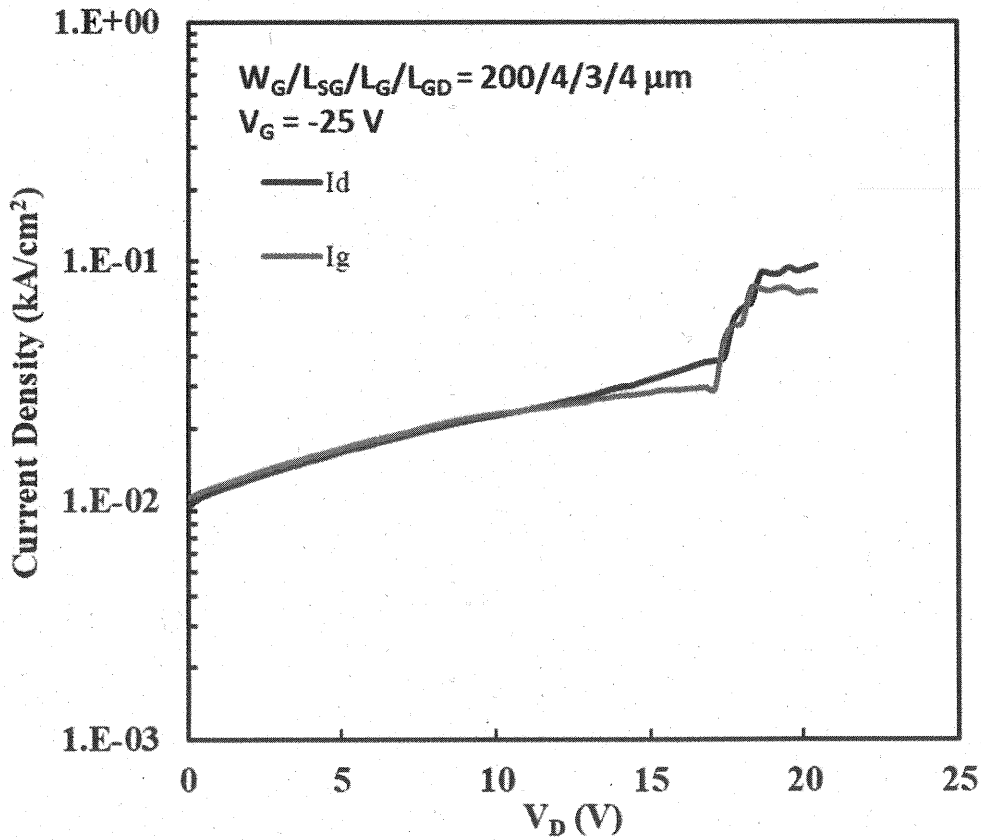


図 6.4 ドリフト層 1.5  $\mu\text{m}$  耐圧特性

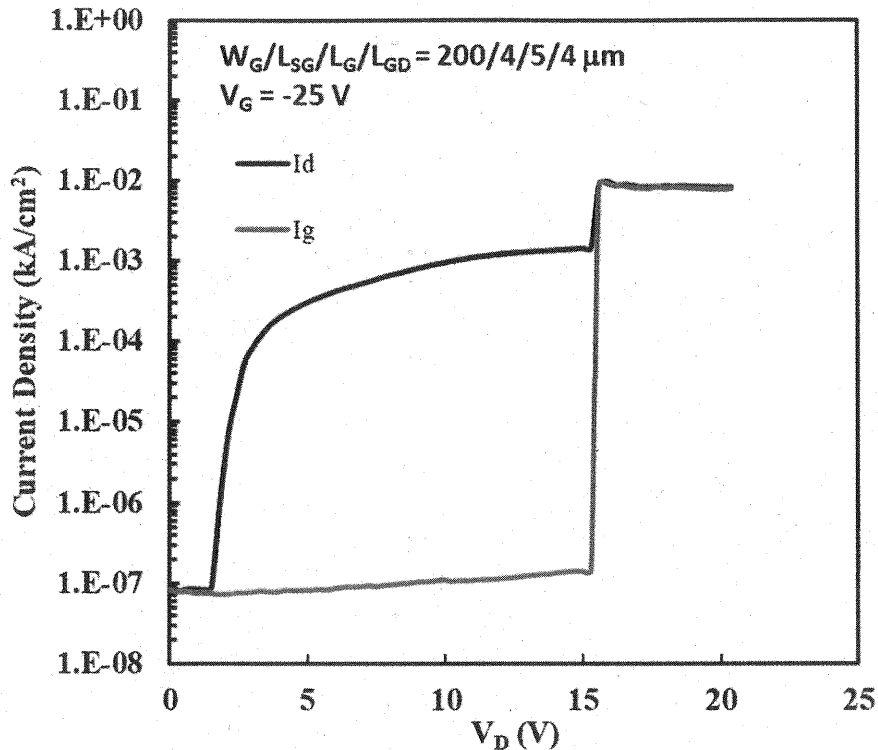


図 6.5 ドリフト層 2.0 μm

オフ時の耐圧測定の結果をそれぞれ図 6.4 と図 6.5 に示す。オフ状態とするためにゲート電圧  $V_G = -25$  V とした。

それぞれ数点測定を行ったが、どちらのサンプルも 20~50 V 程度で絶縁破壊しており、ドリフト層の膜厚に依存するような結果は得られなかった。

図 6.5 では 15 V あたりでゲート電流が急激に増加しており、ゲート絶縁膜が破壊されていることが分かる。

### 6.2.2 ゲート絶縁膜の 2 層化

ゲート電流  $I_G$  が急激に増加しているものもあるため、ゲート絶縁膜で絶縁破壊が発生していると考えた。ゲート絶縁膜を従来の  $Al_2O_3$  に加えてと絶縁破壊強度の高い  $SiO_2$  を堆積させたサンプルを作製した。以下の図 6.6 にその構造図を示す。

電気的特性を 4.3 と同様に縦方向で測定を行った。測定結果を図 6.7 に示す。最大電流値とオン抵抗はそれぞれ次の値であり、 $I_D = 3.15 \times 10^{-2}$  (kA/cm<sup>2</sup>)、 $R_{ON} = 2.13 \times 10^2$  (mΩ · cm<sup>2</sup>)、またオフ時の電流値は  $I = 3.2 \times 10^{-4}$  (kA/cm<sup>2</sup>) であった。絶縁膜以外の構造は第 4 章の試作サンプルと全く同じであるので、電流値もほぼ同じであった。

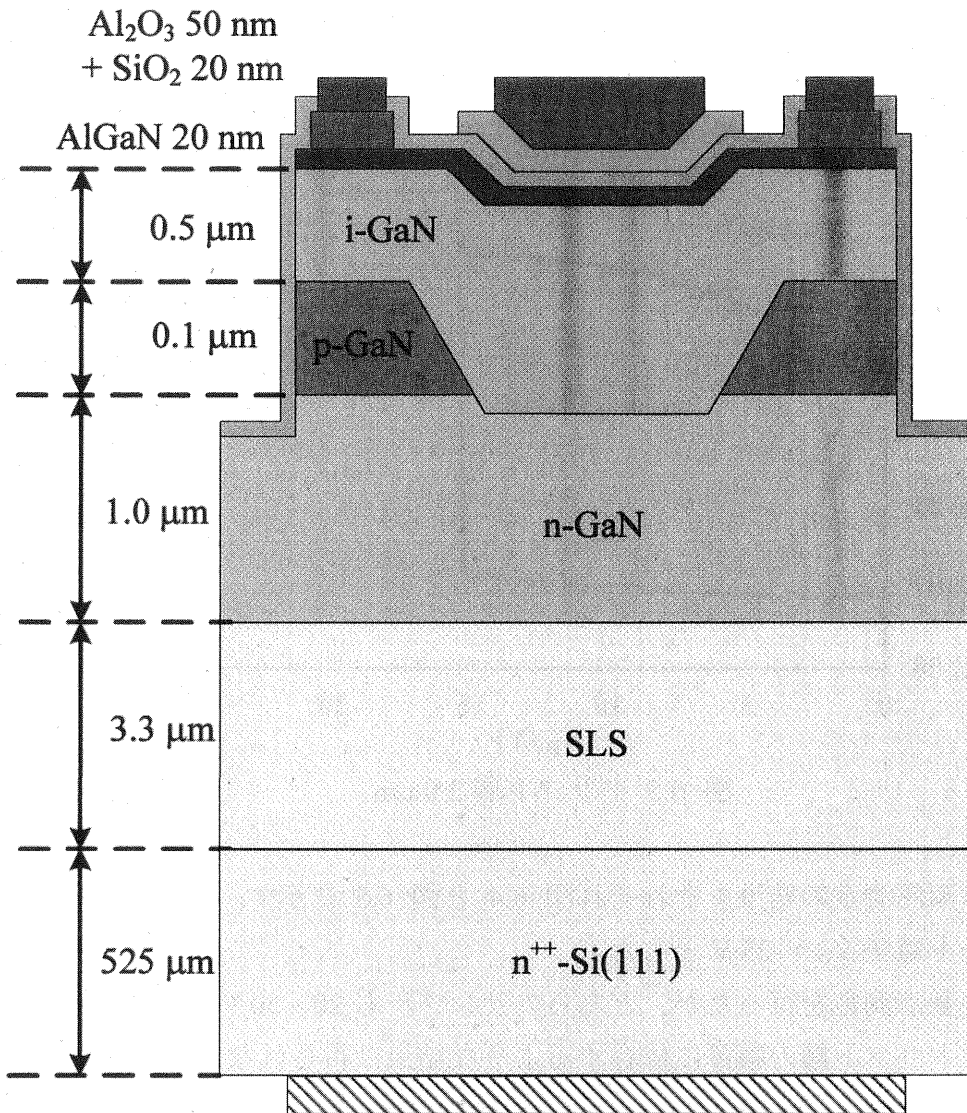


図 6.6 サンプル構造図

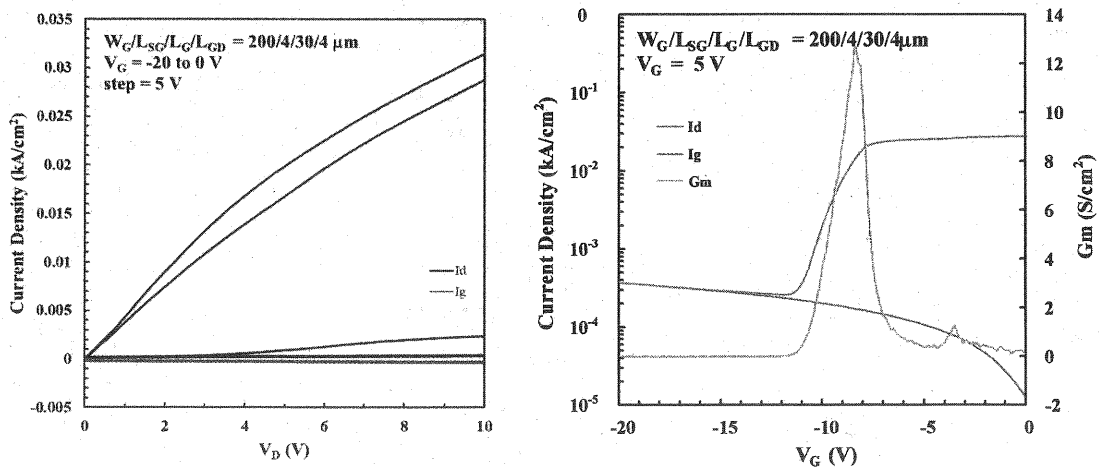


図 6.7 絶縁膜 2 層のサンプルの電気的特性

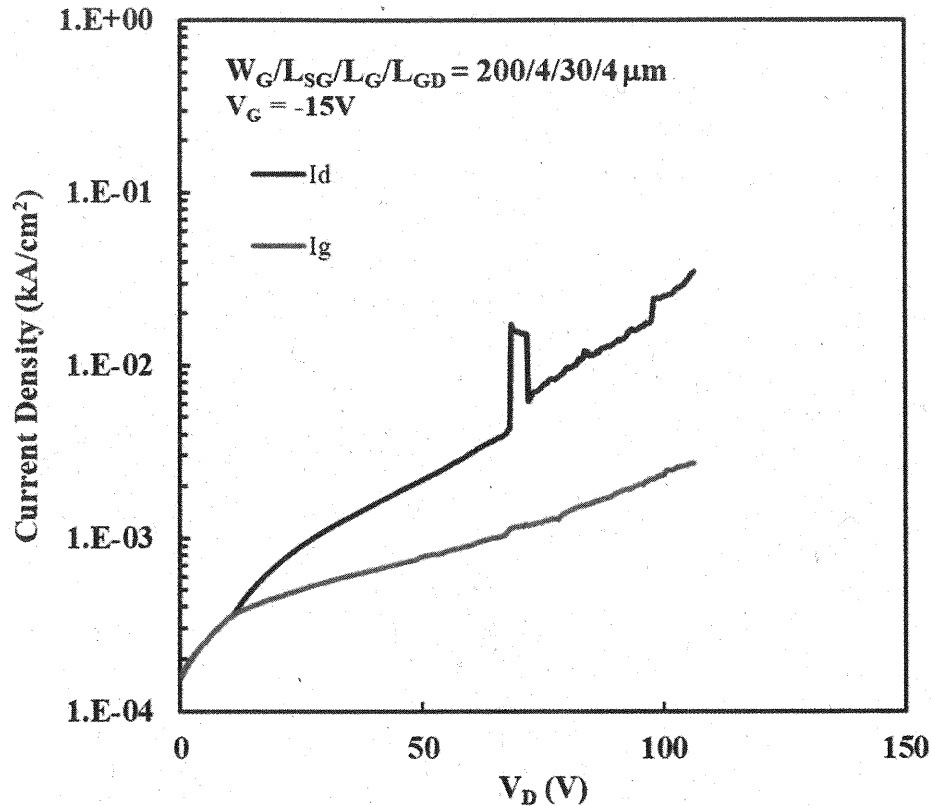


図 6.8 絶縁膜 2 層のサンプルの耐圧測定

オフ時の耐圧測定の測定結果を

図 6.8 に示す。オフ状態とするためゲート電圧  $V_G = -15\text{ V}$  を印加した。

106 V で絶縁破壊しており、ゲート電流が急激に上昇し、コンプライアンスで停止していた。また測定後に観察すると、ゲート電極で絶縁破壊が起きていたことを確認した。その画像を図 6.9 に示す。

これまでのサンプルと異なり 106 V と期待される値に近い値をいくつかのオフ状態の良いデバイスで得ることが出来た。

しかし、図 6.10 のような電気的特性を示すようなオフ状態の悪いデバイスでは以下の図 6.11 のように試作のサンプルと同じような耐圧測定結果となるものも多く存在した。このデバイスでは測定後図 6.9 のような絶縁破壊の痕は確認できず、ゲート絶縁膜ではなくバルク中で絶縁破壊していると考えられる。

つまり、このサンプルでは絶縁膜を  $\text{Al}_2\text{O}_3$  50 nm と  $\text{SiO}_2$  20 nm の 2 層とすることで絶縁膜の耐圧である 100 V 程度まで観測できるようになった。その結果、図 6.7 のようなオフ状態の良いデバイスでは構造から期待される耐圧が出ていることが分かった。つまり、絶縁膜を改善することで更なる耐圧の改善が期待できる。

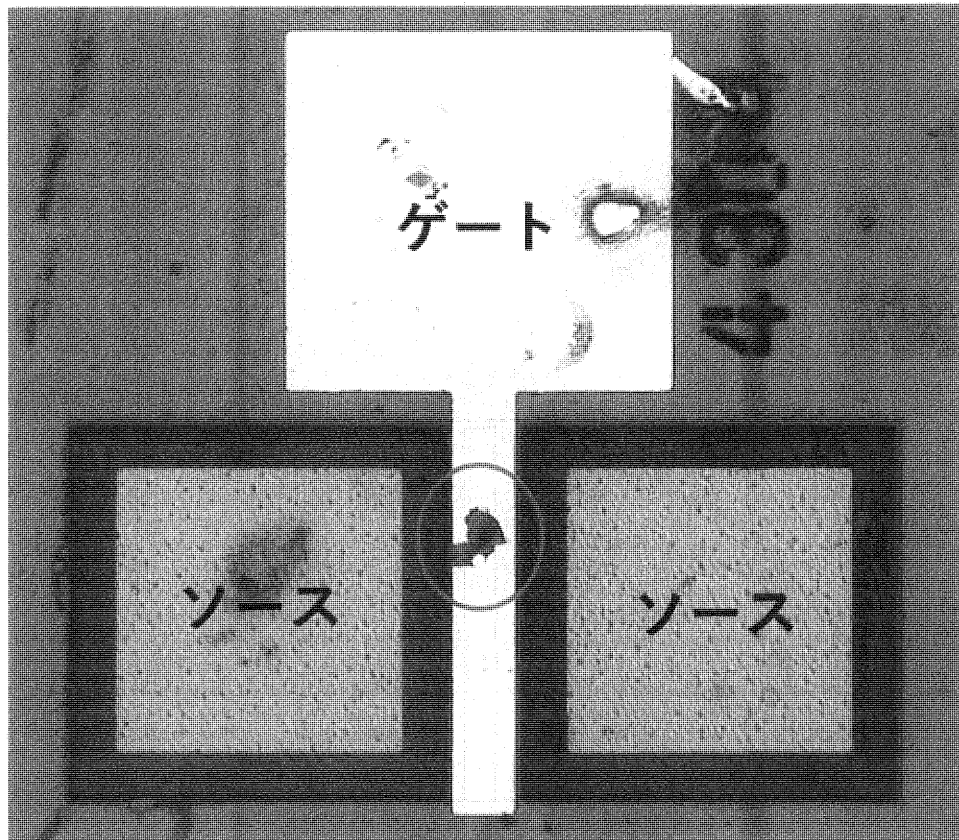


図 6.9 耐圧測定後の画像

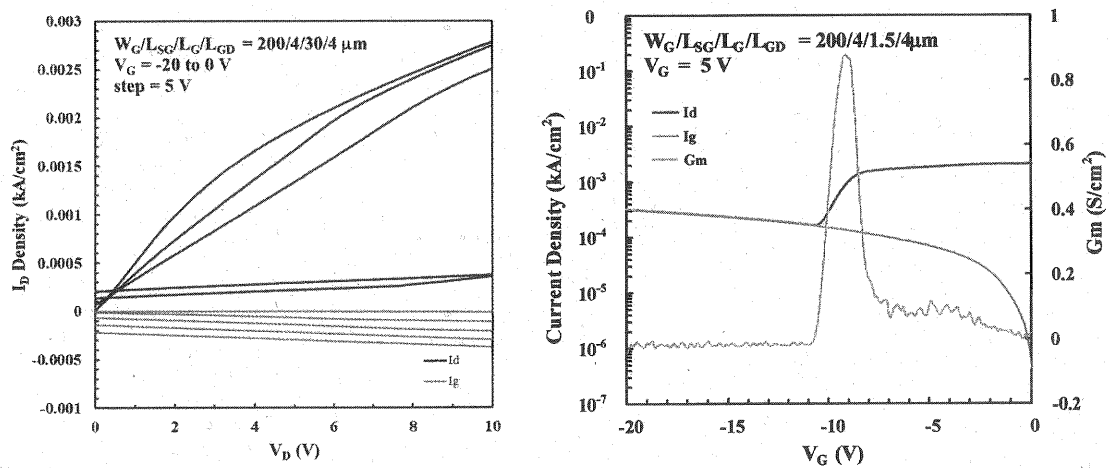


図 6.10 オフ状態が悪いデバイスの電気的特性

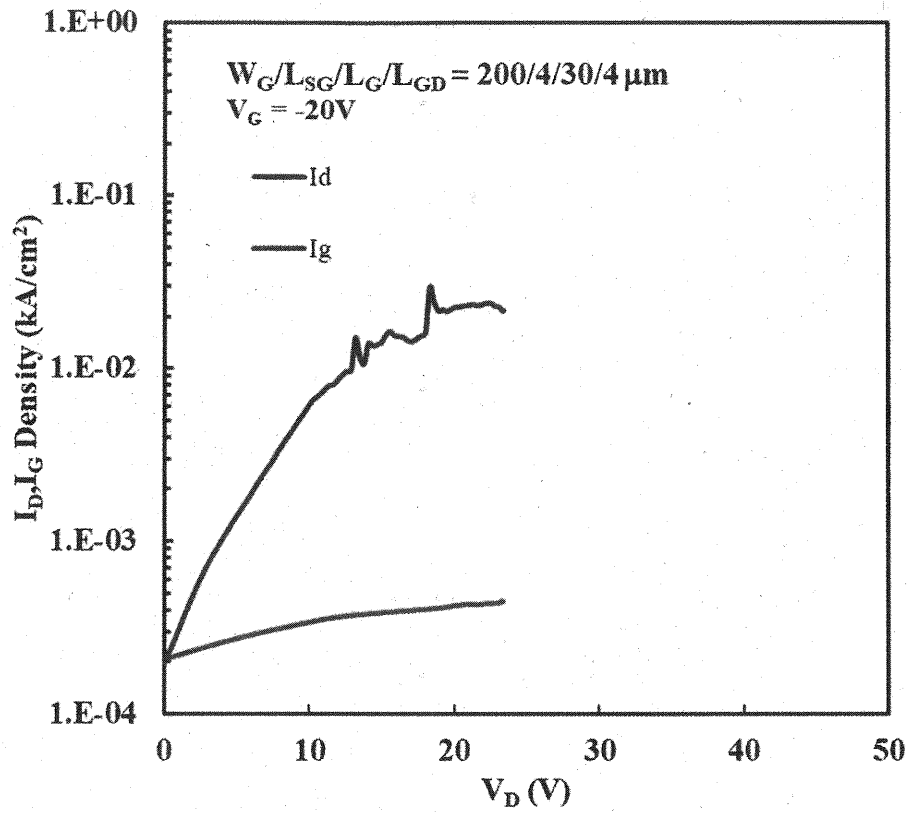


図 6.11 オフ状態が悪いデバイスの耐圧特性



## 第7章 総括

本研究では、Si 基板上縦型 GaN MOS-FET の試作と性能向上を狙い、作製したサンプルの検討、評価を行った。初めに、第4章では再成長法を用いて作製したゲートによる変調が確認できた Si 基板上縦型 GaN MOS-FET について述べた。しかし、パワーデバイスとして使用するには特性が不十分であったため、第5章、第6章で特性の改善に取り組んだ。

主な課題は(1)オン抵抗の低減、(2)高耐圧化の2点である。これらの解決に向け

1. 再成長部1層目である i-GaN 層の膜厚検討
2. サンプル表面の構造の検討
3. ドリフト層厚膜化
4. ゲート絶縁膜の2層化

を行った。

第4章ではオン抵抗の低減のために上記の1. 再成長部1層目である i-GaN 層の膜厚検討と2. サンプル表面の構造の検討を行った。

どちらもオン抵抗の低減に成功したが、それぞれ課題が残る結果となった。

i-GaN 層の膜厚を薄くした結果オン抵抗を低減できたデバイスもあったが、そうではないデバイスもあり、同じサンプル内ではばらつきが存在した。原因として Mg の拡散が考えられ、構造の検討が必要である。

サンプル表面の構造で AlGaN/GaN と n-GaN を比較した。n-GaN を用いたことによりオン抵抗は低減したもののオフ状態でのリーク電流が大きく、構造の最適化が必要であり、現状では AlGaN/GaN の方が適していると言える。

第5章では、耐圧向上と原因の究明のために3. ドリフト層厚膜化と4.ゲート絶縁膜の2層化を行った。

絶縁破壊電圧が低くなってしまう要因はオフ状態とゲート絶縁膜の2つ存在し、それぞれバルク中とゲート下の絶縁膜の耐圧の低い方で絶縁破壊していることが分かった。

Al<sub>2</sub>O<sub>3</sub> 50 nm と SiO<sub>2</sub> 20 nm の2層の絶縁膜で耐圧 106 V を達成することが出来た。オフ状態が良いデバイスについては絶縁膜の厚膜化などで更なる改善が見込める。

再成長法を用いることで以下の特性を示す Si 基板上の縦型 GaN MOSFET を作製することが出来た。

$$\text{オン抵抗 } R_{\text{ON}} = 81.6 \text{ (m}\Omega \cdot \text{cm}^2)$$

$$\text{絶縁破壊電圧 } V_{\text{BD}} = 106 \text{ V}$$